

基本概念

DAC: 数-模转换器

ADC: 模-数转换器

上升沿/前沿: 低电平转高电平

下降沿/后沿: 高电平转低电平

正向脉冲、反向脉冲

上升时间: 上升沿中电位从幅度的10% 到幅度的 90% 的时间

下降时间: 下降沿中电位从幅度的90% 到幅度的 10% 的时间

脉冲宽度: 本次脉冲中电位在幅度 50% 以上的时间

周期数字波形的占空比: 一个周期内, 所有脉冲的脉冲宽度之和比周期长度

时钟: 在数字系统中, 所有的波形都与一个基本时序波形同步, 称之为时钟(clock)。时钟是周期波, 每个脉冲之间的间隔(周期)等于一个位时间。

穿孔封装 (双引线封装DIP)、表面贴装技术SMT (小规模集成电路SOIC、收缩小轮廓封装SSOP、塑料芯片载体PLCC、陶瓷芯片LCC、薄型四侧引脚扁平封装LQFP、片状刻度封装CSP、精密间距球形网络阵列FBGA)

小规模集成SSI: 最多 10 个等效门电路

中规模集成MSI: 10~100 个等效门电路

大规模集成LSI: 100~1000 个等效门电路

甚大规模集成VLSI: 1000~10000 个等效门电路

超大规模集成ULSI: 10000 个以上等效门电路

进制

BCD 码

BCD 码相加: 从低位向高位逐位相加, 用二进制加法把当前位两个数字和进位相加, 得到 0~19 的数字, 用一个 4 位二进制数 x 和进位 c 表示, 若 $x > 9$, 则 c 必然 $c=0$, 让 x 加 6 并取低 4 位作为该 BCD 位的结果, 然后置 c 为 1, 若 $c = 1$ 则必然 $x < 4$, 让 x 加 6 作为该 BCD 位的结果, 最后 c 作为进位参与到下一 BCD 位的计算中。

格雷码

相邻两个格雷码只有一位不同。

格雷码的应用: 旋转编码器。

二进制码与格雷码互转的 cpp 程序

```
//递归版
unsigned get_gray(unsigned x, int i){
    assert(x < (1u<<i) && i >= 0);
    if (i == 0) return x;
    else if (x & (1u<<i-1)) return (1u<<i-1)|get_gray((1u<<i)-1u-x, i-1);
    else return get_gray(x, i-1)
}

unsigned cal_gray(unsigned x, int i){
    assert(x < (1u<<i) && i >= 0);
    if (i == 0) return x;
    else if (x & (1u<<i-1)) return (1u<<i)-1u-cal_gray(x^(1u<<i-1), i-1);
    else return cal_gray(x, i-1);
}

//循环版
unsigned get_gray(unsigned x){
```

```

    unsigned y = 0;
    for(int i = 32; i > 0; --i) if (x&(1u<<i-1)) y |= 1u<<i-1, x = (1u<<i)-1u-x;
    return y;
}

unsigned cal_gray(unsigned x){
    unsigned y = 0;
    for(int i = 1; i <= 32; ++i) if (x&(1u<<i-1)) y = (1u<<i)-1u-y;
    return y;
}

```

奇偶校验

在编码最左端附加一位奇偶校验位，代表了编码中 1 的个数的奇偶性。

循环冗余校验码CRC

选取 b 位生成码 q，在数据码 x 右端附加上 b 个 0 得到 y，用模 2 除法计算 $y\%q$ 得到余数 r，则最终码为 $z=y+r$ 。

生成码 q 在发送端和接收端处都是相同的。

如果接收端接收到的 z 无误，则用模 2 除法计算 $z\%q$ 得到的余数一定为 0。

特殊设计的生成码可以保证以下几条性质

(1) 当 z 在传输的过程中有 1~2 位发生错误时，接收端一定能检测到数据有误，当传输过程中有多位发生错误时，接收端大概率能检测到数据有误。

(2) 当 z 在传输的过程中有 1 位发生错误时，不同位发生错误对应不同余数。

生成码应满足

(1) 最高位和最低位必须为 1

逻辑门

与门、或门、非门、与非门、或非门、异或门、同或门

数字逻辑电路的三个系列是 CMOS（互补金属氧化物半导体）、TTL 双极型和 BIMOS（双CMOS）。第三者是前两者的组合。

传输延时时间: t_{PHL}, t_{PLH}, t_P

直流供电电压: V_{CC}

高低电平下的工作电流: I_{CCL}, I_{CCH}

功率损耗: $P_D = V_{CC} \left(\frac{I_{CCH} + I_{CCL}}{2} \right)$

速度-功率乘积 $SPP = t_P P_D$

CMOS 门电路的功率损耗非常小，但与工作频率有关。

双极型门电路的功率损耗大，但与工作频率无关。

扇区：一个逻辑门所能驱动的同系列的等效门输入的数目。一般用单位负载数来衡量。

单位负载数: $\frac{I_{OL}}{I_{IL}}$ 。

元件未使用的输入端应连接到恰当逻辑电平上，比如与门和与非门的未输入端连到 V_{CC} （双极型则通过一个 $1k\Omega$ 的电阻连到 V_{CC} ），或门和或非门的未输入端连接到地。

三极管

Proteus 芯片简表

名称	型号	接口	备注
4 位并行加法器	74LS283	$(A_4, B_4, S_4, C_{in}, C_{out})$	
4 位大小比较器	74LS85	$(A_4, B_4, >_{in}, >_{out}, =_{in}, =_{out}, <_{in}, <_{out})$	
4 线-16 线译码器	74HC154	$(A_4, \overline{D}_{16}, \overline{CS}_1 \& \overline{CS}_2)$	
BCD-十进制译码器	74HC42	(A_4, \overline{D}_{10})	
BCD-七段编码器	74LS47	$(A_4, \overline{abcdefg}, \overline{LT}, \overline{RBI}, \overline{BI/RBO})$	6,9 少一杠
	74LS247	$(A_4, \overline{abcdefg}, \overline{LT}, \overline{RBI}, \overline{BI/RBO})$	6,9 少一杠
	74LS48	$(A_4, \overline{abcdefg}, \overline{LT}, \overline{RBI}, \overline{BI/RBO})$	
	74LS248	$(A_4, \overline{abcdefg}, \overline{LT}, \overline{RBI}, \overline{BI/RBO})$	
十进制-BCD 优先编码器	74HC147	$(\overline{A}_9, \overline{B}_4, NC)$	
8 线-3 线优先编码器	74LS148	$(\overline{A}_8, \overline{B}_3, \overline{EI}, \overline{EO}, \overline{GS})$	
3 线-8 线译码器	74LS138	$(A, B, C, \overline{D}_8, E_1 \& \overline{E}_2 \& \overline{E}_3)$	
四 2 输入选择器	74HC157	$(A_4, B_4, Y_4, \overline{EN}, Choose)$	
8 输入选择器	74LS151	$(D_8, S_3, \overline{EN}, Y, \overline{Y})$	
9 位奇偶校验器	74LS280I	$(D_9, EVEN, ODD)$	

名称	型号	接口	备注
多路分配器 (4 线 - 16 线译码器)	74HC154		
S-R 锁存器	74LS279A	$(\overline{S}(4+2), \overline{R}4, Q4)$	
D 锁存器	74LS75	$(D4, EN2, Q4, \overline{Q}4)$	
双 D 触发器	74AHC74	$(D2, Q2, \overline{Q}2, CLK2, \overline{PRE}, \overline{CLR}2)$	
双 J-K 触发器	74HC112	$(J2, K2, Q2, \overline{Q}2, \overline{CLK}2, \overline{PRE}2, \overline{CLR}2)$	
不可重复单稳态触发器	74121	$((\overline{A_1} \parallel \overline{A_2}) \& B, Q, \overline{Q}, RI, CX, CX/RX)$	
可重复触发单稳态器	74LS122	$((\overline{A_1} \parallel \overline{A_2}) \& B_1 \& B_2, Q, \overline{Q}, \overline{CLR}, RI, CX, CX/RX)$	
555 定时器		(阈值, 控制, 放电, 触发, 复位, 双输出)	
4 位异步二进制计数器	74LS93	$(\overline{CLK}_1, \overline{CLK}_2, RO_1 \& RO_2, Q4)$	
4 位同步二进制计数器	74HC163	$(D4, Q4, RCO, CLK, \overline{LOAD}, \overline{CLR}, ENT \& ENP)$	
加减十进制计数器	74HC190	$(D4, D/\overline{U}, Q4, \overline{RCO}, CLK, \overline{LOAD}, \overline{CTEN}, MAX/MIN)$	
8 位串入并出移位寄存器	74HC164	$(\overline{A_1} \& \overline{A_2}, D8, CLK, \overline{CLR})$	
8 位并行置位移位寄存器	74HC165	$(SER, D8, Q, \overline{Q}, CLK \parallel CLK\ INH, SH/\overline{LD})$	
4 位并行存取移位寄存器	74HC195	$(J, \overline{K}, D4, Q4, CLK, SH/\overline{LD}, \overline{CLR})$	
4 位通用双向移位寄存器	74HC194	$(SR\ SER, SL\ SER, S_0, S_1, CLK, \overline{CLR})$	

74 HC195 是异步置 0、同步载入。

74 HC194 是异步置 0、同步载入。

组合逻辑电路

组合逻辑电路具有“无记忆”的特点，归根结底在于其结构上不含记忆元件，即不存在输出到输入的反馈回路。

竞争冒险（假信号）

卡诺图上，若两个圈相切且没有其它圈将这两个圈在相切处连起来，这样的电路会在某些情况下产生 $A + \bar{A}$ 式的竞争风险。

解决方法一般有

(1) 加入额外的项使卡诺图上的圈不再相切，如 $\bar{B}\bar{A} + CA \rightarrow \bar{B}\bar{A} + CA + BC$ 。

(2) 如果对组合逻辑电路工作频率的要求较小，可以在输出处并联一个很小的滤波电容，使得尖峰脉冲的幅度削减至门电路的阈值以下。

(3) 引入通选脉冲，使电路在输入信号发生变化时处于禁止状态，这种方法不但要求通选脉冲与输入信号同步，还对通选脉冲的宽度有严格的要求。

译码器实现组合逻辑函数

$$Y = ABC + \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} = m_7 + m_3 + m_6 + m_5 = \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}}$$

利用 3-8 译码器（高入低出）和 4 输入与非门很容易可以实现这个组合逻辑函数。相对于使用四个 4 输入与门、三个非门、一个 4 输入或门的做法，这种做法简便了不少。

触发器、定时器

衡量 D 触发器、J-K 触发器等元器件的指标有如下几项

(i) 传输延迟时间(t_{PLH}, t_{PHL}): 包括触发端脉冲信号变化了 50% —— Q 输出响应了 50% 的时间、 \overline{PRE} 预置的延迟时间、 \overline{CLR} 清零的延迟时间

(ii) 建立时间(t_s): D 输入或 J, K 输入变化的 50% —— 端脉冲信号触发 50% 的时间

(iii) 保持时间(t_h): 触发端脉冲信号触发 50% 的时间 —— D 输入或 J, K 输入变化 50% 的时间

(iv) 最大时钟频率(f_{max}): 触发端脉冲信号的最大频率

(v) 最小脉冲宽度(t_w): 包括触发端脉冲信号的最小脉冲宽度、 \overline{PRE} 预置位输入的最小脉冲宽度、 \overline{CLR} 清零输入的最小脉冲宽度。

(vi) 功耗

不可重复单稳态触发器 74121 的输出的脉冲宽度计算方式如下

(a) VCC 接 RI : $t_w = 30ns$

(b) VCC 接 RI 、 C_{ext} 连接 $CX, CX/RX$: $t_w = (2k\Omega)C_{ext} \ln 2$

(c) VCC 隔 R_{ext} 接 CX/RX 、 C_{ext} 连接 $CX, CX/RX$: $t_w = R_{ext}C_{ext} \ln 2$

可重复单稳态触发器 74LS122 的输出的脉冲宽度计算方式如下

(a) VCC 接 RI : $t_w = 45ns$

(b) VCC 接 RI 、 C_{ext} 连接 $CX, CX/RX$: $R = 10$, $t_w = 0.32RC(1 + 0.7/R)$

(c) VCC 隔 R_{ext} 接 CX/RX 、 C_{ext} 连接 $CX, CX/RX$: $t_w = 0.32R_{ext}C_{ext}(1 + 0.7k\Omega/R_{ext})$

555 定时器做单稳态触发器的输出的脉冲宽度计算方式

$$t_w = RC \ln 3$$

555 定时器做非稳态多谐振荡器的输出的频率、占空比计算方式

$$f = \frac{1}{(R_1 + 2R_2)C \ln 2}$$

$$\eta = \frac{R_1 + R_2}{R_1 + 2R_2} 100\%$$

移位寄存器

应用

约翰计数器

n 级可做到模 $2n$ 计数器

环形计数器

n 级可做到模 n 计数器

时间延迟

键盘译码器