1. CPU组成
2. **reg file**
3. **ALU**
4. **CU控制单元**
5. 组件
6. Mpm
7. 设计
8. **四个实验（ALU，单周期，多周期，流水线）**按照 **0 课程简介（计算机体系结构实验）.pdf** 文件中的要求来做。
9. 使用vivado，用verilog语言
10. 先仿真验证，然后再使用板子验证
11. 最初先利用7段显示数码管
12. 利用DP
13. 利用开关
14. 复位采用同步复位，仿真时容易验证
15. 时间截止
16. 4月16日展示/4月23日展示
17. 4月24日完成并交报告
18. 我希望明天大家能吧alu，control unit，regfile做好，测试了。然后4月17日前组装、调试完成。然后24日前把方便调试的小组件加进去（串口）。24日演示自己的程序运行效果
19. CPU架构
20. MIPS、RISC-V、ARM等
21. 约束文件

SWT 4+6

SWT[15:13] next, cloak, reset

LED mem2reg, memwrite, branch, alusrca, alusrcb,regdst, regwrite, jump, extend,alucont,pcsrc

1. clk：1 choice----SW[15]
2. reset: 1choice----SW[14]

set SW[4:0] funct swt

set SW[9:5] choice swt

1. pc：2 choice-pc，pcnext-----funct(00000), choice(0) for pc, choice (1) for pcnext, choice(other) for no display
2. instr : 1 choice----funct(00001)
3. insrt mem：32 choice-----funct(00010)
4. regfile：a1, a2, a3, wd3, rd1, rd2, -----funct(00011), choice(0) writereg, choice(1) result/wd3/inputdata, choice(2) rd1/srca, choice (3) writedata/rd2, choice(other) no display
5. regs：32 choice------funct(4)
6. sign extend: in, out-----funct(5)
7. cont unit：led display-…
8. alu: 4choice-srca, srcb, result, zero
9. datamem: 32 choice
10. datamem: addr, in data, out data
11. 实验报告
12. 模块描述、仿真结果（要能展示添加的指令和功能）
13. 添加的指令、功能可以加粗加红
14. 记录：占用资源（Open Implemented Design -> Report Utilization）