

Digitalelektronisches Praktikum

Versuch 5

Moritz Breipohl
mbreipohl@techfak.uni-bielefeld.de

Markus Rothgänger
mrothgaenger@techfak.uni-bielefeld.de

Gruppe 5

Tutor: Lukas Schmidt, Robin Ewers

21. Juni 2018

Versuchsaufbau

Aufgabe

Im fünften Versuch sollten zwei verschiedene CMOS-Logikgatter mit mindestens zwei Eingängen sowohl simuliert als auch auf dem Steckbrett aufgebaut werden. Zur Untersuchung der Schaltung sollte das erwartete Verhalten anhand einer Logiktablelle mit dem gemessenen Verhalten verglichen werden. Des weiteren sollte die Schaltung durch eine integrierte Schaltung realisiert werden. Schließlich sollten alle Schaltungen auf ihre Verzögerungszeit und die Stromaufnahme untersucht werden.

Erwartung

Die generelle Erwartung ist, dass alle Gatter-Aufbauten ein gleiches Logikverhalten aufweisen. Aus den letzten Versuchen abgeleitet ist eine teils hohe Abweichung zwischen realen und simulierten Messungen in Bezug auf die Verzögerungszeit und die Stromaufnahme zu erwarten. Dennoch ist auch eine Abweichung der Messwerte von integriertem Schaltkreis (auch IC (integrated Circuit)) und dem aus Transistoren aufgebauten Gatter möglich.

Aufbau

Es wurden ein NAND- und ein NOR-Gatter untersucht. Beide Aufbauten sind für den Simulator und das Steckbrett identisch. Zu beachten ist, dass die Messpunkte für die Ausgangsspannung (U_{OUT}) und den statischen Querstrom (I_{quer}) in den Schemata eingezeichnet sind. Hier wurden dann Multimeter Spannungs- bzw. Stromrichtig angeschlossen. Der Aufbau des NAND-Gatters ist in Abbildung 1 dargestellt, der des NOR-Gatters in Abbildung 2. Die beiden Eingangsspannungen (U_{IN1} und U_{IN2}) wurden zeitweise über entprellte Taster, sowie über den Funktionsgenerator bedient. Zur Messung der Verzögerungszeit wurde außerdem die Ausgangsspannung U_{OUT} mithilfe des Oszilloskopes betrachtet. Mit gleicher Handhabung zum Messen wurden die Schaltungen mit Hilfe von ICs aufgebaut. Diese Aufbauten am Steckbrett sind in Abbildung 3 (NAND) und Abbildung 4 (NOR) zu sehen.

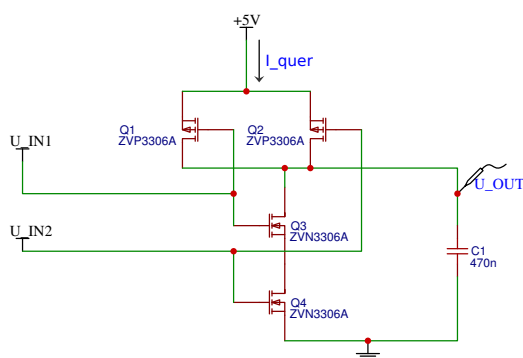


Abbildung 1: Aufbau des NAND-Gatters

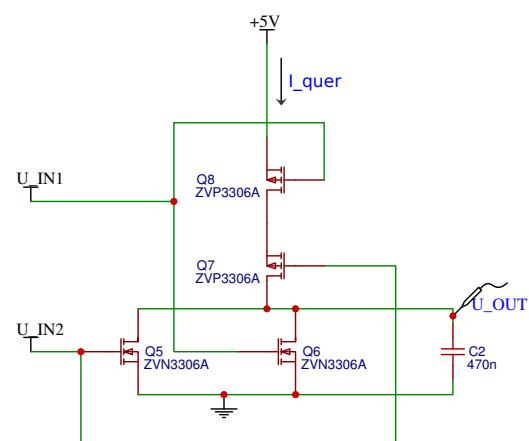


Abbildung 2: Aufbau des NOR-Gatters

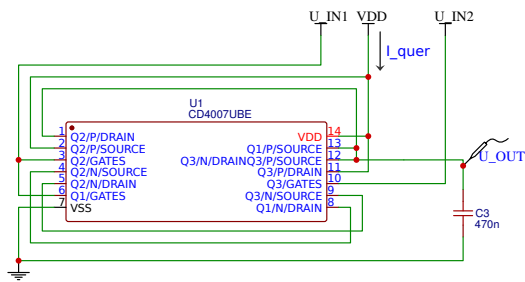


Abbildung 3: Aufbau des NAND-Gatters mit IC

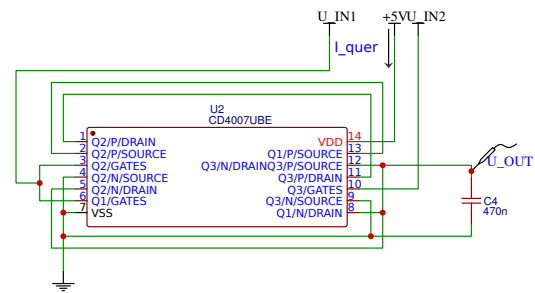


Abbildung 4: Aufbau des NOR-Gatters mit IC

Verwendete Bauteile

Multimeter, ein Strombegrenztes Versorgungsnetzteil mit einer konstanten Spannung von 5V, jeweils zwei Transistoren vom Typ *ZVN3306a* sowie vom Typ *ZVP3306a*, ein Kondensator mit einer Kapazität von $470nF$, Funktionsgenerator und Oszilloskop, IC vom Typ *CD4007UB*.

Durchführung

Verifizierung des Logikverhaltens

Die Auswirkungen jeder Eingangskombination auf die Ausgangsspannung wurde hier geprüft. Dabei wurden die Eingänge über entprellte Schalter angesteuert, welche an einem Netzteil mit 5V Versorgungsspannung angeschlossen waren. Am Ausgang der Schaltung befand sich eine LED, über deren Status (leuchtet oder leuchtet nicht) geprüft werden konnte, ob die Schaltung den Stromfluss zum Ausgang erlaubt.

Messung des statischen Querstroms

Zur Messung des Querstroms wurde am Steckbrett ein Amperemeter in Reihe in den Versorgungsstromkreis geschaltet. Die Versorgungsspannung lag bei konstanten $U_{VDD} = 5V$ mit einer Strombegrenzung von etwa $I = 0.2A$. Es war darauf zu achten, dass während der Strommessung kein Schaltvorgang durchgeführt wurde, da sonst der dynamische statt dem statischen Querstrom gemessen würde. In der Simulation wurde die Stromaufnahme an der Spannungsquelle gemessen.

Messung der Verzögerungszeit

Am Steckbrett wurde das Oszilloskop genutzt, um einen oder beide Eingänge mit einer vom Funktionsgenerator generierten Kurve zu versorgen. Die Eingangskurve sowie der Spannungsverlauf am Ausgang wurden vom Oszilloskop aufgenommen und die Verzögerungszeit für die steigende als auch die abfallende Flanke mithilfe der Cursor bestimmt.

Ähnlich wurde die Verzögerungszeit in der Simulation bestimmt. Die beiden Eingänge wurden als pulsierende Spannungsquellen definiert, die eine unterschiedlichen Rythmus [DER SATZ HÖRT HIER AUF :D]

Messergebnisse

Logikverhalten

Input A	Input B	Erwartetes Ergebnis	eigene Schaltung	IC	Simulation
0	0	1	1	1	1
0	1	0	0	0	0
1	0	0	0	0	0
1	1	0	0	0	0

Tabelle 1: Logikverhalten der NOR Gatter

Input A	Input B	Erwartetes Ergebnis	eigene Schaltung	IC	Simulation
0	0	1	1	1	1
0	1	1	1	1	1
1	0	1	1	1	1
1	1	0	0	0	0

Tabelle 2: Logikverhalten der NAND Gatter

Querströme

	Querstrom [μA]
Selbstgbaut	5.06
IC	224.6
Simulation	0

Tabelle 3: statischer Querstrom an den NOR Gattern

	Querstrom [μA]
Selbstgbaut	260
IC	60
Simulation	0

Tabelle 4: statischer Querstrom an den NAND Gattern

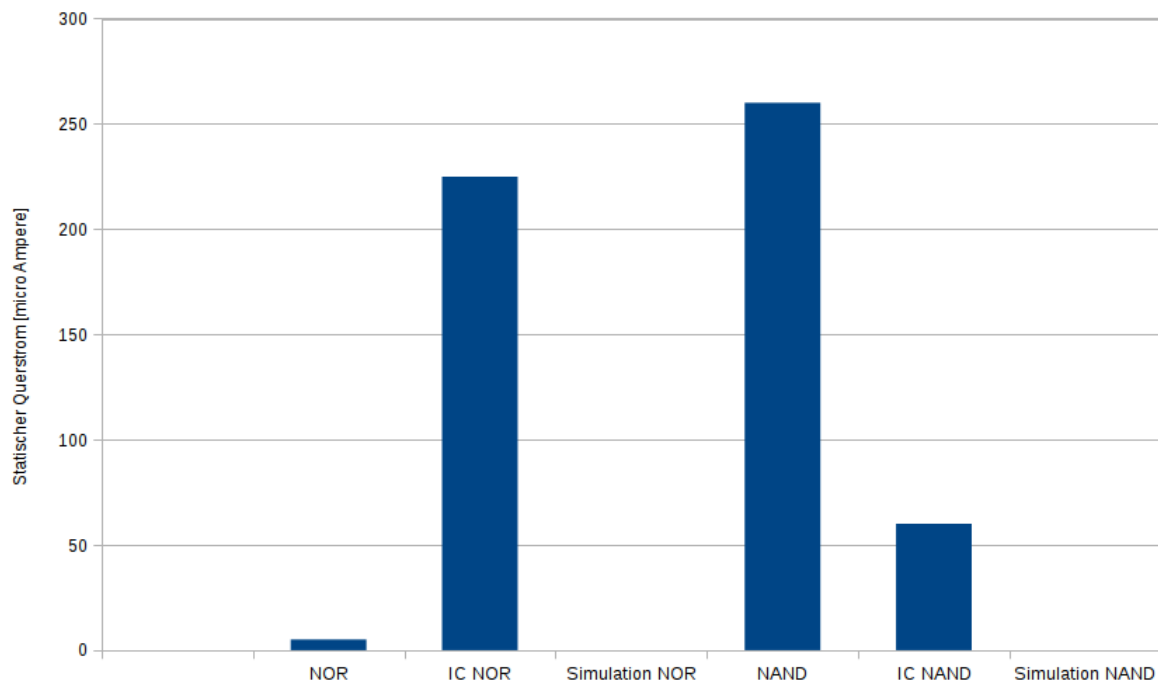


Abbildung 5: Querströme

Verzögerungszeiten

Da die Verzögerungszeiten für beide Eingänge sehr ähnlich bzw. gleich waren, werden hier der Übersicht halber nur die Messergebnisse für die Veränderung des Zustands eines Eingangs aufgezeigt.

	Flanke steigend [μS]	Flanke fallend [μS]
Selbstgbaut	2.9	19.6
IC	232	1520
Simulation	4.98	39.05

Tabelle 5: Verzögerungszeiten an den NOR Gattern

	Flanke steigend [μS]	Flanke fallend [μS]
Selbstgbaut	5.6	7.9
IC	710	130
Simulation	8.94	11.93

Tabelle 6: Verzögerungszeiten an den NAND Gattern

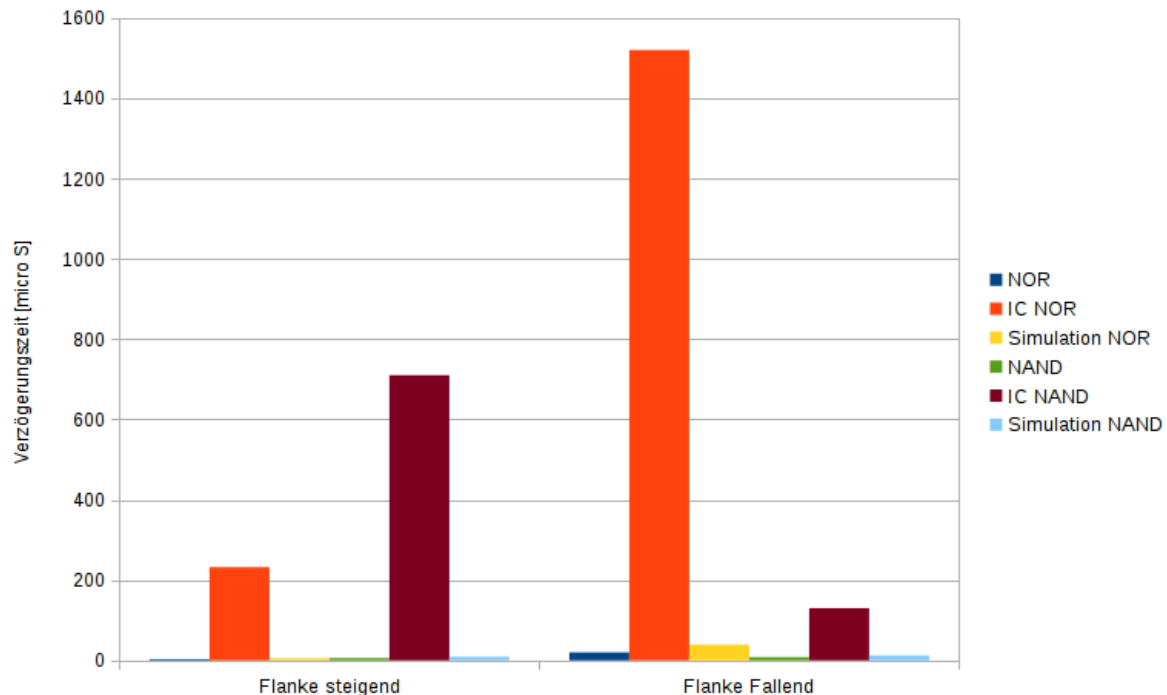


Abbildung 6: Verzögerungszeiten

Beobachtungen

Anhand von Abbildung 5 stellt man fest, dass in der Simulation keinerlei Querstrom abfällt. Da wir hier mit einer idealisierten Schaltung ohne implizite Widerstände arbeiten, ist dies auch nicht weiter verwunderlich. Dahingegen ist allerdings der große Unterschied zwischen dem selbstgebaute NOR- und NAND-Gatter auszumachen. Besonders interessant ist dazu das entgegengesetzte Verhalten des ICs: Das integrierte NOR hat eine deutlich höhere Stromaufnahme als das integrierte NAND.

Erkennbar an Abbildung 6, stechen die Verzögerungszeiten der integrierten Schaltungen besonders heraus und liegen bis zu 76 Mal höher als bei der selbstgebaute Schaltung. Zudem fällt auf, dass die fallende Flanke an allen NOR Gattern etwas stärker verzögert ist als in den anderen Fällen.

Auswertung

Überraschend ist der große Unterschied zwischen Stromaufnahme des NORs und des NANDs, da beide die gleichen Bauteile verwenden, nur in einer anderen Konfiguration. Bei genauerer Überlegung kommt man jedoch zu dem Schluss, dass aufgrund der Tatsache, dass die Schaltungen unterschiedliche Ergebnisse erzielen auch unterschiedliche interne Zustände besitzen. Kurz gesagt: Das NAND hat eine höhere Stromaufnahme, da im statischen Zustand mehr Transistoren angesprochen werden als beim NOR. Daraus folgt dann auch der höhere statische Querstrom. Im Gegensatz dazu steht jetzt allerdings das IC. Hier kann nur vermutet werden, dass aufgrund der internen Schaltung das NAND etwas simpler ist als das NOR und dementsprechend auch einen geringeren Querstrom aufzeigt.

Die deutlich langsamere Schaltzeit der ICs erklärt sich dadurch, dass die ICs Bausteine mit

vielen verschiedenen Funktionen sind und dementsprechend auch mehr Transistoren besitzen, welche die Schaltzeit negativ beeinflussen. Die Steckbrettschaltung sowie die Simulation liegen hingegen sehr nah beieinander, wobei die Verzögerungszeit auf dem Steckbrett etwas geringer ist als die simulierte. Da die Bauteile alle eine gewisse Fehlertoleranz haben, werden identische Schaltungen mit unterschiedlichen Transistoren gleicher Baureihe unterschiedliche Ergebnisse erzielen. Die im LTSpice verwendeten Transistoren halten sich dabei an den vom Hersteller garantierten Wert und schalten dementsprechend ein wenig langsamer.

Hieraus lässt sich entnehmen, dass für eine besonders kurze Verzögerung eine dedizierte Schaltung besser geeignet ist, als ein Multifunktionsbaustein, welcher dann auf eine bestimmte Funktion beschränkt wird.

[ERWARTUNGEN? Blub, habe keine Ahnung]