

گزارش کار نهم آزمایشگاه معماری کامپیوتر

تهیه و تنظیم: مبین خیبری

شماره دانشجویی: 994421017

استاد راهنما: دکتر سجاد حاجی زاده

چکیده:

در این جلسه ابتدا اقدامات انجام شده در جلسه‌ی گذشته به‌طور کلی مرور و سپس مراحل طراحی نرم‌افزاری یک واحد محاسباتی و منطقی چهار بیتی دنبال شد. و در نهایت، دانشجویان با نحوه‌ی طراحی شماتیک در محیط نرم‌افزار ISE آشنا شدند.

در گزارش پیش‌رو قصد داریم مراحل لازم جهت شبیه‌سازی یک واحد محاسباتی و منطقی چهار بیتی را قدم به قدم شرح داده و نتایج آن را به کمک Simulator شبیه‌سازی کنیم.

قطعه‌کدی که قصد داریم با نوشتن آن، رفتار واحد محاسباتی و منطقی را شبیه‌سازی کنیم، از 3 قسمت کلی تشکیل شده که در این تصاویر گنجانده شده‌اند:

Combinational Synthesis

Multi-Function

ALU Verilog code 1

```
timescale 1ns/100ps

module alu_4bit (a, b, f, oe, y, p, ov, a_gt_b,
               a_eq_b, a_lt_b);

    input [3:0] a, b;
    input [1:0] f;
    input oe;
    output [3:0] y;
    output p, ov, a_gt_b, a_eq_b, a_lt_b;
    reg ov, a_gt_b, a_eq_b, a_lt_b;

    reg [4:0] im_y;
```

Combinational Synthesis

Multi-Function

ALU Verilog code 2

```
always @( a or b or f ) begin : arithmetic
    ov = 1'b0;
    im_y = 0;
    case ( f )
        2'b00 :
            begin
                im_y = a + b;
                if ( im_y>5'b01111 ) ov = 1'b1;
            end
        2'b01 :
            begin
                im_y = a - b;
                if ( im_y>5'b01111 ) ov = 1'b1;
            end
        2'b10 : im_y[3:0] = a & b;
        2'b11 : im_y[3:0] = a ^ b;
        default: im_y[3:0] = 4'b0000;
    endcase
end
```

Combinational Synthesis

Multi-Function

ALU Verilog code 3

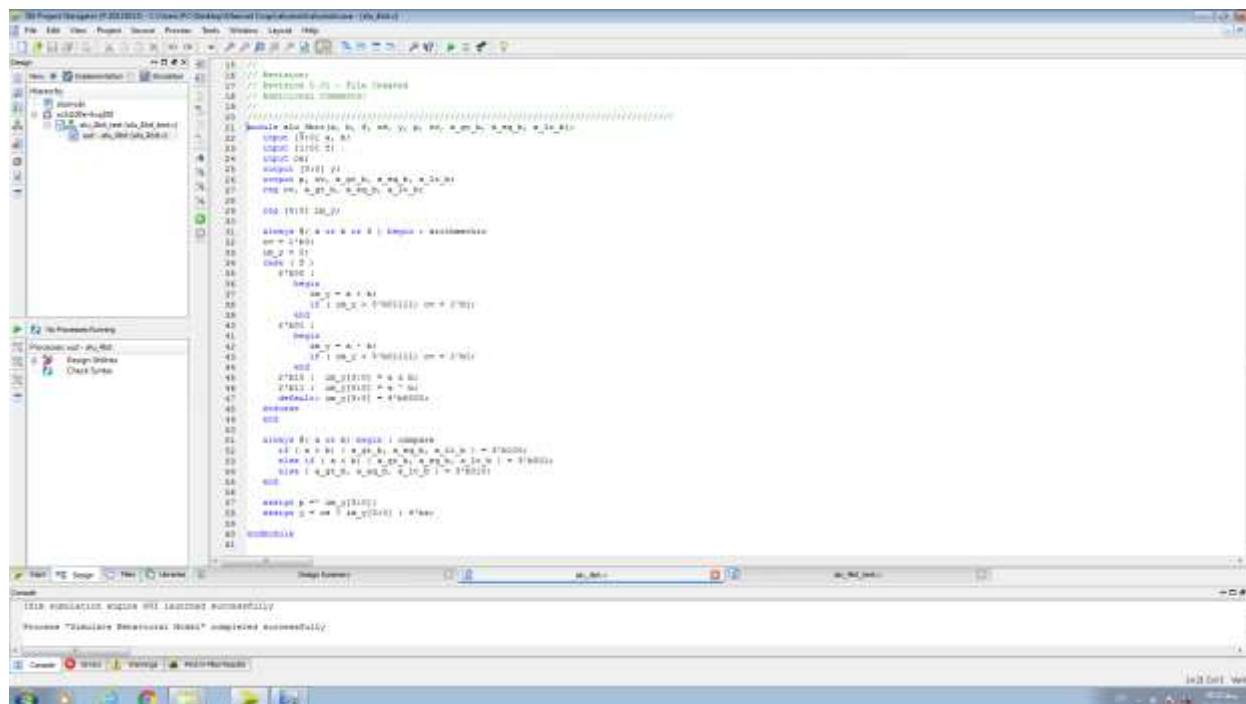
```
always @( a or b ) begin : compare
    if ( a > b ) { a_gt_b, a_eq_b, a_lt_b } = 3'b100;
    else if ( a < b ) { a_gt_b, a_eq_b, a_lt_b } = 3'b001;
    else { a_gt_b, a_eq_b, a_lt_b } = 3'b010;
end

assign p = ^ im_y[3:0];

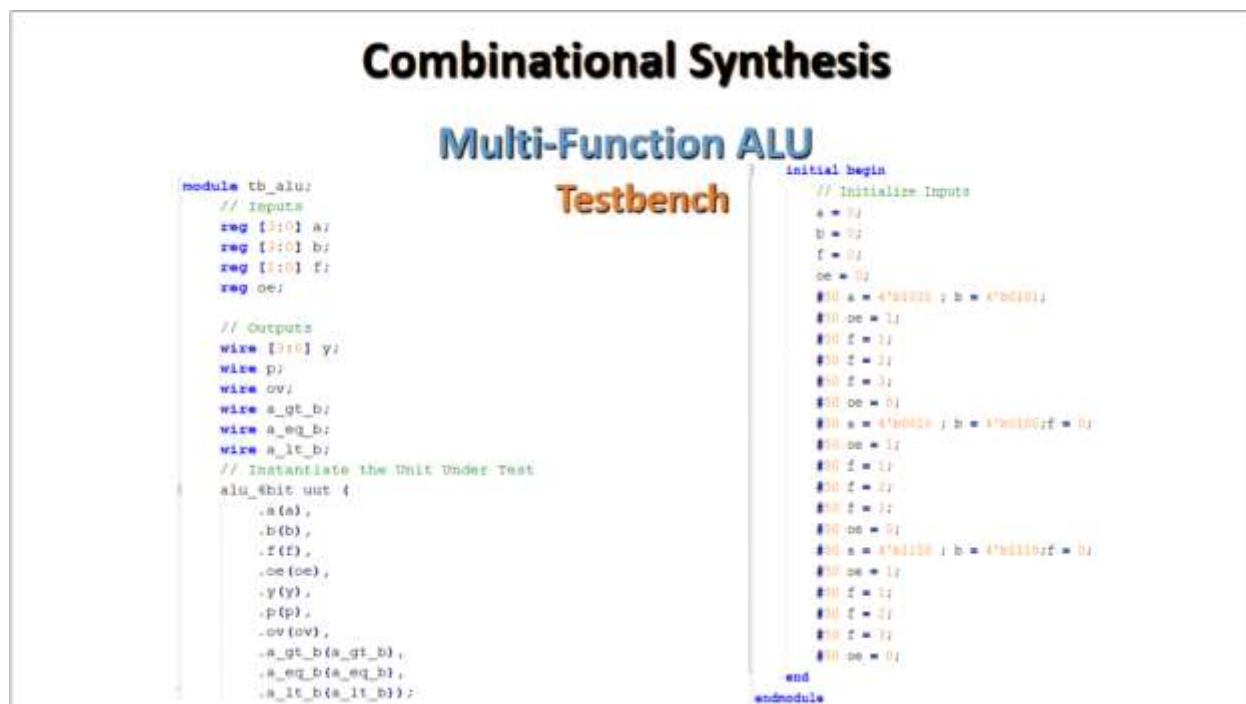
assign y = oe ? im_y[3:0] : 4'bz;

endmodule
```

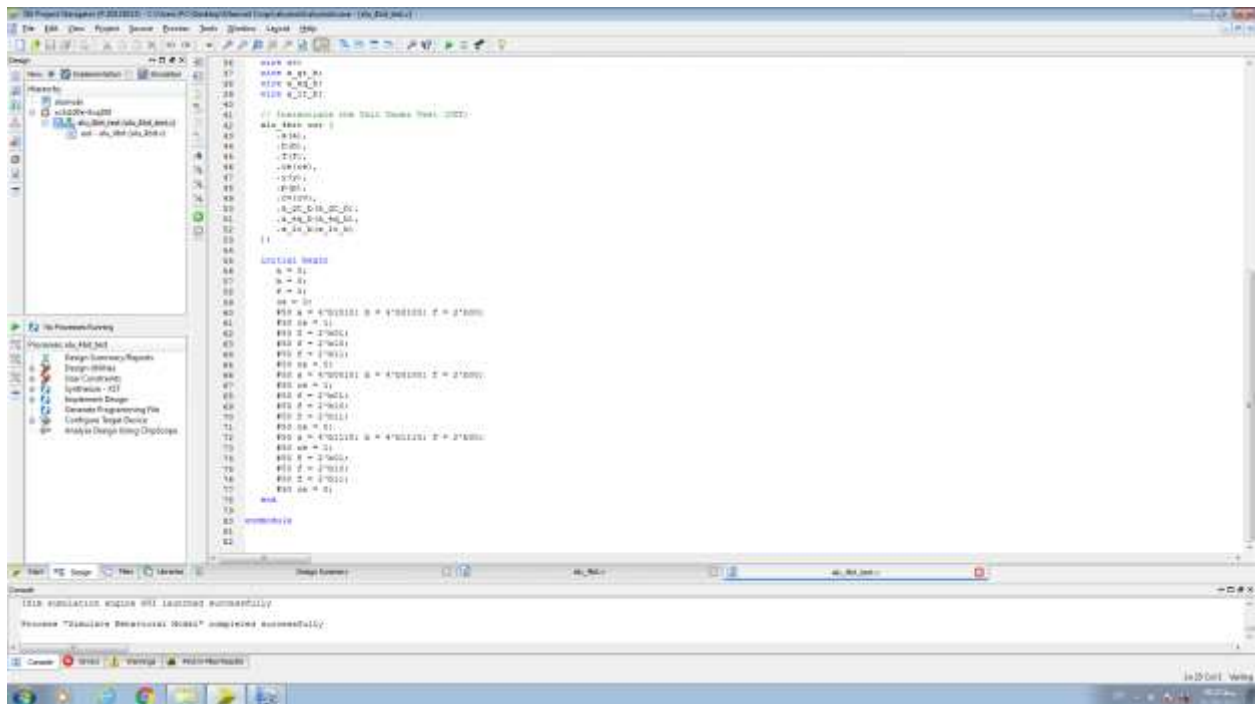
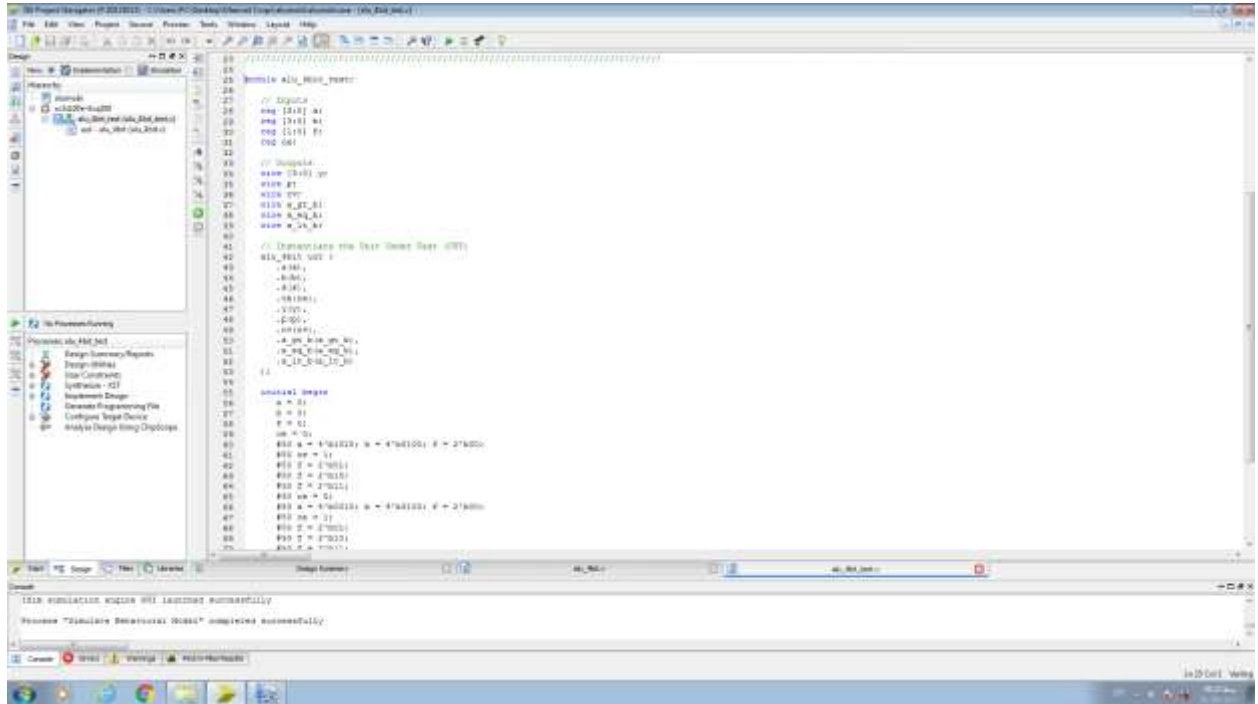
نتیجه‌ی نوشتنِ قطعه‌کدِ فوق در محیط نرم‌افزارِ ISE به این شکل است:



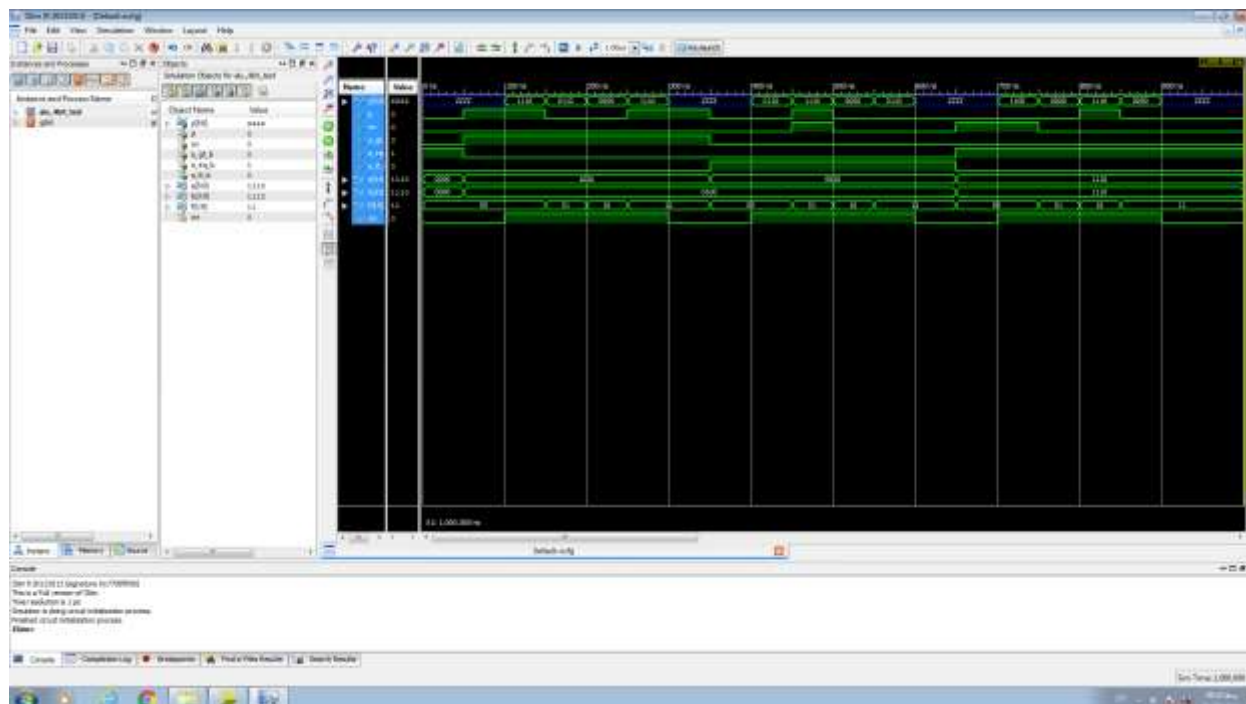
حال برای ارزیابی عملکردِ کدهای نوشته‌شده، نیاز داریم که ماژولِ تست مربوط به این قطعه‌کد را در محیط نرم‌افزارِ ISE نوشته و سپس به کمک ابزارِ Simulator آن را شبیه‌سازی کنیم:



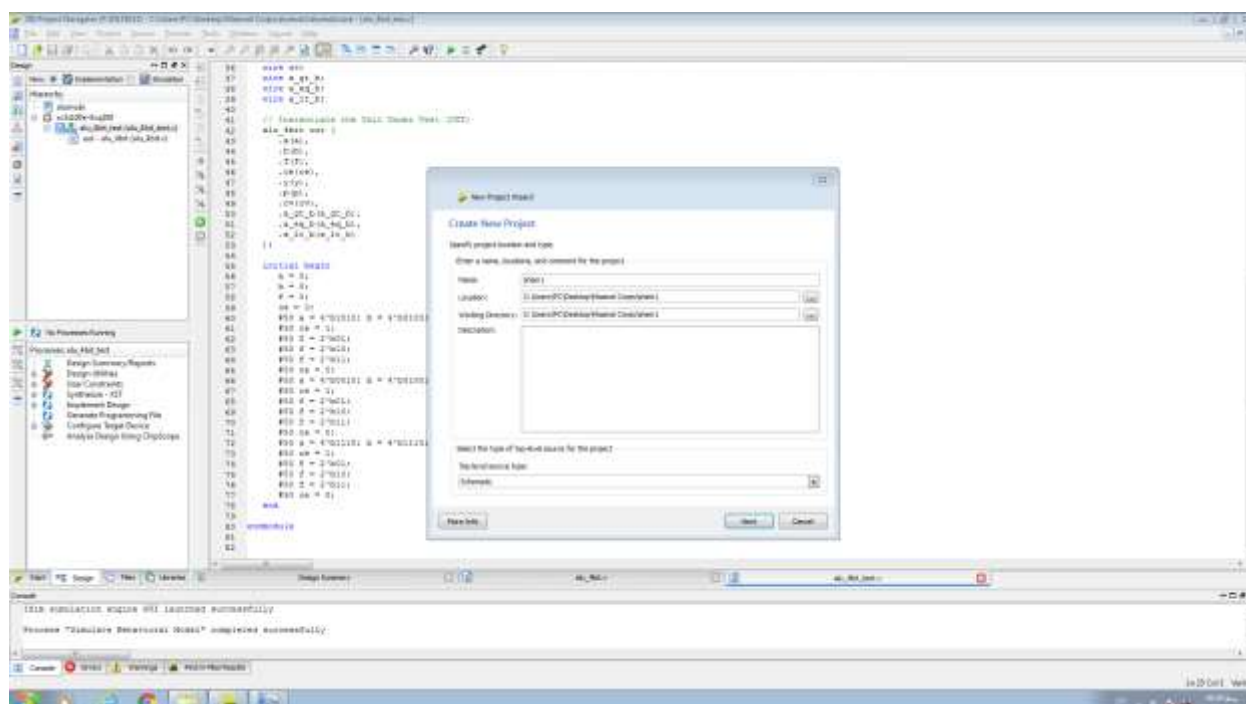
نتیجه‌ی نوشتن قطعه‌کدِ فوق در محیط نرم‌افزارِ ISE به شکل زیر است:



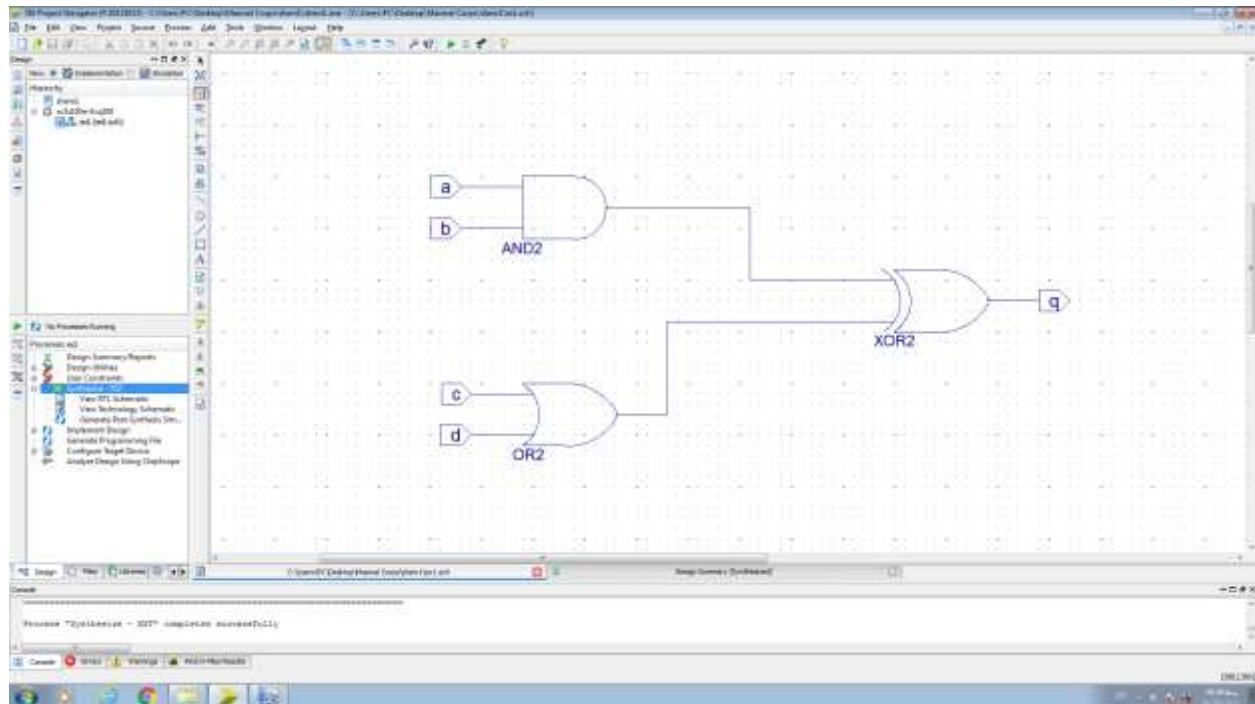
در نهایت با اجرای این کد در محیط شبیه‌سازی، به نتیجه‌ی زیر دست خواهیم یافت:



برای طراحی یک شماتیک از مدار دلخواه‌مان، می‌توانیم مراحل زیر را در محیط نرم‌افزار ISE دنبال کنیم:



به عنوان مثال، ما در اینجا مداری طراحی خواهیم کرد که شامل یک گیت AND، یک گیت OR و نیز یک گیت XOR است:



حال وارد محیط شبیه سازی شده و مقادیر ورودی را به دلخواه تغییر می دهیم تا با اعمال تغییرات در جریان اتصالات مدار، عملکرد آن را شبیه سازی کنیم:

