



电子电气工程学院

计算机基础实验报告

实验一：计算机基础实验报告

姓 名	学生名字
学 号	M56748989
专 业	专业名字
指导教师	这是教师名字

2023 年 4 月 26 日

1 实验目的

1. 熟悉常用编码器，译码器的功能逻辑。
2. 学习组合逻辑电路译码器或编码器的设计方法及应用。
3. 熟悉 Verilog 代码的编写方法。

2 实验内容

设计一个 8 线-3 线独热码编码器，在该编码器中，输入端有 8 个信号线，输出端有 3 个信号线。输入数据为 8 位二进制数，其中只有一位为 1，其余位均为 0，则输出数据为对应位的二进制表示。

表 1: 真值表

输入 in[7:0]								输出 out[2:0]		
in[7]	in[6]	in[5]	in[4]	in[3]	in[2]	in[1]	in[0]	out[2]	out[1]	out[0]
1	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0

8-3 编码器的 verilog 代码实现如下：

```

1  module encoder_8_3(
2      input [7:0] din,
3      output reg [2:0] dout
4  );
5
6  always @(*)
7  begin
8      case(din)
9          8'b00000001: dout = 3'b000;
10         8'b00000010: dout = 3'b001;
11         8'b00000100: dout = 3'b010;
12         8'b00001000: dout = 3'b011;
13         8'b00010000: dout = 3'b100;
14         8'b00100000: dout = 3'b101;
15         8'b01000000: dout = 3'b110;
16         8'b10000000: dout = 3'b111;
17         default: dout = 3'b000;
18     endcase
19 end
20
21 endmodule

```

8-3 编码器的仿真文件的 verilog 代码实现如下：

```
1  module encoder_8_3_tb;
2
3  reg [7:0] din;
4  wire [2:0] dout;
5
6  encoder_8_3 encoder(
7      .din(din),
8      .dout(dout)
9  );
10
11  initial begin
12      din = 8'b00000001;
13      #10;
14      if (dout != 3'b000) $error("Test 1 failed!");
15
16      din = 8'b00000010;
17      #10;
18      if (dout != 3'b001) $error("Test 2 failed!");
19
20      din = 8'b00000100;
21      #10;
22      if (dout != 3'b010) $error("Test 3 failed!");
23
24      din = 8'b00001000;
25      #10;
26      if (dout != 3'b011) $error("Test 4 failed!");
27
28      din = 8'b00010000;
29      #10;
30      if (dout != 3'b100) $error("Test 5 failed!");
31
32      din = 8'b00100000;
33      #10;
34      if (dout != 3'b101) $error("Test 6 failed!");
35
36      din = 8'b01000000;
37      #10;
38      if (dout != 3'b110) $error("Test 7 failed!");
39
40      din = 8'b10000000;
41      #10;
42      if (dout != 3'b111) $error("Test 8 failed!");
43
44      $display("All tests passed.");
45      $finish;
46  end
47
48  endmodule
```

3 操作步骤

1. 根据 Vivado 的设计流程，建立本次实验项目的工程文件；
2. 建立本次实验内容的 Verilog 功能模块，修改语法错误；
3. 建立仿真文件，进行电路的功能仿真；
4. 编译综合，直到没有错误，查看综合结果（原理图及资源利用报告）；
5. 建立约束文件 xdc，生成 bit 文件；
6. 正确连接实验箱，下载 bit 文件，记录实验现象及结果。

4 实验结果