

# 西南交通大学 2019—2020 学年第(二)学期考试试卷

课程代码 3143250 课程名称 数字电子技术 A 考试时间 100 分钟

试卷共4页，5道大题

题号	一 (40 分)	二 (20 分)	三 (15 分)	四 (10 分)	五 (15 分)	总成绩
得分						
阅卷教师签字						

## 一、 填空与选择题【共 40 分，每空 2 分】

1. 十进制数 93 用二进制数表示是\_\_\_\_\_，8421BCD 码是\_\_\_\_\_。

2. 在三变量逻辑函数中，有  $m_5m_6=$ \_\_\_\_\_， $\Pi M(0,1,2,3,4,5,6,7)=$ \_\_\_\_\_。

3. 以下哪一条不是消除竞争冒险的措施\_\_\_\_\_。

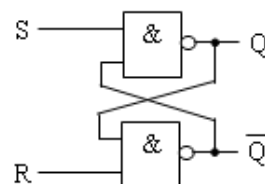
A. 接入滤波电路 B. 利用触发器 C. 加入选通脉冲 D. 修改逻辑设计

4. 与函数  $F = \bar{A}B + AC + BC$  相等的函数是\_\_\_\_\_。

A.  $F = AC + BC$  B.  $F = (\bar{A} + C)(A + B)$  C.  $F = (A + B)(B + C)$  D.  $F = \bar{A}B + AC$

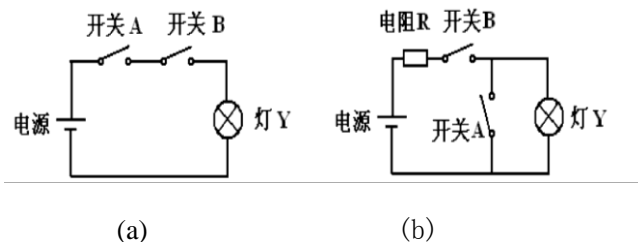
5. 由两个与非门组成的基本 SR 锁存器如右图所示。若输入 R、S 信号从 00 同时变成 11，锁存器的状态变化为\_\_\_\_\_。

A. 1 B. 0 C. 保持原态 D. 无法确定



6. 用反演规则写出  $F = \bar{A}B + AD(B + \bar{C}D)$  的反函数表达式为\_\_\_\_\_。

7. 下图(a)(b)所示电路，如果开关 A、B 断开为 1，接通为 0，灯 Y 亮为 0，灯 Y 灭为 1，那么灯 Y 与开关 A、B 逻辑关系为 (a)  $Y=$  \_\_\_\_\_，(b)  $Y=$  \_\_\_\_\_。



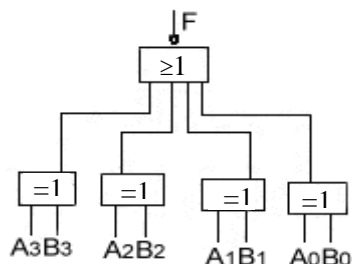
8. 若用 JK 触发器来实现特性方程为  $Q^{n+1} = \bar{A}Q^n + AB$  的触发器，则  $J=$  \_\_\_\_\_， $K=$  \_\_\_\_\_。

9. 下列电路中, 不属于组合逻辑电路的是\_\_\_\_\_。

- A.编码器  
B.译码器  
C.数值比较器  
D.计数器

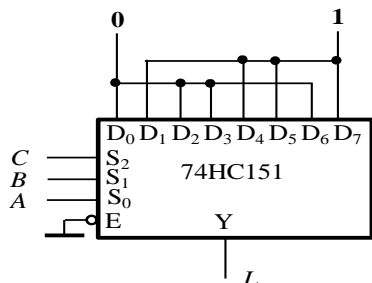
10. 设两个四位二进制数  $A_3A_2A_1A_0$  和  $B_3B_2B_1B_0$ , 图示电路完成的功能是\_\_\_\_\_。

- A. 两个四位二进制数相加  
B. 两个四位二进制数相减  
C. 两个四位二进制数大小比较  
D. 两个四位二进制数相同比较



11. 八选一数据选择器 74151 组成的电路如下图所示, 则输出函数为\_\_\_\_\_。

- A.  $L = BA + CA + C\bar{B}$       B.  $L = \bar{B}A + C\bar{A} + C\bar{B}$   
C.  $L = \bar{B}A + CA + C\bar{B}$       D.  $L = \bar{B}A + CA + CB$



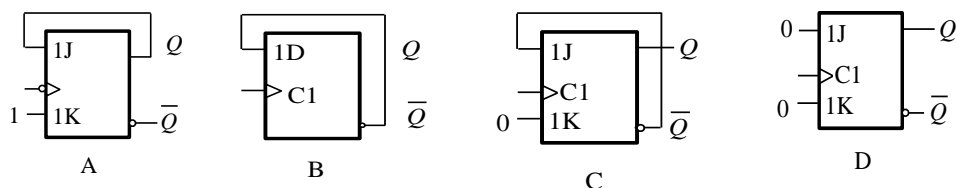
12. 下列式子中, 不正确的是。

- A.  $A \odot \overline{A} = 0$       B.  $A \oplus B = \overline{A \odot B}$       C.  $A \odot 1 = A$       D.  $A \odot 0 = A$

13. 同步时序电路和异步时序电路比较, 其差异在于后者\_\_\_\_\_。

- A. 没有触发器  
B. 没有统一的时钟脉冲控制  
C. 没有稳定状态  
D. 输出只与内部状态有关

14. 下图所示电路中, 能完成  $Q^{n+1} = \overline{Q^n}$  逻辑功能的电路是\_\_\_\_\_。

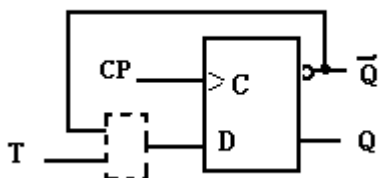


15. 如果线网类型变量说明后未赋值，其缺省值为\_\_\_\_\_。

- A. X      B. 1      C. 0      D. Z

16. 将 D 触发器改造成 T 触发器, 下图所示电路中的虚线框内应是\_\_\_\_\_。

- A. 或非门      B. 与非门      C. 异或门      D. 同或门



二、【20 分】.某组合电路有 2 个输入变量 A、B 和 1 个控制变量 M，有 1 个输出变量 F。当 M=1 时，

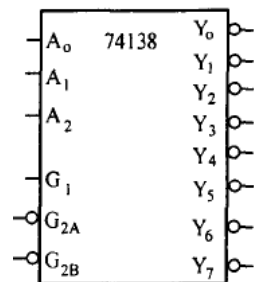
$$F = A \oplus B; \text{ 当 } M=0 \text{ 时, } F = \overline{A \oplus B}.$$

(1). 请列出真值表，写出输出函数的最小项之和表达式；【6 分】

(2). 用一个 3-8 译码器 74138 和必要的门电路实现该电路，画出逻辑电路图【6 分】

### 3-8 译码器 74138 的功能表和逻辑符号

$G_1$	$G_{2A}+G_{2B}$	$A_2$	$A_1$	$A_0$	$Y_0$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$	$Y_7$
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1



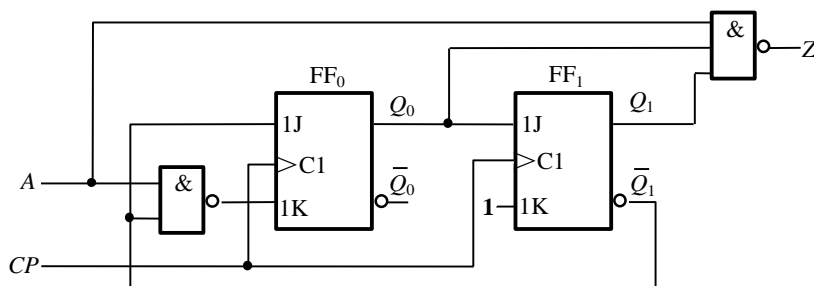
(3) 用 Verilog HDL 的行为建模方式描述上述逻辑问题。【8 分】

三、【15 分】分析下图所示时序逻辑电路。

(1) 写出它的激励方程组、状态方程组和输出方程；【7 分】

(2) 画出状态转换表；【4 分】

(3) 画出时序图。【4 分】



四、【10 分】阅读下列 2 个程序，画出它们的逻辑图。

(1) **module FF1(clk,D,Q);**

```

    output Q;  input clk,D;
    reg a,b,Q;
    always @(posedge clk) begin
        a <=D;
        b<=a;
        Q<=b;
    end

```

**endmodule**

```

(2) module mux2to1(D0, D1, S, Y );
    input D0, D1, S;
    output Y;
    wire Snot, A, B ;
    not U1(Snot, S);
    and U2(A, D0, Snot);
    and U3(B, D1, S);
    or U4(Y, A, B);
endmodule

```

五. 【15 分】下面是用 Verilog HDL 设计的一个带复位端 rst 且对输入时钟 clk 进行二分频模块。

(设计要求：复位信号为同步、高电平有效，时钟下降沿触发)。

(1) 请填空完成该模块；【10 分】

(2) 画出仿真波形。【5 分】

解：(1)

```

module m2(q,clk,rst);
    _____ rst,clk; //定义输入端口 rst,clk
    _____ q; //定义输出端口 q
    reg q;
    always @(_____ )
    begin
        if(_____ ) q<=0;
        else q<= _____ ;
    end
endmodule

```