

系统硬件综合设计课题布置

课程简介：基于先修课程，根据系统设计的思想，使用 Verilog HDL 语言完成一款基于 LoongArch、MIPS32、RISC-V 或 ARM 等精简指令集架构的多周期 CPU 或流水线 CPU 的设计，并将设计的 CPU 下载至 FPGA 芯片上，在开发板上可以运行测试程序。设计难度为递进式，所有学生必须至少完成一个单周期 CPU 的设计工作。该课程设计贯穿了数字逻辑、计算机组成原理、计算机体系结构课程，实现从逻辑门至完整 CPU 处理器的设计。

学 分：1.5 学分

总学时：36 课时

前导课程：数字逻辑、计算机组成原理、计算机体系结构

指导老师：陈田、李建华、刘军、阙夏、丁贤庆、杨毅

助 教：研究生助教 3 位

验收两阶段：第一轮检查 10 月底；最终验收：12 月底

题目要求及评分等级：

1. 基于精简指令集架构的多周期流水线 CPU 的设计，所设计的各类指令条数不少于 25 条，其中应当包含乘除法指令。对于指令执行时可能产生的冒险与冲突，能够采取相应的方法合理解决；对于如何提高 CPU 性能有一定的策略并实现。所设计的结构可以下载至 FPGA 芯片上，并在开发板上可以运行自己设计的测试程序并验证所有设计的指令。例如：斐波拉契数列的显示，汇编代码的编写和编译。（优）

2. 基于精简指令集架构的多周期流水线 CPU 设计，所设计的各类指令条数不少于 20 条，对于指令执行时可能产生的冒险与冲突，能够采取各种相应的方法合理解决，能够在设计中包含 Cache 或者中断等其它有助于系统结构优化的方法，对于如何提高系统性能有一定的策略并能实现。在 EDA 软件上可以运行自己设计的测试程序并仿真验证所有设计的指令和结构。例如：斐波拉契数列的显示，汇编代码的编写和编译。（优）

3. 基于精简指令集架构的多周期流水线 CPU 设计，所设计的各类指令条数不少于 20 条，对于指令执行时可能产生的冒险与冲突，能够采取各种相应的方法合理解决，能够在设计中包含 Cache 或者中断等其它有助于系统结构优化的方

法，并且考虑超标量流水线 CPU 提高系统性能的策略并实现。在 EDA 软件上可以运行自己设计的测试程序并仿真验证所有设计的指令和结构。例如：斐波拉契数列的显示，汇编代码的编写和编译。（优）

4. 基于精简指令集架构的多周期流水线 CPU 设计，所设计的各类指令条数不少于 20 条，并且考虑双核、分支预测、指令预取 CPU 提高系统性能的策略并实现。在 EDA 软件上可以运行自己设计的测试程序并仿真验证所有设计的指令和结构。例如：斐波拉契数列的显示，汇编代码的编写和编译。（优）

5. 基于精简指令集架构的多周期流水线 CPU 设计，所设计的各类指令条数不少于 20 条，并且考虑双核、分支预测、指令预取 CPU、三级存储结构提高系统性能的策略并实现。在 EDA 软件上可以运行自己设计的测试程序并仿真验证所有设计的指令和结构。例如：斐波拉契数列的显示，汇编代码的编写和编译。（优）

6. 基于精简指令集架构的多周期流水线 CPU 的设计，所设计的各类指令条数不少于 15 条，其中应当包含乘除法指令，对于指令执行时可能产生的冒险与冲突，能够采取多种相应的方法合理解决，对于如何提高系统性能有一定的思考和策略，并能部分实现。所设计的结构可以下载至 FPGA 芯片上，并在开发板上可以运行自己设计的测试程序并验证所有设计的指令。例如：斐波拉契数列的显示，汇编代码的编写和编译。（良好）

7. 基于精简指令集架构完成一个多周期流水线 CPU 的设计，所设计的各类指令条数不少于 20 条，对于指令执行时可能产生的冒险与冲突，能够采取各种相应的方法合理解决，对于如何提高系统性能有一定的思考和策略，并能部分实现。在 EDA 软件上可以运行自己设计的测试程序并仿真验证所有设计的指令。例如：斐波拉契数列的显示，汇编代码的编写和编译。（良好）

8. 基于精简指令集或自定义指令集完成一个多周期 CPU 设计或多周期流水线 CPU 的设计，所设计的各类指令条数不少于 15 条，对于流水线 CPU 的指令在执行时可能产生的冒险与冲突，能够至少采取一种方法合理解决，在 EDA 软件上可以运行自己设计的测试程序并仿真验证所有设计的指令。例如：斐波拉契数列的显示，汇编代码的编写和编译。（中）

9. 基于 MIPS32 精简指令集架构或者自定义指令集，完成一个单周期 CPU 的设计，所设计的各类指令条数不少于 10 条，设计的结构可以下载至 FPGA 芯片上，并在开发板上运行自己设计的测试程序并验证所设计的指令。例如：斐

波拉契数列的显示，汇编代码的编写和编译。（及格）（第一阶段验收的内容）