آزمایشگاه معماری کامپیوتر

نیم‌سال سوم ۰۵-۱۴۰۴

استاد: دکتر حمید سربازی آزاد

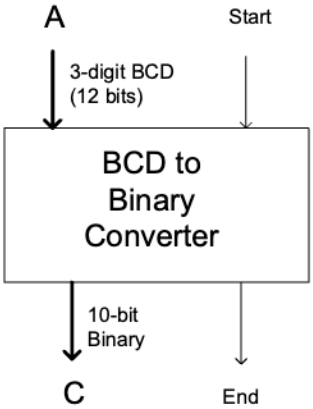
دانشکده‌ی مهندسی کامپیوتر

آزمایش پنجم — تبدیل عدد دهدهی به دودویی — معین آعلی - ثمین اکبری

خلاصه

در این آزمایش مداری طراحی شده که یک عدد دهدهی سه‌رقمی به فرم BCD را می‌گیرد و با فعال‌شدن سیگنال Start آن را به معادل دودویی تبدیل می‌کند و در پایان سیگنال End را فعال می‌کند. تراشه‌های استفاده شده: شش عدد 74194 به‌عنوان ثبات‌های ارقام و ثبات نتیجه، سه عدد 74283 برای عمل تصحیح تفریق ۳، سه عدد 74157 برای انتخاب مسیر داده، یک 74161 برای شمارش تکرارها، و 7404، 7408 و 7432 برای واحد کنترل. مجموعا ۱۶ تراشه.

بلوک دیاگرام مدار



هدف آزمایش

هدف، طراحی مداری است که عدد دهدهی سه‌رقمی را به معادل دودویی تبدیل کند. اهداف مشخص عبارت‌اند از:

- آشنایی عملی با الگوریتم تبدیل BCD به دودویی به روش شیفت راست و تفریق ۳ (معکوس Double Dabble).
- پیاده‌سازی مدار با تراشه‌های استاندارد TTL سری ۷۴، بدون استفاده از ماژول‌های آماده‌ی تبدیل.
- طراحی واحد کنترل ترتیبی با سیگنال‌های Start و End.
- بررسی صحت عملکرد با پوشش کامل هر ۱۰۰۰ ورودی ممکن.

رابط مدار

مدار اصلی converter است و مدار main همان را برای نمایش با Clock و نمایشگرهای هفت‌قطعه‌ای می‌پیچد.

سیگنال	جهت	پهنا	توضیح
A	ورودی	۱۲	عدد BCD: $A[۱۱:۸]$ صدگان، $A[۷:۴]$ دهگان، $A[۳:۰]$ یکان
Start	ورودی	۱	سطحی؛ شروع عملیات
clk	ورودی	۱	لبه‌ی بالارونده
B	خروجی	۱۰	معادل دودویی (۰ تا ۹۹۹)
End	خروجی	۱	با معتبرشدن B فعال می‌شود

خروجی ۱۰ بیت است چون بزرگ‌ترین ورودی یعنی ۹۹۹ برابر $(۱۱۱۱۱۰۰۱۱۱)_۲$ می‌شود که ۱۰ بیت لازم دارد.

در مدار main به‌جای یک ورودی ۱۲ بیتی، سه ورودی ۴ بیتی مجزا (A2، A1، A0) گرفته می‌شود تا هر رقم روی نمایشگر خودش دیده شود.

الگوریتم تبدیل

طبق دستور کار، الگوریتم تبدیل یک عدد دهدهی r رقمی به دودویی معادل به این صورت است:

الف) عدد دهدهی ورودی را یک بیت به راست شیفت بده.

ب) اگر باارزش‌ترین بیت رقم iام یک باشد، از آن رقم ۳ واحد کم کن.

ج) مراحل الف و ب را تا زمانی که تمام ارقام دهدهی صفر شوند تکرار کن (حداکثر ۱۰ بار).

بیت‌هایی که با شیفت به راست از سمت کم‌ارزش بیرون می‌آیند، به ترتیب عدد دودویی معادل را تشکیل می‌دهند.

چرا این الگوریتم کار می‌کند؟ شیفت راست یعنی تقسیم بر ۲. اما در نمایش BCD هر رقم وزن ۱۰ دارد نه ۱۶. وقتی بیتی از یک رقم به رقم پایین‌تر منتقل می‌شود، به‌جای ارزش ۱۰ ارزش ۱۶ پیدا می‌کند، یعنی ۶ واحد اضافه‌تر. چون این خطا بعد از شیفت (یعنی تقسیم بر ۲) دیده می‌شود، مقدار تصحیح نصف ۶ یعنی ۳ است. بنابراین هر رقمی که بعد از شیفت مقدارش از ۷ بیشتر شود (یعنی پرارزش‌ترین بیتش ۱ شود) باید ۳ واحد کم کند.

تعداد تکرار. چون خروجی ۱۰ بیت است، دقیقا ۱۰ تکرار لازم است. در پیاده‌سازی، به‌جای تشخیص همه‌ی ارقام صفر شدند از یک شمارنده‌ی ثابت ۱۰ تایی استفاده شده که هم ساده‌تر است و هم زمان اجرا را قطعی می‌کند.

تریس برای ورودی $A = ۹۹۹$:

iteration	hundreds	tens	units	binary register
init	۹	۹	۹	00 0000 0000
۱	۴	۹	۹	10 0000 0000
۲	۲	۴	۹	11 0000 0000
۳	۱	۲	۴	11 1000 0000
۴	۰	۶	۲	01 1100 0000
۵	۰	۳	۱	00 1110 0000
۶	۰	۱	۵	10 0111 0000
۷	۰	۰	۷	11 0011 1000
۸	۰	۰	۳	11 1001 1100
۹	۰	۰	۱	11 1100 1110
۱۰	۰	۰	۰	11 1110 0111

نتیجه ۹۹۹ = ۲(۱۱۱۱۱۰۰۱۱۱) که درست است. توجه کنید در پایان هر سه رقم صفر شده‌اند، که نشانه‌ی درستی کار است.

برای نمونه، در تکرار ۱ رقم صدگان: ابتدا ۲(۱۰۰۱) = ۹ یک بیت به راست شیفت می‌شود و چون از بالا صفر وارد می‌شود ۴ = ۲(۰۱۰۰) به دست می‌آید. پرارزش‌ترین بیت آن صفر است پس تصحیح لازم ندارد. اما در تکرار ۴ رقم دهگان بعد از شیفت ۹ = ۲(۱۰۰۱) می‌شود؛ چون بیت سوم آن یک است، ۶ = ۳ − ۹ می‌شود که در جدول دیده می‌شود.

فرمول‌بندی سخت‌افزاری

برای پیاده‌سازی، الگوریتم به این شکل بازنویسی شده که هر تکرار دقیقا یک سیکل ساعت طول بکشد. ثبات هر رقم همیشه مقدار تصحیح‌شده را نگه می‌دارد؛ شیفت با سیم‌کشی و تصحیح با جمع‌کننده انجام می‌شود:

$$\text{shifted}_k = (D_k \gg ۱) \mid (s_k \ll ۳)$$
$$D_k(\text{next}) = \text{shifted}_k + (\text{shifted}_k[۳]\ ?\ ۱۳ : ۰)$$

که در آن s_k بیتی است که از رقم باارزش‌تر وارد می‌شود:

$$s_{\text{صدگان}} = ۰, \qquad s_{\text{دهگان}} = D_{\text{صدگان}}[۰], \qquad s_{\text{یکان}} = D_{\text{دهگان}}[۰]$$

چرا جمع ۱۳؟ در حساب پیمانه‌ی ۱۶، تفریق ۳ با جمع متمم دوی آن یعنی ۲(۱۱۰۱) = ۱۳ = ۳ − ۱۶ برابر است. پس به‌جای مدار تفریق، یک جمع‌کننده‌ی 74283 کافی است که ورودی دومش وقتی تصحیح لازم است ۲(۱۱۰۱) باشد و در غیر این صورت صفر.

پرارزش‌ترین بیت مقدار شیفت‌شده دقیقا همان بیت s_k است که از رقم بالاتر وارد شده است. یعنی شرط تصحیح از قبل به‌صورت یک سیم در دسترس است و لازم نیست با گیت ساخته شود. بنابراین ورودی دوم جمع‌کننده به این صورت سیم می‌شود:

ورودی جمع‌کننده		به چه وصل است
$A_۴\ A_۳\ A_۲\ A_۱$		$s_k,\ b_۳,\ b_۲,\ b_۱$ (رقم شیفت‌خورده)
$B_۴\ B_۳\ B_۲\ B_۱$	$s_k,\ s_k,\ \text{GND},\ s_k$	(وقتی $s_k = ۱$ مقدار ۱۳ = ۲(۱۱۰۱))
C_{in}		GND

چون s_k خودش خروجی Q یک ثبات دیگر است، کل عمل تصحیح تفریق ۳ هیچ گیت اضافه‌ای مصرف نمی‌کند و فقط سه پین جمع‌کننده به همان سیم وصل می‌شوند. این مهم‌ترین بهینه‌سازی این طراحی است.

معماری کلی

هر رقم BCD یک برش دارد که از سه تراشه تشکیل شده است:

تراشه	کار
74194	ثبات نگهدارنده‌ی رقم؛ هر سیکل بارگذاری موازی می‌شود
74283	شیفت راست و تصحیح تفریق ۳ (کاملا ترکیبی)
74157	انتخاب می‌کند: هنگام Start مقدار ورودی، در غیر این صورت مقدار تصحیح‌شده

مسیر داده در هر برش یک حلقه است:

خروجی ثبات $\rightarrow$ جمع‌کننده $\rightarrow$ مالتی‌پلکسر $\rightarrow$ ورودی ثبات

بیت کم‌ارزش هر رقم به‌عنوان ورودی سریال به برش پایین‌تر می‌رود، و بیت کم‌ارزش رقم یکان وارد ثبات نتیجه می‌شود.

جدول کامل تراشه‌ها:

مرجع	تراشه	نقش
U1	74194	ثبات رقم صدگان
U2	74194	ثبات رقم دهگان
U3	74194	ثبات رقم یکان
U4	74283	شیفت و تصحیح رقم صدگان
U5	74283	شیفت و تصحیح رقم دهگان
U6	74283	شیفت و تصحیح رقم یکان
U7	74157	انتخاب منبع رقم صدگان
U8	74157	انتخاب منبع رقم دهگان
U9	74157	انتخاب منبع رقم یکان
U10	74194	ثبات نتیجه، بیت‌های $B[۹:۶]$
U11	74194	ثبات نتیجه، بیت‌های $B[۵:۲]$
U12	74194	ثبات نتیجه، بیت‌های $B[۱:۰]$
U13	74161	شمارنده‌ی تکرار، تا ۱۰ می‌شمارد
U14	7404	اینورتر: تولید nCLR و RUN
U15	7408	گیت AND: تشخیص رسیدن شمارنده به ۱۰
U16	7432	گیت OR: تولید سیگنال LD

واحد کنترل

واحد کنترل تنها از سه گیت استفاده می‌کند:

$$\begin{aligned} \text{nCLR} &= \text{NOT(Start)} && \text{(از U14)} \\ \text{RUN} &= \text{NOT(End)} && \text{(از U14)} \\ \text{End} &= \text{Cq۳} \cdot \text{Cq۱} && \text{(از U15)} \\ \text{LD} &= \text{Start} + \text{RUN} && \text{(از U16)} \end{aligned}$$

سیگنال End وقتی فعال می‌شود که شمارنده به مقدار $(۱۰۱۰)_۲ = ۱۰$ برسد، یعنی بیت‌های ۳ و ۱ آن هم‌زمان یک باشند. سیگنال LD باعث می‌شود ثبات ارقام هم در فاز بارگذاری و هم در فاز اجرا مقدار بگیرد، ولی بعد از پایان کار مقدار خود را نگه دارد.

جدول فازهای کاری:

فاز	Start	End	LD	ثبات ارقام	ثبات نتیجه	شمارنده
بارگذاری	۱	۰	۱	بارگذاری A	پاک با nCLR	پاک با nCLR
اجرا	۰	۰	۱	بارگذاری تصحیح‌شده	شیفت راست	می‌شمارد
پایان	۰	۱	۰	نگه‌داری	نگه‌داری	ثابت روی ۱۰

کدگذاری مد 74194 روی پین‌های S_1S_0: مقدار 11 بارگذاری موازی، 01 شیفت راست، و 00 نگه‌داری است. ثبات‌های ارقام هر دو پین را به LD وصل کرده‌اند (پس یا بارگذاری یا نگه‌داری) و ثبات‌های نتیجه $S_1 = \text{GND}$ و $S_0 = \text{RUN}$ دارند (پس یا شیفت راست یا نگه‌داری).

جزئیات پایه‌های تراشه‌ها

در این بخش برای هر تراشه، شماره‌ی پین، نام آن طبق دیتاشیت، و سیگنالی که به آن وصل شده آورده شده است. پین‌های تغذیه (VCC و GND) در لاجسیم پورت ندارند ولی برای کامل بودن جدول ذکر شده‌اند.

ثبات‌های ارقام BCD

هر سه یکسان سیم‌کشی شده‌اند و فقط نام سیگنال‌هایشان فرق می‌کند. پین‌های S_1 و S_0 هر دو به LD وصل‌اند، پس ثبات یا بارگذاری موازی می‌کند یا مقدار را نگه می‌دارد. پین nCLR به VCC بسته شده چون مقداردهی اولیه از راه مالتی‌پلکسر انجام می‌شود نه پاک‌سازی. در 74194 پین QA پرارزش‌ترین بیت و QD کم‌ارزش‌ترین است.

U1 — 74194 — ثبات رقم صدگان

پین	نام	سیگنال	توضیح
۱	nCLR	VCC	سطح منطقی ۱
۲	SR	GND	سطح منطقی ۰
۳	A	D2m3	بیت ۳ خروجی مالتی‌پلکسر
۴	B	D2m2	بیت ۲ خروجی مالتی‌پلکسر
۵	C	D2m1	بیت ۱ خروجی مالتی‌پلکسر
۶	D	D2m0	بیت ۰ خروجی مالتی‌پلکسر
۷	SL	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	S0	LD	بارگذاری (RUN + Start)
۱۰	S1	LD	بارگذاری (RUN + Start)
۱۱	CLK	CLK	ساعت مدار
۱۲	QD	D2b0	بیت ۰ رقم صدگان (خروجی ثبات)
۱۳	QC	D2b1	بیت ۱ رقم صدگان (خروجی ثبات)
۱۴	QB	D2b2	بیت ۲ رقم صدگان (خروجی ثبات)
۱۵	QA	D2b3	بیت ۳ رقم صدگان (خروجی ثبات)
۱۶	VCC	VCC	سطح منطقی ۱

U2 — 74194 — ثبات رقم دهگان

پین	نام	سیگنال	توضیح
۱	nCLR	VCC	سطح منطقی ۱
۲	SR	GND	سطح منطقی ۰
۳	A	D1m3	بیت ۳ خروجی مالتی‌پلکسر
۴	B	D1m2	بیت ۲ خروجی مالتی‌پلکسر
۵	C	D1m1	بیت ۱ خروجی مالتی‌پلکسر
۶	D	D1m0	بیت ۰ خروجی مالتی‌پلکسر
۷	SL	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	S0	LD	بارگذاری (RUN + Start)
۱۰	S1	LD	بارگذاری (RUN + Start)
۱۱	CLK	CLK	ساعت مدار
۱۲	QD	D1b0	بیت ۰ رقم دهگان (خروجی ثبات)
۱۳	QC	D1b1	بیت ۱ رقم دهگان (خروجی ثبات)
۱۴	QB	D1b2	بیت ۲ رقم دهگان (خروجی ثبات)
۱۵	QA	D1b3	بیت ۳ رقم دهگان (خروجی ثبات)
۱۶	VCC	VCC	سطح منطقی ۱

U3 — 74194 — ثبات رقم یکان

پین	نام	سیگنال	توضیح
۱	nCLR	VCC	سطح منطقی ۱
۲	SR	GND	سطح منطقی ۰
۳	A	D0m3	بیت ۳ خروجی مالتی‌پلکسر
۴	B	D0m2	بیت ۲ خروجی مالتی‌پلکسر
۵	C	D0m1	بیت ۱ خروجی مالتی‌پلکسر
۶	D	D0m0	بیت ۰ خروجی مالتی‌پلکسر
۷	SL	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	S0	LD	بارگذاری (RUN + Start)
۱۰	S1	LD	بارگذاری (RUN + Start)
۱۱	CLK	CLK	ساعت مدار
۱۲	QD	D0b0	بیت ۰ رقم یکان (خروجی ثبات)
۱۳	QC	D0b1	بیت ۱ رقم یکان (خروجی ثبات)
۱۴	QB	D0b2	بیت ۲ رقم یکان (خروجی ثبات)
۱۵	QA	D0b3	بیت ۳ رقم یکان (خروجی ثبات)
۱۶	VCC	VCC	سطح منطقی ۱

جمع‌کننده‌های تصحیح

ورودی A همان رقم شیفت‌خورده است و ورودی B مقدار ۱۳ = $(۱۱۰۱)_۲$ را وقتی تصحیح لازم است می‌سازد. دقت کنید در U4 (صدگان) چون بیت ورودی همیشه صفر است، تمام ورودی‌های B به GND بسته شده‌اند؛ یعنی رقم صدگان هرگز تصحیح نمی‌خواهد. پین Cout استفاده نمی‌شود چون نتیجه همیشه در ۴ بیت جا می‌شود.

U4 — 74283 — شیفت و تصحیح رقم صدگان

پین	نام	سیگنال	توضیح
۱	S2	D2n1	بیت ۱ مقدار تصحیح‌شده
۲	B2	GND	سطح منطقی ۰
۳	A2	D2b2	بیت ۲ رقم صدگان (خروجی ثبات)
۴	S1	D2n0	بیت ۰ مقدار تصحیح‌شده
۵	A1	D2b1	بیت ۱ رقم صدگان (خروجی ثبات)
۶	B1	GND	سطح منطقی ۰
۷	Cin	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	Cout	—	بدون اتصال
۱۰	S4	D2n3	بیت ۳ مقدار تصحیح‌شده
۱۱	B4	GND	سطح منطقی ۰
۱۲	A4	GND	سطح منطقی ۰
۱۳	S3	D2n2	بیت ۲ مقدار تصحیح‌شده
۱۴	A3	D2b3	بیت ۳ رقم صدگان (خروجی ثبات)
۱۵	B3	GND	سطح منطقی ۰
۱۶	VCC	VCC	سطح منطقی ۱

U5 — 74283 — شیفت و تصحیح رقم دهگان

پین	نام	سیگنال	توضیح
۱	S2	D1n1	بیت ۱ مقدار تصحیح‌شده
۲	B2	GND	سطح منطقی ۰
۳	A2	D1b2	بیت ۲ رقم دهگان (خروجی ثبات)
۴	S1	D1n0	بیت ۰ مقدار تصحیح‌شده
۵	A1	D1b1	بیت ۱ رقم دهگان (خروجی ثبات)
۶	B1	D2b0	بیت ۰ رقم صدگان (خروجی ثبات)
۷	Cin	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	Cout	—	بدون اتصال
۱۰	S4	D1n3	بیت ۳ مقدار تصحیح‌شده
۱۱	B4	D2b0	بیت ۰ رقم صدگان (خروجی ثبات)
۱۲	A4	D2b0	بیت ۰ رقم صدگان (خروجی ثبات)
۱۳	S3	D1n2	بیت ۲ مقدار تصحیح‌شده
۱۴	A3	D1b3	بیت ۳ رقم دهگان (خروجی ثبات)
۱۵	B3	D2b0	بیت ۰ رقم صدگان (خروجی ثبات)
۱۶	VCC	VCC	سطح منطقی ۱

U6 — 74283 — شیفت و تصحیح رقم یکان

پین	نام	سیگنال	توضیح
۱	S2	D0n1	بیت ۱ مقدار تصحیح‌شده
۲	B2	GND	سطح منطقی ۰
۳	A2	D0b2	بیت ۲ رقم یکان (خروجی ثبات)
۴	S1	D0n0	بیت ۰ مقدار تصحیح‌شده
۵	A1	D0b1	بیت ۱ رقم یکان (خروجی ثبات)
۶	B1	D1b0	بیت ۰ رقم دهگان (خروجی ثبات)
۷	Cin	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	Cout	—	بدون اتصال
۱۰	S4	D0n3	بیت ۳ مقدار تصحیح‌شده
۱۱	B4	D1b0	بیت ۰ رقم دهگان (خروجی ثبات)
۱۲	A4	D1b0	بیت ۰ رقم دهگان (خروجی ثبات)
۱۳	S3	D0n2	بیت ۲ مقدار تصحیح‌شده
۱۴	A3	D0b3	بیت ۳ رقم یکان (خروجی ثبات)
۱۵	B3	D1b0	بیت ۰ رقم دهگان (خروجی ثبات)
۱۶	VCC	VCC	سطح منطقی ۱

مالتی‌پلکسرهای انتخاب منبع

پین SEL به Start وصل است: وقتی صفر باشد ورودی‌های A (مقدار تصحیح‌شده) و وقتی یک باشد ورودی‌های B (رقم ورودی اولیه) به خروجی می‌روند. پین nSTB به GND بسته شده تا تراشه همیشه فعال باشد.

U7 — 74157 — انتخاب منبع رقم صدگان

پین	نام	سیگنال	توضیح
۱	SEL	ST	سیگنال Start
۲	1A	D2n0	بیت ۰ مقدار تصحیح‌شده
۳	1B	D2i0	بیت ۰ ورودی اولیه A
۴	1Y	D2m0	بیت ۰ خروجی مالتی‌پلکسر
۵	2A	D2n1	بیت ۱ مقدار تصحیح‌شده
۶	2B	D2i1	بیت ۱ ورودی اولیه A
۷	2Y	D2m1	بیت ۱ خروجی مالتی‌پلکسر
۸	GND	GND	سطح منطقی ۰
۹	3Y	D2m2	بیت ۲ خروجی مالتی‌پلکسر
۱۰	3B	D2i2	بیت ۲ ورودی اولیه A
۱۱	3A	D2n2	بیت ۲ مقدار تصحیح‌شده
۱۲	4Y	D2m3	بیت ۳ خروجی مالتی‌پلکسر
۱۳	4B	D2i3	بیت ۳ ورودی اولیه A
۱۴	4A	D2n3	بیت ۳ مقدار تصحیح‌شده
۱۵	nSTB	GND	سطح منطقی ۰
۱۶	VCC	VCC	سطح منطقی ۱

U8 — 74157 — انتخاب منبع رقم دهگان

پین	نام	سیگنال	توضیح
۱	SEL	ST	سیگنال Start
۲	1A	D1n0	بیت ۰ مقدار تصحیح‌شده
۳	1B	D1i0	بیت ۰ ورودی اولیه A
۴	1Y	D1m0	بیت ۰ خروجی مالتی‌پلکسر
۵	2A	D1n1	بیت ۱ مقدار تصحیح‌شده
۶	2B	D1i1	بیت ۱ ورودی اولیه A
۷	2Y	D1m1	بیت ۱ خروجی مالتی‌پلکسر
۸	GND	GND	سطح منطقی ۰
۹	3Y	D1m2	بیت ۲ خروجی مالتی‌پلکسر
۱۰	3B	D1i2	بیت ۲ ورودی اولیه A
۱۱	3A	D1n2	بیت ۲ مقدار تصحیح‌شده
۱۲	4Y	D1m3	بیت ۳ خروجی مالتی‌پلکسر
۱۳	4B	D1i3	بیت ۳ ورودی اولیه A
۱۴	4A	D1n3	بیت ۳ مقدار تصحیح‌شده
۱۵	nSTB	GND	سطح منطقی ۰
۱۶	VCC	VCC	سطح منطقی ۱

U9 — 74157 — انتخاب منبع رقم یکان

پین	نام	سیگنال	توضیح
۱	SEL	ST	سیگنال Start
۲	1A	D0n0	بیت ۰ مقدار تصحیح‌شده
۳	1B	D0i0	بیت ۰ ورودی اولیه A
۴	1Y	D0m0	بیت ۰ خروجی مالتی‌پلکسر
۵	2A	D0n1	بیت ۱ مقدار تصحیح‌شده
۶	2B	D0i1	بیت ۱ ورودی اولیه A
۷	2Y	D0m1	بیت ۱ خروجی مالتی‌پلکسر
۸	GND	GND	سطح منطقی ۰
۹	3Y	D0m2	بیت ۲ خروجی مالتی‌پلکسر
۱۰	3B	D0i2	بیت ۲ ورودی اولیه A
۱۱	3A	D0n2	بیت ۲ مقدار تصحیح‌شده
۱۲	4Y	D0m3	بیت ۳ خروجی مالتی‌پلکسر
۱۳	4B	D0i3	بیت ۳ ورودی اولیه A
۱۴	4A	D0n3	بیت ۳ مقدار تصحیح‌شده
۱۵	nSTB	GND	سطح منطقی ۰
۱۶	VCC	VCC	سطح منطقی ۱

ثبات نتیجه‌ی دودویی

سه تراشه زنجیر شده‌اند: پین SR هر کدام از پین QD تراشه‌ی قبلی تغذیه می‌شود و اولی از بیت کم‌ارزش رقم یکان. مد $S_1 = \text{GND}$ و $S_0 = \text{RUN}$ یعنی تا وقتی مدار در حال کار است شیفت راست و بعد از آن نگه‌داری. در U12 فقط دو بیت لازم است و دو پین خروجی دیگر بلااستفاده مانده‌اند.

U10 — 74194 — ثبات نتیجه B[9:6]

پین	نام	سیگنال	توضیح
۱	nCLR	nCLR	پاک‌سازی آسنکرون (فعال با صفر)
۲	SR	D0b0	بیت ۰ رقم یکان (خروجی ثبات)
۳	A	GND	سطح منطقی ۰
۴	B	GND	سطح منطقی ۰
۵	C	GND	سطح منطقی ۰
۶	D	GND	سطح منطقی ۰
۷	SL	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	S0	RUN	در حال اجرا
۱۰	S1	GND	سطح منطقی ۰
۱۱	CLK	CLK	ساعت مدار
۱۲	QD	B6	بیت ۶ نتیجه‌ی دودویی
۱۳	QC	B7	بیت ۷ نتیجه‌ی دودویی
۱۴	QB	B8	بیت ۸ نتیجه‌ی دودویی
۱۵	QA	B9	بیت ۹ نتیجه‌ی دودویی
۱۶	VCC	VCC	سطح منطقی ۱

U11 — 74194 — ثبات نتیجه B[5:2]

پین	نام	سیگنال	توضیح
۱	nCLR	nCLR	پاک‌سازی آسنکرون (فعال با صفر)
۲	SR	B6	بیت ۶ نتیجه‌ی دودویی
۳	A	GND	سطح منطقی ۰
۴	B	GND	سطح منطقی ۰
۵	C	GND	سطح منطقی ۰
۶	D	GND	سطح منطقی ۰
۷	SL	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	S0	RUN	در حال اجرا
۱۰	S1	GND	سطح منطقی ۰
۱۱	CLK	CLK	ساعت مدار
۱۲	QD	B2	بیت ۲ نتیجه‌ی دودویی
۱۳	QC	B3	بیت ۳ نتیجه‌ی دودویی
۱۴	QB	B4	بیت ۴ نتیجه‌ی دودویی
۱۵	QA	B5	بیت ۵ نتیجه‌ی دودویی
۱۶	VCC	VCC	سطح منطقی ۱

U12 — 74194 — ثبات نتیجه B[1:0]

پین	نام	سیگنال	توضیح
۱	nCLR	nCLR	پاک‌سازی آسنکرون (فعال با صفر)
۲	SR	B2	بیت ۲ نتیجه‌ی دودویی
۳	A	GND	سطح منطقی ۰
۴	B	GND	سطح منطقی ۰
۵	C	GND	سطح منطقی ۰
۶	D	GND	سطح منطقی ۰
۷	SL	GND	سطح منطقی ۰
۸	GND	GND	سطح منطقی ۰
۹	S0	RUN	در حال اجرا
۱۰	S1	GND	سطح منطقی ۰
۱۱	CLK	CLK	ساعت مدار
۱۲	QD	—	بدون اتصال
۱۳	QC	—	بدون اتصال
۱۴	QB	B0	بیت ۰ نتیجه‌ی دودویی
۱۵	QA	B1	بیت ۱ نتیجه‌ی دودویی
۱۶	VCC	VCC	سطح منطقی ۱

واحد کنترل

شمارنده با ENP و ENT برابر RUN فقط در فاز اجرا می‌شمارد و با nCLR در فاز بارگذاری صفر می‌شود. ورودی‌های استفاده‌نشده‌ی گیت‌ها طبق اصول طراحی TTL به GND بسته شده‌اند تا شناور نمانند.

U13 — 74161 — شمارنده‌ی تکرار

پین	نام	سیگنال	توضیح
۱	nCLR	nCLR	پاک‌سازی آسنکرون (فعال با صفر)
۲	CLK	CLK	ساعت مدار
۳	A	GND	سطح منطقی ۰
۴	B	GND	سطح منطقی ۰
۵	C	GND	سطح منطقی ۰
۶	D	GND	سطح منطقی ۰
۷	ENP	RUN	در حال اجرا
۸	GND	GND	سطح منطقی ۰
۹	nLD	VCC	سطح منطقی ۱
۱۰	ENT	RUN	در حال اجرا
۱۱	Qd	Cq3	بیت ۳ شمارنده
۱۲	Qc	Cq2	بیت ۲ شمارنده
۱۳	Qb	Cq1	بیت ۱ شمارنده
۱۴	Qa	Cq0	بیت ۰ شمارنده
۱۵	RCO	—	بدون اتصال
۱۶	VCC	VCC	سطح منطقی ۱

U14 — 7404 — اینورترها

پین	نام	سیگنال	توضیح
۱	1A	ST	سیگنال Start
۲	1Y	nCLR	پاک‌سازی آسنکرون (فعال با صفر)
۳	2A	END	سیگنال End
۴	2Y	RUN	در حال اجرا
۵	3A	GND	سطح منطقی ۰
۶	3Y	—	بدون اتصال
۷	GND	GND	سطح منطقی ۰
۸	4Y	—	بدون اتصال
۹	4A	GND	سطح منطقی ۰
۱۰	5Y	—	بدون اتصال
۱۱	5A	GND	سطح منطقی ۰
۱۲	6Y	—	بدون اتصال
۱۳	6A	GND	سطح منطقی ۰
۱۴	VCC	VCC	سطح منطقی ۱

U15 — 7408 — گیت AND

پین	نام	سیگنال	توضیح
۱	1A	Cq1	بیت ۱ شمارنده
۲	1B	Cq3	بیت ۳ شمارنده
۳	1Y	END	سیگنال End
۴	2A	GND	سطح منطقی ۰
۵	2B	GND	سطح منطقی ۰
۶	2Y	—	بدون اتصال
۷	GND	GND	سطح منطقی ۰
۸	3Y	—	بدون اتصال
۹	3A	GND	سطح منطقی ۰
۱۰	3B	GND	سطح منطقی ۰
۱۱	4Y	—	بدون اتصال
۱۲	4A	GND	سطح منطقی ۰
۱۳	4B	GND	سطح منطقی ۰
۱۴	VCC	VCC	سطح منطقی ۱

U16 — 7432 — گیت OR

پین	نام	سیگنال	توضیح
۱	1A	ST	سیگنال Start
۲	1B	RUN	در حال اجرا
۳	1Y	LD	بارگذاری (RUN + Start)
۴	2A	GND	سطح منطقی ۰
۵	2B	GND	سطح منطقی ۰
۶	2Y	—	بدون اتصال
۷	GND	GND	سطح منطقی ۰
۸	3Y	—	بدون اتصال
۹	3A	GND	سطح منطقی ۰
۱۰	3B	GND	سطح منطقی ۰
۱۱	4Y	—	بدون اتصال
۱۲	4A	GND	سطح منطقی ۰
۱۳	4B	GND	سطح منطقی ۰
۱۴	VCC	VCC	سطح منطقی ۱

سیگنال‌های داخلی

برای خواندن راحت‌تر جدول‌های بالا، نام‌گذاری سیگنال‌های داخلی به این صورت است:

الگوی نام	معنی
D0 ،D1 ،D2	به ترتیب رقم صدگان، دهگان و یکان
Dkbj	بیت jام خروجی ثبات رقم k
Dknj	بیت jام مقدار تصحیح‌شده (خروجی جمع‌کننده)
Dkmj	بیت jام خروجی مالتی‌پلکسر (ورودی ثبات)
Dkij	بیت jام مقدار اولیه از ورودی A
Cq0 تا Cq3	بیت‌های شمارنده
B0 تا B9	بیت‌های نتیجه‌ی دودویی

مسیر داده‌ی یک رقم به ترتیب چنین است:

$$\mathrm{D}k\mathrm{b}* \xrightarrow{۷۴۲۸۳} \mathrm{D}k\mathrm{n}* \xrightarrow{۷۴۱۵۷} \mathrm{D}k\mathrm{m}* \xrightarrow{۷۴۱۹۴} \mathrm{D}k\mathrm{b}*$$

نحوه‌ی استفاده

۱. عدد BCD موردنظر را روی ورودی بگذار. در مدار converter مقدار A را (مثلا 0x999 برای ۹۹۹) و در مدار main سه ورودی A2، A1 و A0 را جداگانه تنظیم کن.

۲. Start را ۱ کن و یک لبه‌ی ساعت بده. عدد ورودی وارد ثبات ارقام می‌شود و شمارنده و ثبات نتیجه پاک می‌شوند.

۳. Start را ۰ کن.

۴. ده لبه‌ی ساعت دیگر بده. پس از لبه‌ی دهم سیگنال End = ۱ می‌شود و B معادل دودویی را نگه می‌دارد.

مجموعا ۱۱ لبه‌ی ساعت لازم است. در مدار main یک قطعه‌ی Clock واقعی وجود دارد؛ کافی است با Ctrl+K آن را تیک بزنی.

نکته برای پیاده‌سازی روی بورد. طبق دستور کار، برای سادگی می‌توان اعداد دو رقمی در نظر گرفت. در این صورت کافی است رقم صدگان یعنی $A[۱۱:۸]$ را صفر بگذاری؛ بقیه‌ی مدار بدون هیچ تغییری کار می‌کند و خروجی حداکثر ۷ بیت خواهد شد.

نمایش در مدار main

مدار main برای نمایش عملی ساخته شده است:

بخش	توضیح
سه ورودی ۴ بیتی	A2 صدگان، A1 دهگان، A0 یکان
سه نمایشگر هفت‌قطعه‌ای	هر رقم ورودی BCD را نشان می‌دهد
سه نمایشگر نتیجه	نتیجه‌ی دودویی به‌صورت سه رقم هگز
پین End	اعلام پایان تبدیل

سه نیبل ورودی با یک Splitter به باس ۱۲ بیتی تبدیل و به مدار converter داده می‌شوند. نتیجه‌ی ۱۰ بیتی هم به سه گروه $B[۹:۸]$، $B[۷:۴]$ و $B[۳:۰]$ تقسیم و روی سه نمایشگر هگز نشان داده می‌شود. مثلا برای ورودی ۹۹۹ خروجی نمایشگرها 3، E و 7 است که همان $(۱۱۱۱۱۰۰۱۱۱)_۲ = ۹۹۹$ می‌شود.

تست و صحت‌سنجی

صحت مدار با بردارهای تست ترتیبی لاجسیم بررسی شده است. این بردارها ستون‌های <Set> و <Seq> دارند: لاجسیم در شروع هر <Set> مدار را ریست می‌کند و بین گام‌های <Seq> وضعیت را نگه می‌دارد، پس مدار ترتیبی کاملا قابل تست است.

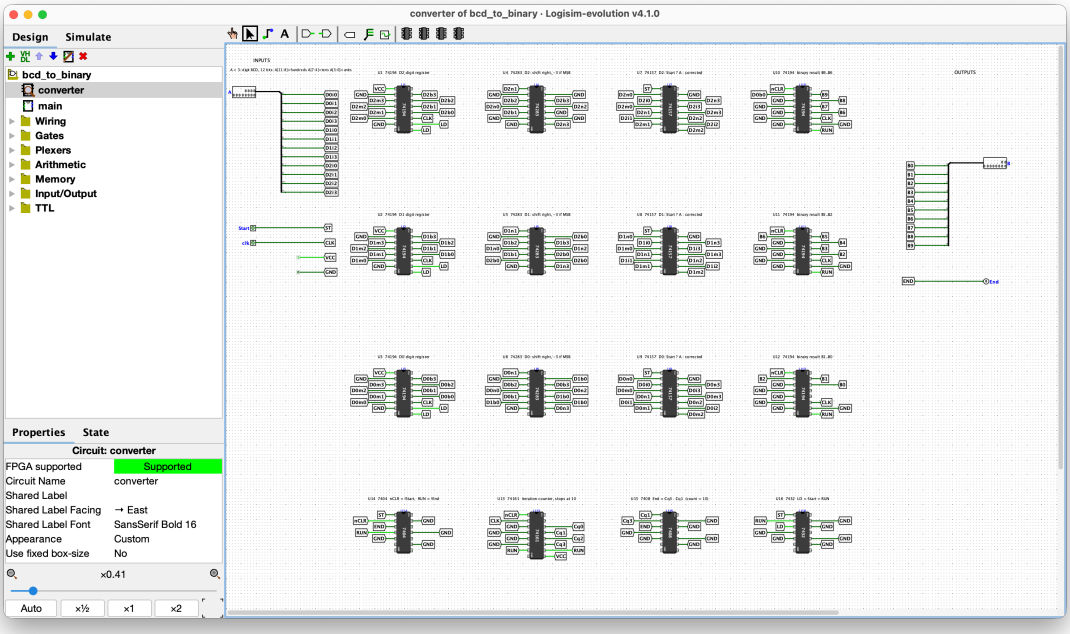
فایل	مدار	پوشش
tests_converter.vec	converter	۱۳ عدد نماینده، ۲۸۶ گام
tests_converter_exhaustive.vec	converter	هر ۱۰۰۰ ورودی ممکن، ۲۲۰۰۰ گام
tests_main.vec	main	۱۰ سناریو با تیک خودکار Clock، ۲۲۰ گام

نتیجه‌ی اجرای کامل:

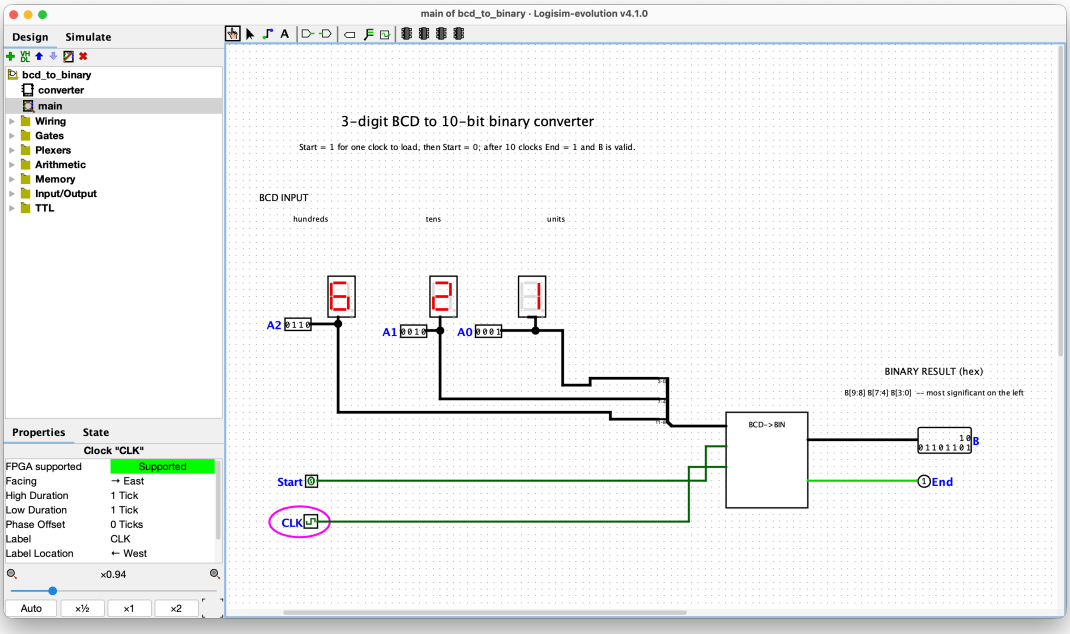
```
converter - 13 representative values          OK   Passed: 286,   Failed: 0
converter - all 1000 values (000..999)        OK   Passed: 22000, Failed: 0
main - demo wrapper with Clock                OK   Passed: 220,   Failed: 0

All test vectors passed.
```

مجموعا ۲۲۵۰۶ گام تست بدون هیچ خطا اجرا شده است. چون فضای ورودی این مدار فقط ۱۰۰۰ حالت دارد، تست کامل و جامع بوده و هیچ حالتی آزمایش‌نشده باقی نمانده است.

تصاویر مدار



شکل ۱: نمای کلی مدار converter با تمام ۱۶ تراشه



شکل ۲: مدار main با ورودی‌های مجزا

نکته: در نوشتن این گزارش و تهیه‌ی جداول از هوش مصنوعی استفاده شده است.