



# معماری کامپیوتر

دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

زمستان ۱۴۰۲



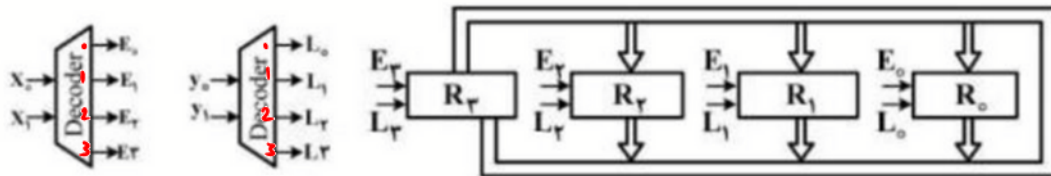
معین آعلی - ۴۰۱۱۰۵۵۶۱

## فهرست عناوین

۱. سوال شماره ۱: ..... ۲
۲. سوال شماره ۲: ..... ۳
۳. سوال شماره ۳: ..... ۴
۴. سوال شماره ۴: ..... ۵
۵. سوال شماره ۵: ..... ۶

## ۱. سوال شماره ۱:

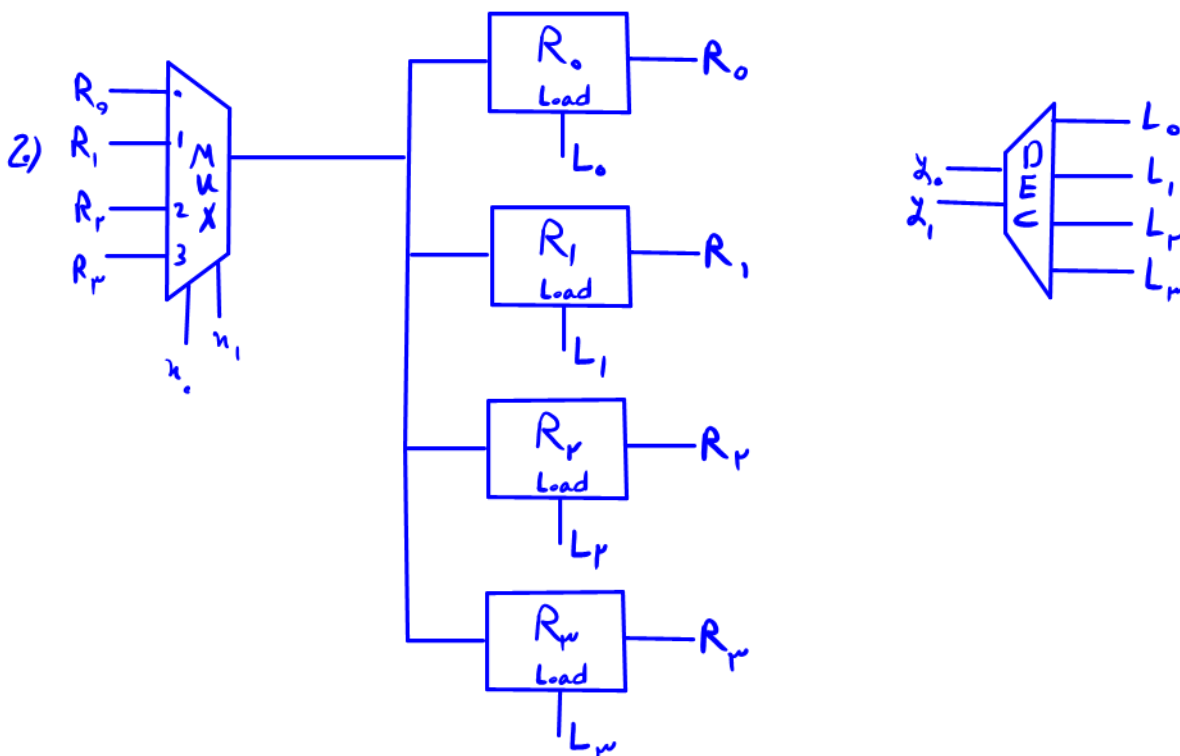
- ۱- (۱۰ نمره) در شکل زیر  $L_i$  ورودی فرمان Load و  $E_i$  ورودی فرمان Enable خروجی سه حالت ثابت  $i$  است.
- الف- چه کد عملیاتی باید به این مدار اعمال شود تا انتقال  $R3 \leftarrow R2$  انجام شود، ؟ (کد Hex با فرمت  $y_1y_0x_1x_0$ ) مراحل به دست آوردن کد را توضیح دهید.
- ب- آیا با این سخت افزار می توانیم همزمان محتوای دو ثابت را با هم عوض کنیم؟
- ج- فرض کنید خروجی ثابت های سه حالتی نیستند. سخت افزاری رسم کنید که مثل همین مدار کار کند.



الف)  $R_3 \leftarrow R_2$  :  $E_2=1, L_3=1 \rightarrow$   $x_1, x_0 = 1, 0 \rightarrow$   $y_1, y_0 = 1, 1 \rightarrow$  code:  $1110 \rightarrow 0xE$

برای خروجی دادن لازم است enable روشن باشد. برای خواندن درودی هم لازم است load روشن باشد.

خیر، چون تنها یک bus داریم و برای اینکه در یک clock جایابی صورت گیرد، باید خروجی هر رجیستر (ب) پشت درب رجیستر دیگر منتظر روشن شدن Load باشد.



## ۲. سوال شماره ۲:

۲- (۱۰ نمره) سخت‌افزاری بسازید که عملیات زیر را انجام دهد:

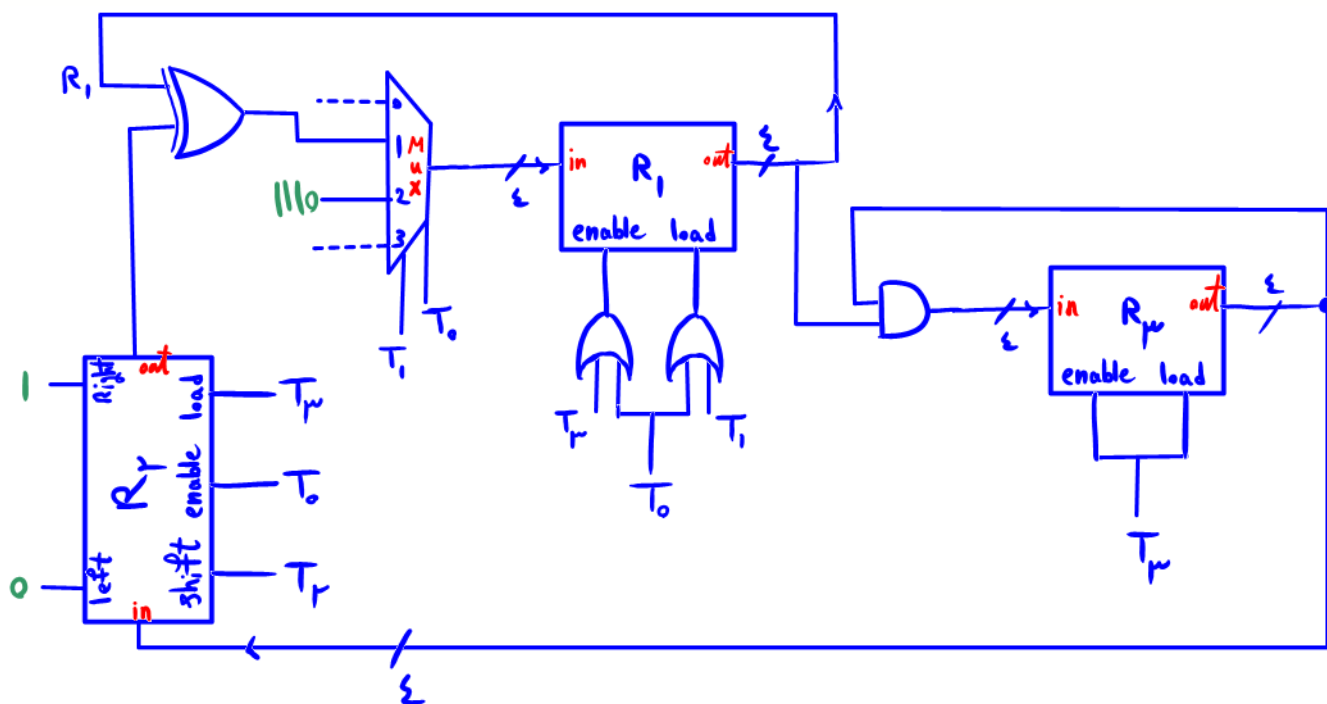
$T_0: R1 \leftarrow R1 \text{ XOR } R2$

$T_1: R1 \leftarrow 11110$

$T_2: R2 \leftarrow \text{srl } R2$

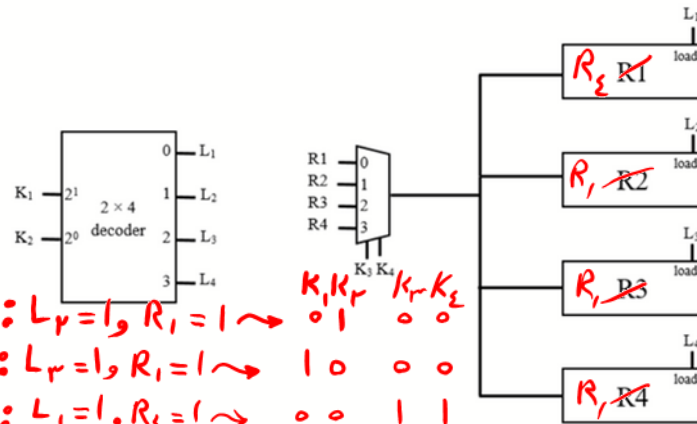
$T_3: R3 \leftarrow R3 \text{ AND } R1, R2 \leftarrow R3$

ثبات‌ها را ۴ بیتی در نظر بگیرید و فرض کنید در هر کلاک حداکثر یکی از سیگنال‌های  $T_0, T_1, T_2$  و  $T_3$  یک خواهد بود.



## ۳. سوال شماره ۳:

۳- (۱۰ نمره) در شکل زیر سیگنال‌های کنترلی  $K_1$  تا  $K_4$  را در هر کلاک طوری تعیین کنید که پس از تعداد کافی کلاک محتوای  $R_1$  به سایر ثبت‌ها برود و محتوای  $R_1$  برابر محتوای اولیه  $R_4$  شود. سپس مشخص کنید این کار حداقل چند کلاک طول می‌کشد؟



$$\begin{aligned}
 &T_0: R_1 \leftarrow R_1 : L_1=1, R_1=1 \rightarrow 0100 \\
 &T_1: R_2 \leftarrow R_1 : L_2=1, R_1=1 \rightarrow 1000 \\
 &T_2: R_1 \leftarrow R_4 : L_1=1, R_4=1 \rightarrow 0011 \\
 &T_3: R_4 \leftarrow R_2 : L_4=1, R_2=1 \rightarrow 1101
 \end{aligned}$$

چون خروجی decoder در هر کلاک فقط یکی از خروجی‌ها را ۱ می‌کند،

در هر کلاک فقط یک انتقال صورت می‌گیرد.

پس نیاز به ۴ کلاک داریم!

## ۴. سوال شماره ۴:

۴- (۱۰ نمره) توضیح دهید کد RTL زیر چه می‌کند و محتوای ثبات‌ها پس از هر بار اجرای این دو خط چه تغییری می‌کند؟ فرض کنید دو خط زیر در دو کلاک متوالی اجرا می‌شوند.

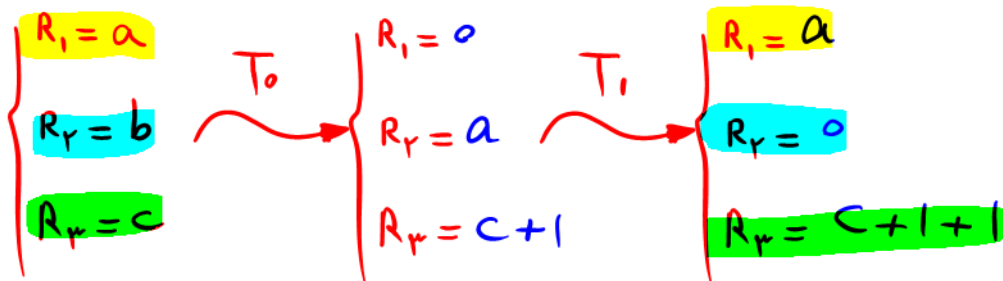
$T_0: R1 \leftarrow R1 \text{ XOR } R1, R2 \leftarrow R1, R3 \leftarrow R3+1$

$T_1: R2 \leftarrow R2 \text{ XOR } R2, R1 \leftarrow R2, R3 \leftarrow R3+1$

$$T_0: R1 = 0 / R2 = R1 / R3 = R3 + 1$$

$$T_1: R2 = 0 / R1 = R2 / R3 = R3 + 1$$

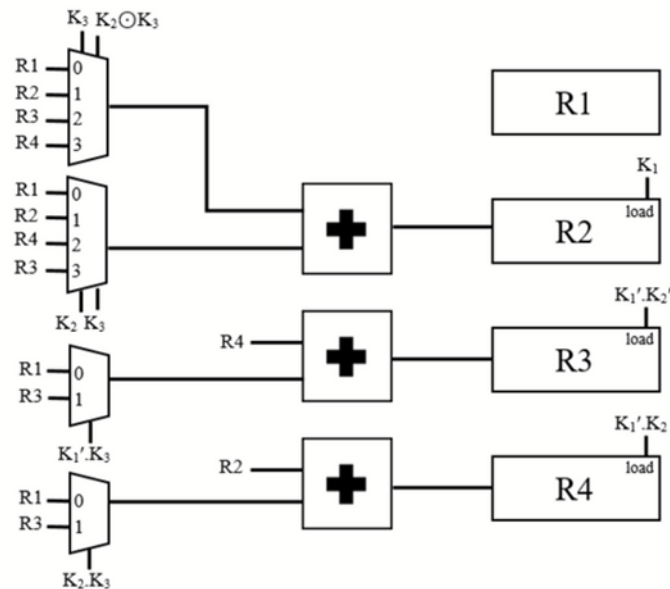
پس از ۲ کلاک، مقدار  $R3$  با ۲ جمع می‌شود و مقدار  $R1$  ثابت می‌ماند و ثبات  $R2$  برای صفر می‌شود.



اگر دوباره این را اجرا کنیم،  $b=0$  خواهد بود!

## ۵. سوال شماره ۵:

۵- (۲۰ نمره) مدار زیر را با سیگنال‌های کنترلی  $K_1$  تا  $K_3$  در نظر بگیرید. ساده‌ترین مداری را که توصیف RTL یکسان با این مدار دارد رسم کنید. (راهنمایی: ابتدا توصیف RTL مدار را بنویسید و ساده کنید، سپس ساده‌ترین مدار را برای آن بسازید.)



k1	k2	k3	Load R2	R2	Load R3	R3	Load R4	R4
0	0	0	0	x	1	R1+R4	0	x
0	0	1	0	x	1	R3+R4	0	x
0	1	0	0	x	0	x	1	R1+R2
0	1	1	0	x	0	x	1	R3+R2
1	0	0	1	R2+R1	0	x	0	x
1	0	1	1	R3+R2	0	x	0	x
1	1	0	1	R1+R4	0	x	0	x
1	1	1	1	R3+R4	0	x	0	x

در این مدار همواره  $R_1/R_r$  با  $R_1/R_r$  جمع می‌شود.

