



دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

طراحی کامپیوتری سیستم‌های دیجیتال

بهار ۱۴۰۰

فاز ۲

توضیحات پروژه

در فاز اول از تمرین مابجولی را طراحی کردید که تابع فیبوناتچی را با تغییرات گفته شده پیاده‌سازی می‌کرد و برای این کار از یک پشته کمک می‌گرفت. در این فاز شما باید مابجول طراحی شده را با Verilog مدل‌سازی کنید. همان‌طور که در فاز قبل بیان شده بود ورودی این مابجول عدد ۵ بیتی N و خروجی آن N مین عدد از سری فیبوناتچی با روال گفته شده است.

در این بخش شما می‌توانید کد Verilog را برای سادگی بیشتر در سطح رفتاری پیاده‌سازی کنید. دقت کنید پیاده‌سازی این مرحله باید کاملاً همان مداری باشد که در فاز قبل طراحی کردید. در صورتیکه متوجه شده‌اید طراحی شما در فاز قبل مشکلی داشته است، آن را در این مرحله اصلاح کنید و مشکل و راه‌حل را در گزارش به صورت کامل توضیح دهید.

مواردی که باید تحویل دهید:

۱. کد مابجول فیبوناتچی به زبان Verilog
۲. یک testbench که ورودی‌های مختلف را به مدار دهد و خروجی مدار را با مقادیر صحیح مقایسه کند. این testbench را به کمک یک script بنویسید.
۳. در کنار تمرین یک فایل فشرده به نام trunk وجود دارد. با توجه به راهنمایی که در پوشه doc قرار دارد، کدها و گزارش تمرین را در پوشه مناسب بگذارید و سپس در صفحه درس بارگزاری کنید. در فایل توضیحات ممکن است مواردی گفته شده باشد که شما در این تمرین نداشته باشید، از آن‌ها صرف نظر کنید. یک فایل tcl نیز به عنوان نمونه وجود دارد که می‌توانید برای نوشتن script از آن کمک بگیرید.

توجه: این فاز از تمرین را می‌توانید به صورت در گروه‌های ۲ نفره یا انفرادی انجام دهید.