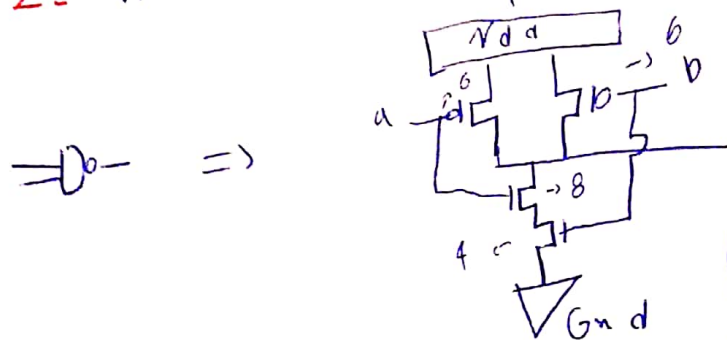


Moein Kurami  
810198540

CA #4

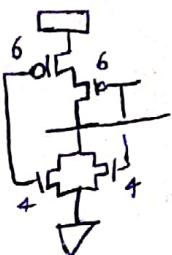
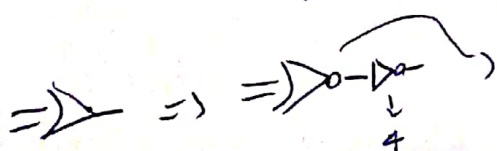
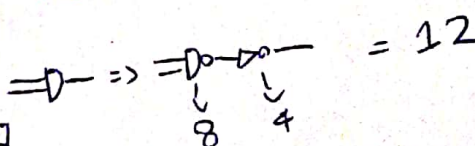
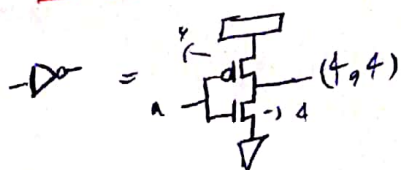
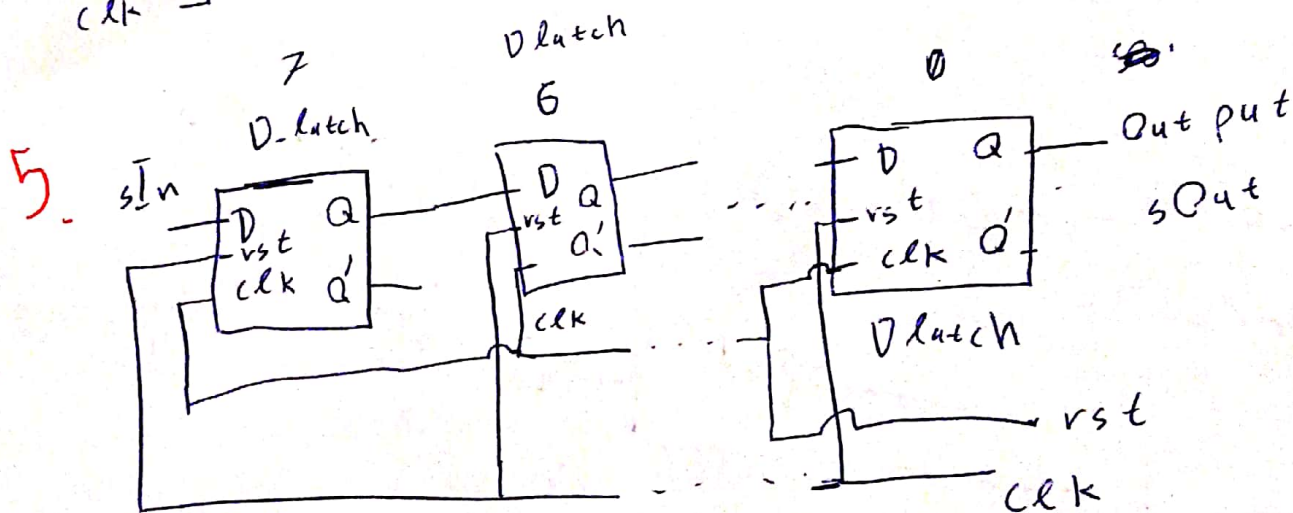
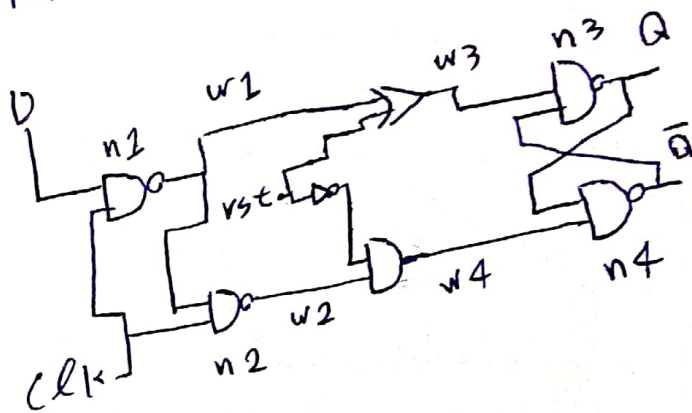
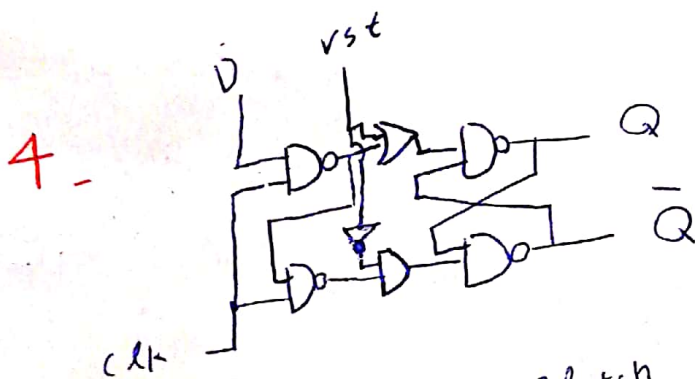
2.  $nMOS = 4Ns$   $pMOS = 6Ns$



$\rightarrow (8, 8) = \text{delay}$

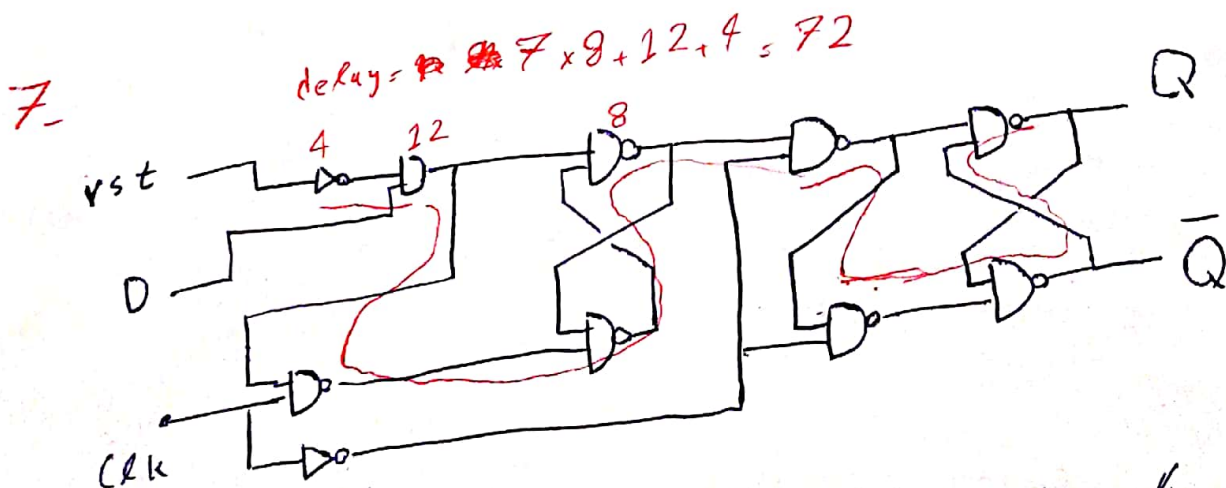
$D=1 \rightarrow 2 \rightarrow 0$   
 $clk=0 \rightarrow 1 \rightarrow 2$

3. There is a latch in  $Q$  from  $D=1$   
in  $\bar{Q}$  from  $clk=0 \rightarrow 1$   $D=2$   
 $clk=1$



$\Rightarrow 16$

6- ~~به درستی کار نمی کند~~ زیرا ساختار Flip-flop ندارد و وقتی که clock برابر 1 می شود مقدار In ورودی D-latch آنرا ورودی D-latch سیستم می نشیند و ... و تا به خروجی می رسد. برای تصحیح این خطا باید از ساختار Flip-flop استفاده کرد تا مقدار فقط در هنگام Posedge یا Negedge clock عوض شوند تا اگر زمانی که clock برابر 1 است طولانی شود و در از چند D-latch نگذرد. در واقع اینها وقتی clock برابر 1 است، دروازه D-latch ها باز است و با مقدار تاخیر ورودی هر D-latch به خروجی آن می رود. نتیجه اگر زمانی که clock برابر 1 است طولانی شود، یک مقدار می تواند از چند D-latch عبور کند (مثلا ورودی In در یک بار clock به Out برود).



مقدار دلی هنگام negedge انجام می شود و reset نیز هنگام negedge عمل می کند.

20.

• ورود  $shift + register$  درست و تقریباً مثل هم کار می کنند اما در حالتی که شیفتر، جیستر ما با  $Master-Slave$  و گیت ساخته شده با  $\neg$  اینک در هنگام  $negedge$  مقدار  $\neg$  خروجی هر  $slice$  عوض می شود اما کمی قبل از  $negedge$  مقدار ورودی نباید عوض شود چون در این صورت مدار ما درست کار نمی کند و به صورت برعکس در حالتی که مدار را با  $slice$  های  $\neg$  کار با استفاده از  $always$  شبیه سازی شده اند ساخته ایم، مهم نیست اگر کمی قبل از  $negedge$  مقدار ورودی عوض شود اما کمی بعد از  $negedge$  باید ورودی ثابت بماند و کی در حالتی که با گیت مدار را ساخته بودیم، اهمیت ندارد اگر کمی بعد از  $negedge$  مقدار عوض شود.

$timing$  مدارها نیز فرق دارد.

محلک  $reset$  هم در ورودی مدار شبیه هم است مگر در حالتی که مقدار  $reset$  نزدیک  $negedge$  عوض شود که در این حالت (واقعاً) مانند عوض شدن ورودی است که در بالا توضیح داده شده.