

Architecture des circuits programmables

05/10/2023

Pr. Z. ALAOUI ISMAILI

1

III.2. Présentation de la Logique Programmée.

a. Introduction

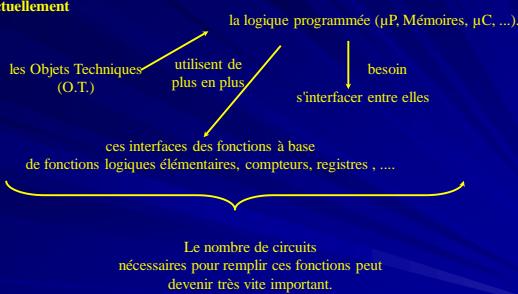


05/10/2023

Pr. Z. ALAOUI ISMAILI

2

Actuellement



05/10/2023

Pr. Z. ALAOUI ISMAILI

3

But

Diminuer les coûts de fabrication

Développement

Maintenance

Le développement des mémoires utilisées en informatique



Circuits Logique Programmable
PLD
(Programmable Logic Device Device).

05/10/2023

Pr. Z. ALAOUI ISMAILI

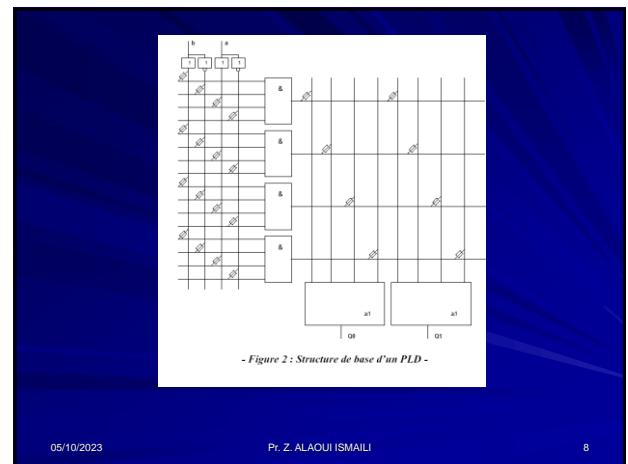
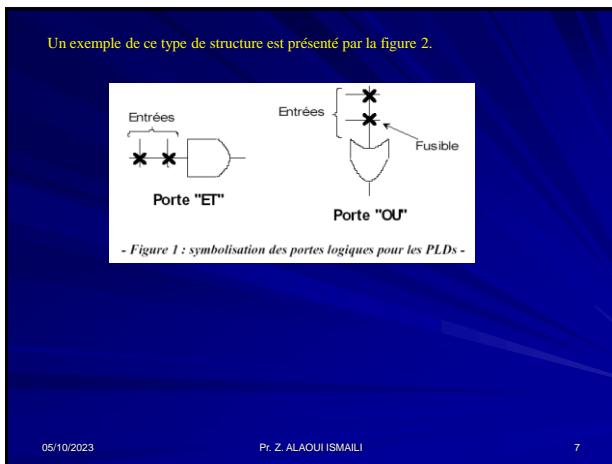
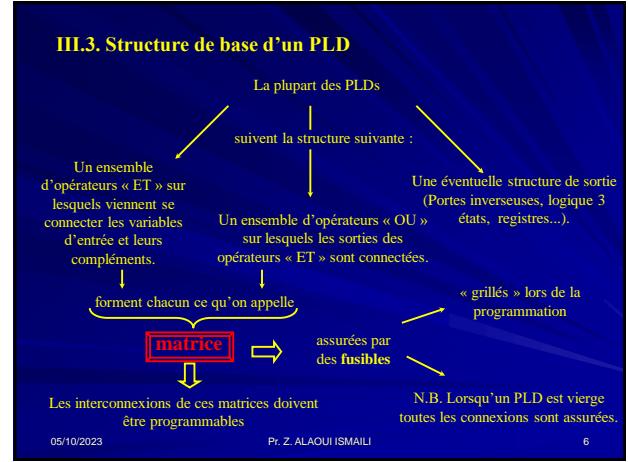
4

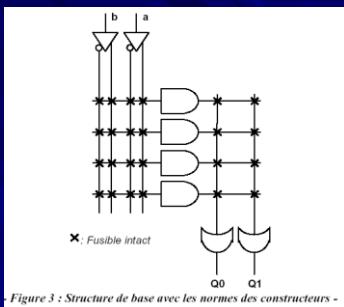
→ Ces circuits sont capables pour un O.T. de réaliser plusieurs fonctions logiques dans un seul circuit.
Si ces fonctions étaient réalisées à base circuits de logique classique, il en faudrait plusieurs circuits.

→ Ce type de produit peut intégrer dans un seul circuit plusieurs fonctions logiques programmables par l'utilisateur.
Sa mise en oeuvre se fait très facilement à l'aide d'un programmeur, d'un micro-ordinateur et d'un logiciel adapté.

→ Un autre avantage, l'évolution des fonctions d'un O.T. s'effectue par programmation comparée à une solution classique où il faut refaire un circuit imprimé si on veut modifier le fonctionnement.

05/10/2023 Pr. Z. ALAOUI ISMAILI 5





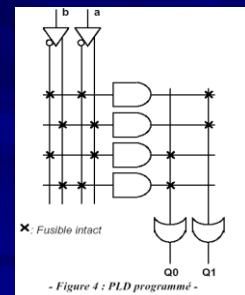
La figure 3 représente la structure interne d'un PLD ayant ses fusibles intacts

Les équations logiques de Q0 et Q1 sont : $Q0 = Q1 = ab + a'b + ab'a + ab'a'b + a'b'a'b = 0$

Si on veut obtenir les fonctions

$$Q0 = a\bar{b} + \bar{a}b \text{ et } Q1 = \bar{a}\bar{b} + a\bar{b}$$

on « grillera » des fusibles de façon à obtenir le schéma suivant :



LES DIFFERENTES FAMILLES DE PLD

Plusieurs familles
de PLD



définies par leur structure
interne

Le tableau suivant présente certaines de ces familles

TYPE	Nombre de portes intégrées	Matrice ET	Matrice OU	Effaçable
PROM	2 000 à 500 000	Fixe	Programmable	Non
PAL	10 à 100	Programmable	Fixe	Non
GAL	10 à 100	Programmable	Fixe	Électriquement
EPLD	100 à 3000	Programmable	Fixe	Aux U-V
FPLA	2000 à 3000	Programmable	Programmable	Électriquement

REMARQUES :

- Certaines de ces familles possèdent en plus des matrices « ET » et « OU », de la logique séquentielle (Bascules « D », « JK »...) placée après les entrées ou avant les sorties du PLD.
- Les « PROMs » sont des circuits utilisés en informatique pour mémoriser de façon définitive des données : ce sont des « Mémoires mortes ». Il existe des versions effaçables comme les UV-PROM (aux U-V) et les EEPROM (électriquement).

Dans la suite de ce document nous nous intéresserons seulement aux PLDs de type « PALs »

et

« GALs ».

P.A.L

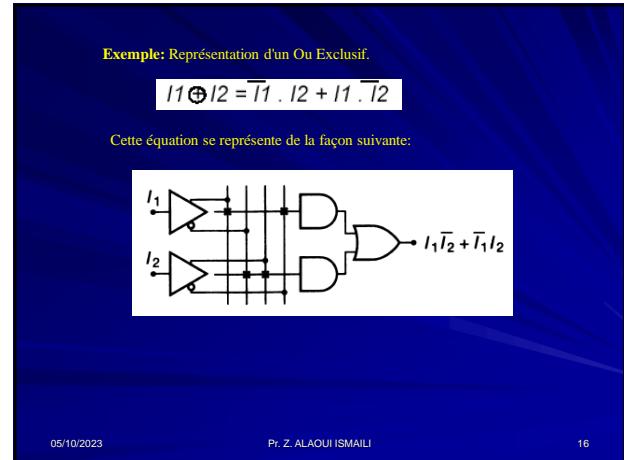
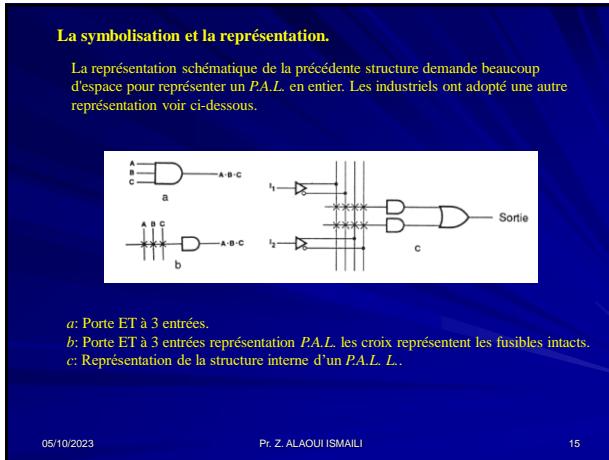
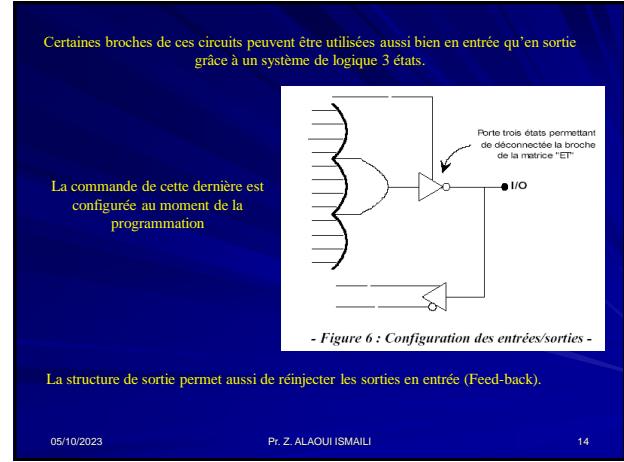
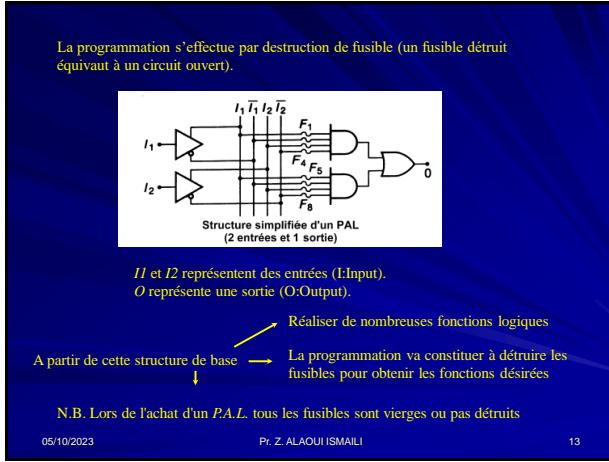
Les ingénieurs
de chez M.I qui ont eu l'idée d'utiliser la
technologie des fusibles

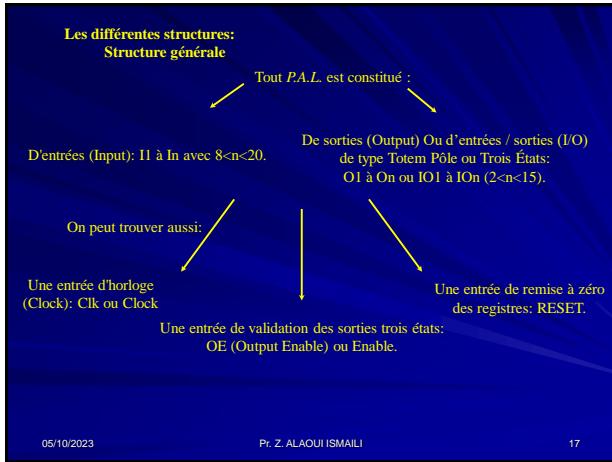
L'invention des P.A.L date
d'une vingtaine d'années

Le constructeur AMD a développé ce type de
circuit il y a près de 20 ans.

Ils possèdent des matrices
« ET » programmables et des matrices « OU »
fixes.

La fusion des fusibles est obtenue en appliquant
à leurs bornes une tension de 11,5 V pendant 10 à 50 µS (leur tension de
fonctionnement est environ
de 5V).

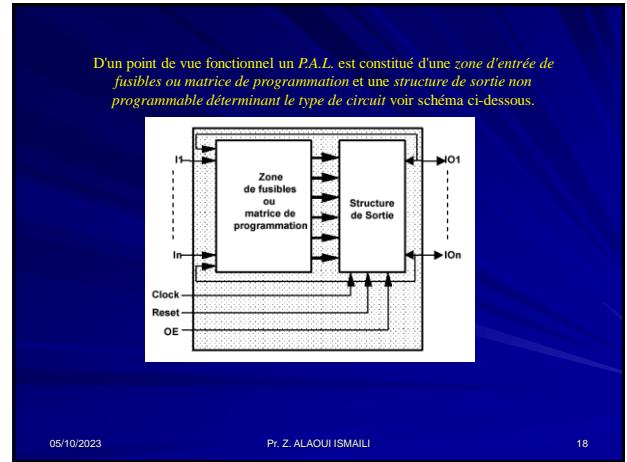




05/10/2023

Pr. Z. ALAOUI ISMAILI

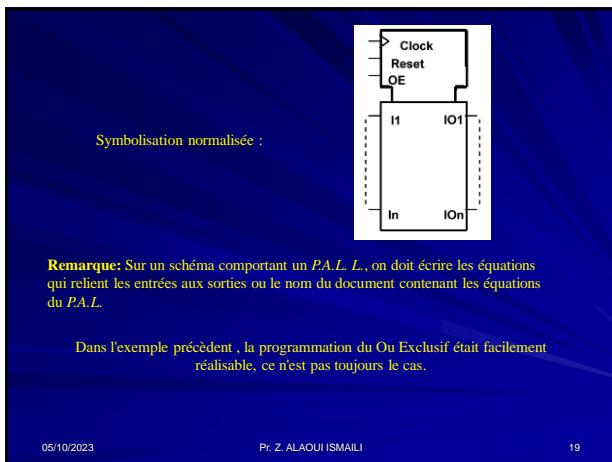
17



05/10/2023

Pr. Z. ALAOUI ISMAILI

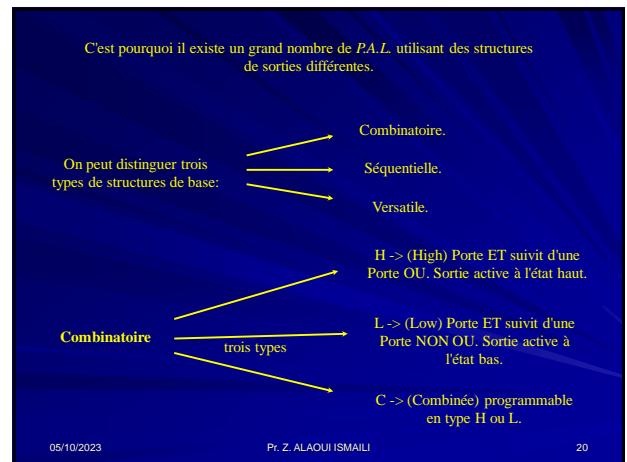
18



05/10/2023

Pr. Z. ALAOUI ISMAILI

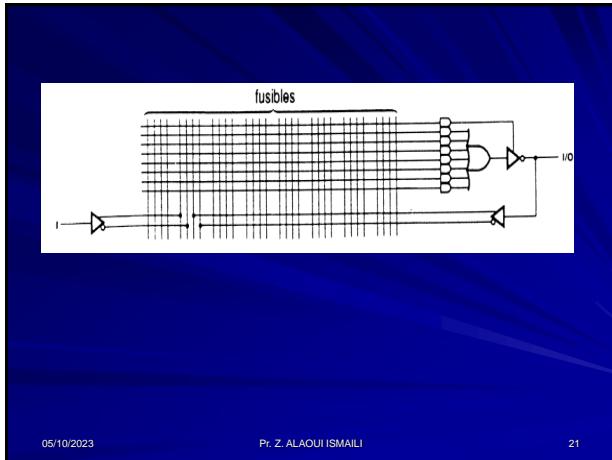
19



05/10/2023

Pr. Z. ALAOUI ISMAILI

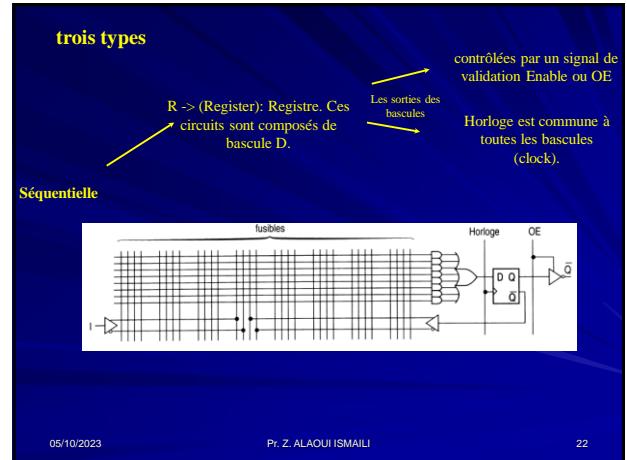
20



05/10/2023

Pr. Z. ALAOUI ISMAILI

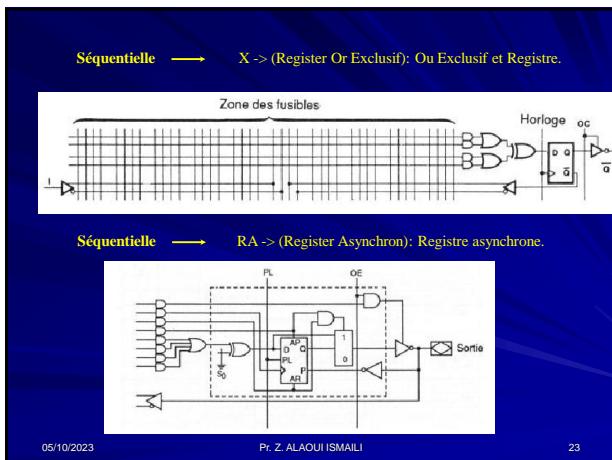
21



05/10/2023

Pr. Z. ALAOUI ISMAILI

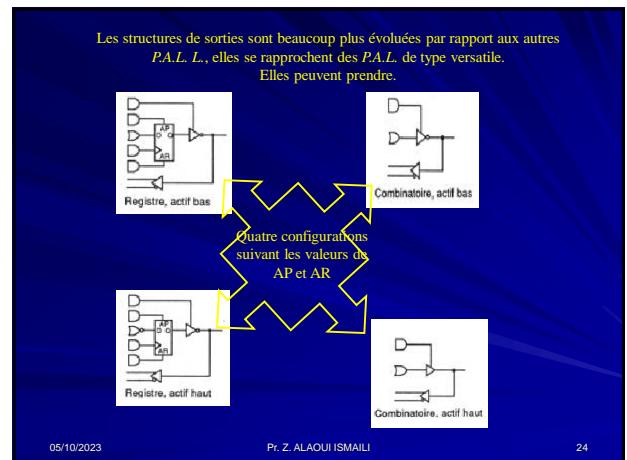
22



05/10/2023

Pr. Z. ALAOUI ISMAILI

23



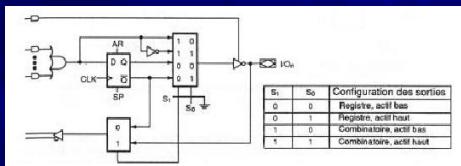
05/10/2023

Pr. Z. ALAOUI ISMAILI

24

Les versatiles.

Ce type de structure représente les *P.A.L.* les plus évoluées, car les structures de sorties dite versatile proposent quatre configurations possibles, suivant les valeurs de S_0 et S_1 .

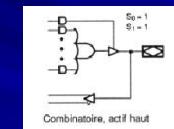
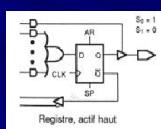
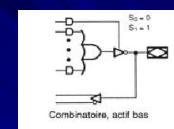
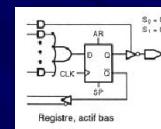


05/10/2023

Pr. Z. ALAOUI ISMAILI

25

Ce qui donne:



05/10/2023

Pr. Z. ALAOUI ISMAILI

26

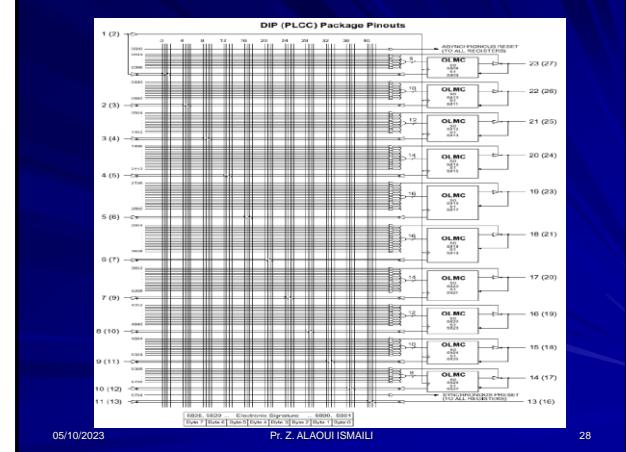
Le plus célèbre des circuits versatiles est certainement le *P.A.L. 22V10* de chez AMD. Il permet d'émuler pratiquement tout les autres types de *P.A.L.* et dispose d'un circuit de remise à zéro des registres à la mise sous tension du circuit.

Schéma interne d'un PAL 22V10 : (GAL22V10 Lattice Semiconductor).

05/10/2023

Pr. Z. ALAOUI ISMAILI

27



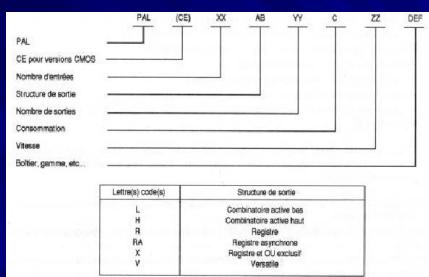
05/10/2023

Pr. Z. ALAOUI ISMAILI

28

Les références des P.A.L.

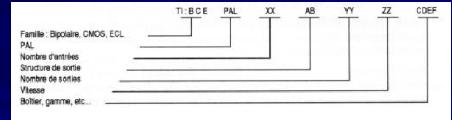
Les constructeurs de *P.A.L.* ont standardisé le marquage des *P.A.L.*

Chez AMD:

05/10/2023

Pr. Z. ALAOUI ISMAILI

29

Chez TEXAS INSTRUMENTS:

05/10/2023

Pr. Z. ALAOUI ISMAILI

30

Exemples:

Un PAL 16L8 : 16 entrées maximum, 8 sorties maximum et il dispose d'une structure de sortie active sur niveau bas.

PAL	Entrées max Input (I)	Sorties max Output (O)	Entrées / Sorties (I/O)	Registres	Fonction
10H8	10	8			AND OR
12H8	12	6			AND OR
14H4	14	4			AND OR
16H2	16	2			AND OR
10L8	10	8			AND OR INVERT
12L6	12	6			AND OR INVERT
14L4	14	4			AND OR INVERT
16L2	16	2			AND OR INVERT
16C1	16	1			AND-OR/AND OR-INVERT
16L8	10	8	6		AND OR INVERT
16R8	8	8	8		AND OR INVERT-REGISTER
16R6	8	6	2	6	AND OR INVERT-REGISTER
16R4	8	8	4	4	AND OR INVERT-REGISTER
16X4	8	8	4	4	AND OR INVERT-XOR REGISTER
16A4	8	8	4	4	AND CARRY-OR-XOR-INVERT-REGISTER

05/10/2023

Pr. Z. ALAOUI ISMAILI

31

EXEMPLES DE PAL.

Nous n'étudierons pas toutes les sortes de PAL car leur nombre est assez conséquent, mais nous intéresserons à ceux qui sont couramment utilisés.

Le PAL 16L8.

Ce type de circuit est uniquement constitué de logique combinatoire. Il possède 20 broches agencées de la façon suivante :

- 10 broches configurables uniquement en entrée
- 2 broches configurables uniquement en sortie
- 6 broches configurables en entrée et en sortie
- 2 broches d'alimentation.

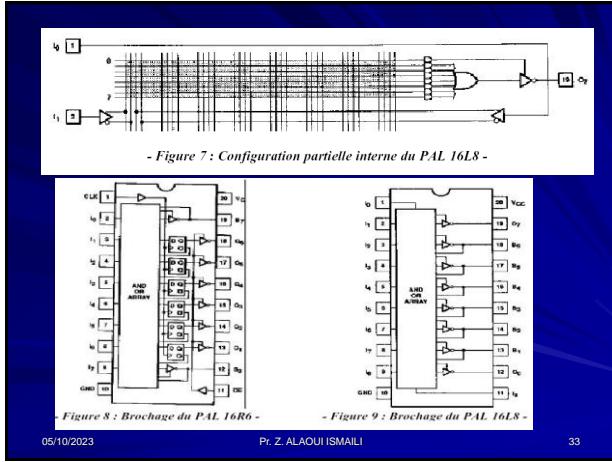
L'ensemble des sorties provient de portes 3 états inverseuses. L'état haute impédance peut être commandée par l'ensemble des entrées.

Chaque porte de la matrice « OU » possède 7 entrées. Ceci signifie que chaque sortie peut résulter au maximum, d'une fonction « OU » entre 7 termes produits. Chaque porte de la matrice « ET » possède 32 entrées. Ceci signifie que chaque terme produit peut résulter, au maximum, d'une fonction « ET » entre 16 variables et leurs compléments.

05/10/2023

Pr. Z. ALAOUI ISMAILI

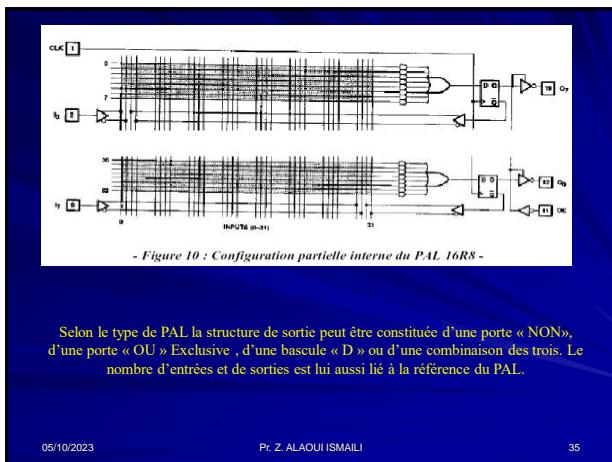
32



05/10/2023

Pr. Z. ALAOUI ISMAILI

33

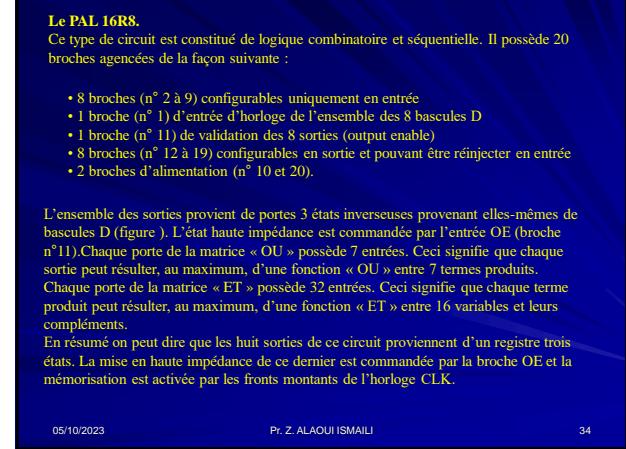


Selon le type de PAL la structure de sortie peut être constituée d'une porte « NON », d'une porte « OU » Exclusive , d'une bascule « D » ou d'une combinaison des trois. Le nombre d'entrées et de sorties est lui aussi lié à la référence du PAL.

05/10/2023

Pr. Z. ALAOUI ISMAILI

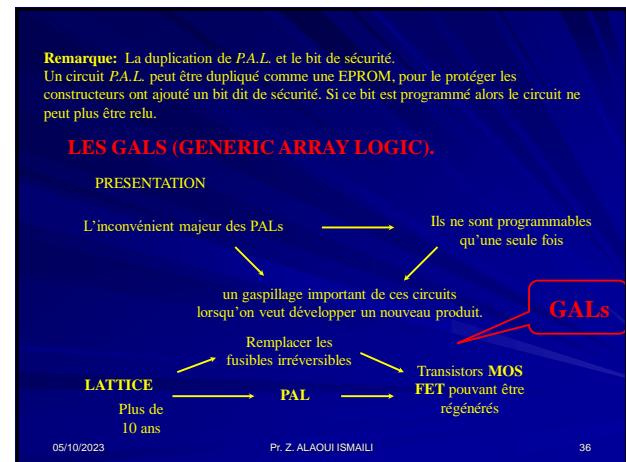
35



05/10/2023

Pr. Z. ALAOUI ISMAILI

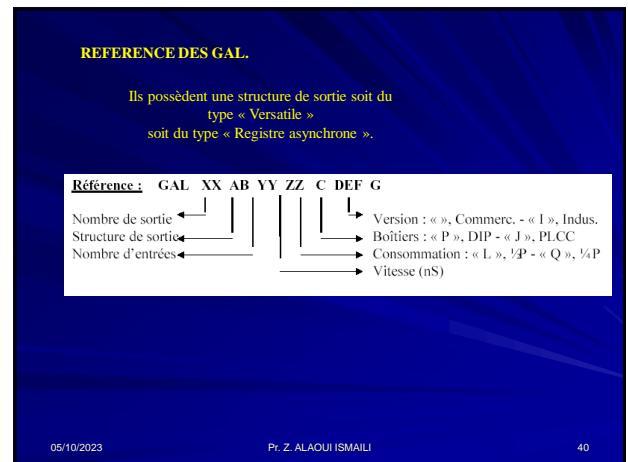
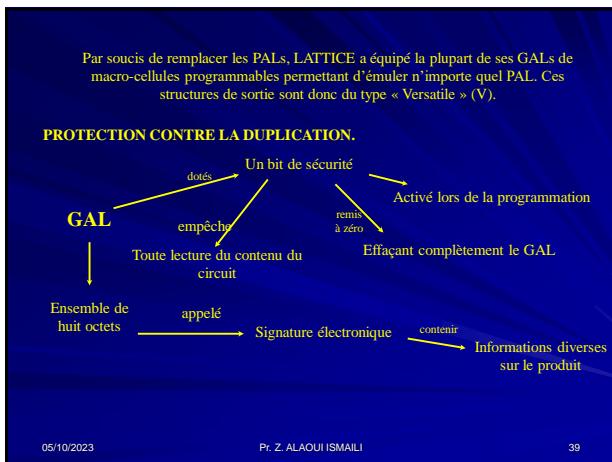
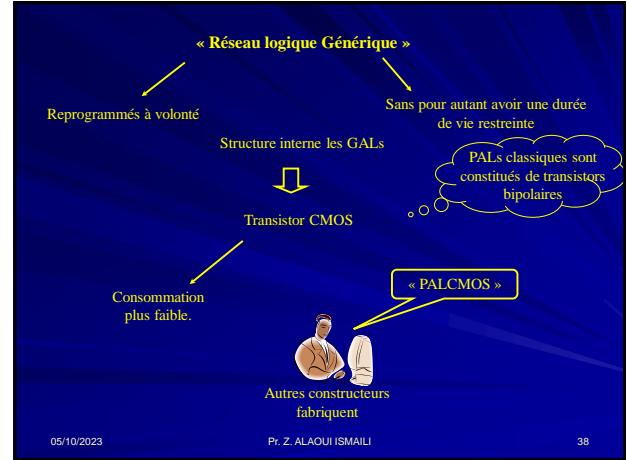
34

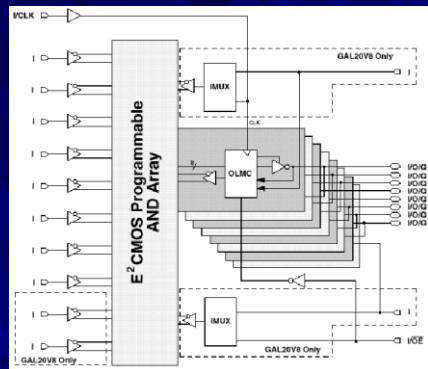


05/10/2023

Pr. Z. ALAOUI ISMAILI

36





05/10/2023

Pr. Z. ALAOUI ISMAILI

41

Référence	Nombre de broches	Vitesse (nS)	Consommation (mA)	Remarque
<i>GAL 16V8</i>	20	10, 15 ou 20	55 ou 115	Macro-cellule (1)
<i>GAL 18V10</i>	20	15 ou 20	115	//
<i>GAL 20V8</i>	24	10, 15 ou 25	55 ou 115	//
<i>GAL 20R110</i>	24	15 ou 20	115	Registre asynchrone (1)
<i>GAL 22V10</i>	24	15, 20 ou 25	130	Macro-cellule (1)
<i>GAL 26V12</i>	28	15 ou 20	130	//
<i>GAL 6001</i>	24	30 ou 35	150	Macro-cellule (1) - Type FPLA (2)
<i>ispGAL 16Z8</i>	24	20 ou 25	90	Macro-cellule (1) - Programmable en circuit (3)

* (1) : structure de sortie.

* (2) : Matrices « OU » et « ET » programmables.

* (3) : Circuit reprogrammable à tout moment par liaison série.

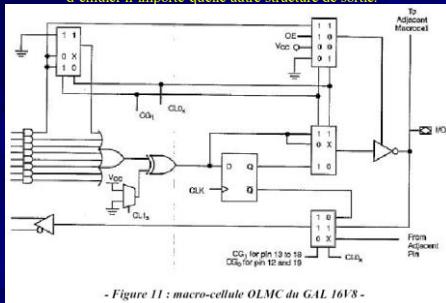
05/10/2023

Pr. Z. ALAOUI ISMAILI

42

MACRO CELLULE DE SORTIE (OLMC).

Ces structures de sortie sont programmables et permettent d'émuler n'importe quelle autre structure de sortie.



- Figure 11 : macro-cellule OLMC du GAL 16V8 -

Elles possèdent en tout 2 bits de programmation communs à toutes les cellules (CG1 et CG0) et 2 bits spécifiques à chaque cellule (CL0x et CL1x).

05/10/2023

Pr. Z. ALAOUI ISMAILI

43

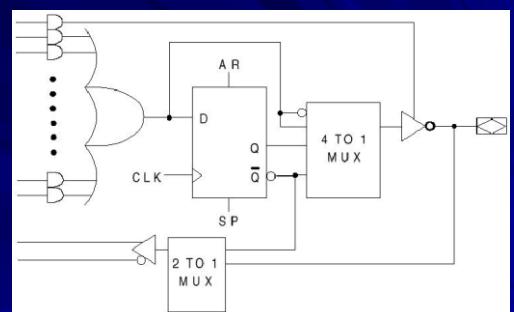


Figure : Structure d'un OLMC

05/10/2023

Pr. Z. ALAOUI ISMAILI

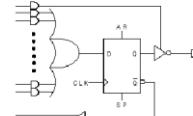
44

Configurations possibles de la macro-cellule pour le GAL 16V8 :

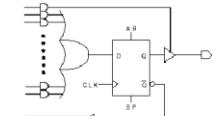
Configuration de la structure de sortie	Circuit PAL émulé
Registre synchrone - sortie 3 états (C1)	16R8
Entrée / Sortie combinatoire - sortie 3 états (C2)	16R4 - 16R6
Entrée et/ou Sortie combinatoire (C3)	10L8 - 12H6
Entrée combinatoire (C4)	12L6
Entrée / Sortie combinatoire - sortie 3 états (C2)	16L8 - 16H8

Remarque : En configuration « Registre » et en n'utilisant pas l'état haute impédance des portes 3 états, il faut relier la broche OE (n°11) à VCC.

Output Logic Macrocell Configuration (Registered Mode)

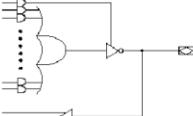


Active Low

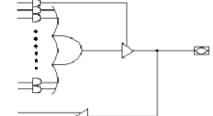


Active High

Output Logic Macrocell Configuration (Combinatorial Mode)

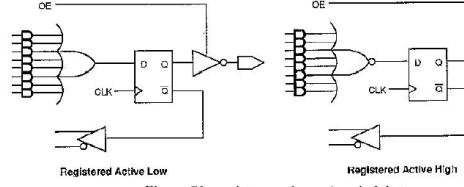


Active Low

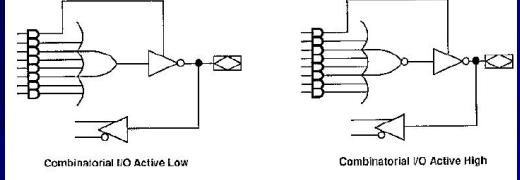


Active High

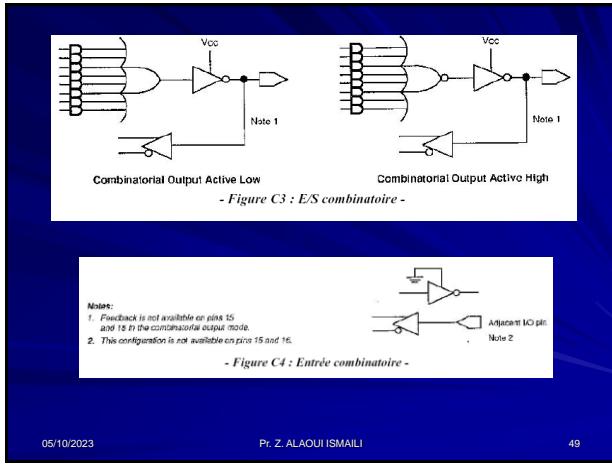
Figure : Différentes configurations de l'OLMC



- Figure C1 : registre synchrone / sortie 3 états -



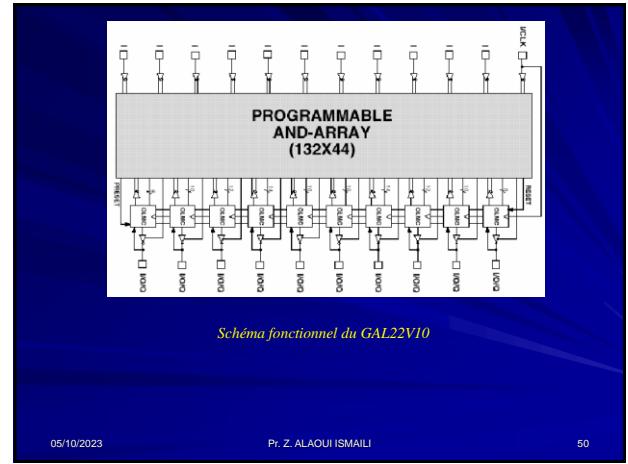
- Figure C2 : E/S combinatoire / sortie 3 états -



05/10/2023

Pr. Z. ALAOUI ISMAILI

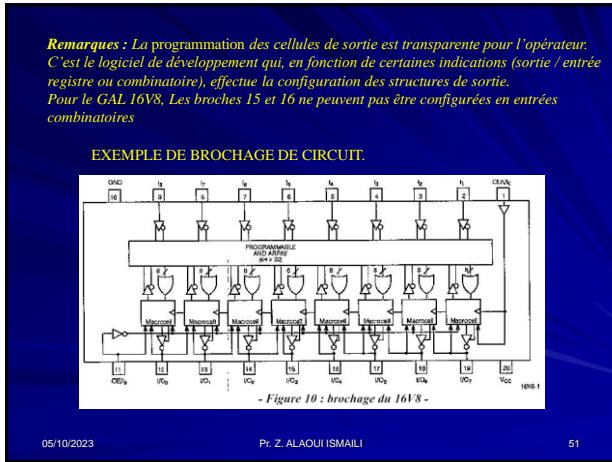
49



05/10/2023

Pr. Z. ALAOUI ISMAILI

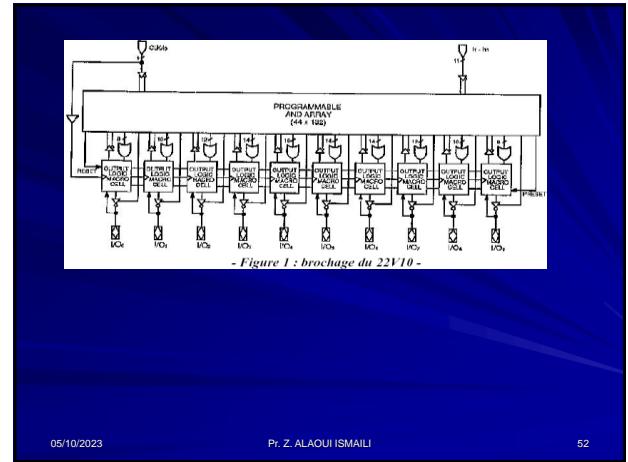
50



05/10/2023

Pr. Z. ALAOUI ISMAILI

51



05/10/2023

Pr. Z. ALAOUI ISMAILI

52

Conclusion

- PAL équivalent à une dizaine de circuits standard
- une trentaine d'E/S maximum
- 2 technologies
 - bipolaires : plus rapides
 - CMOS efficaces
- faible coût des circuits
- version masquée HAL
- coût du logiciel de développement et du programmeur

05/10/2023

Pr. Z. ALAOUI ISMAILI

53

LES C.P.L.D.s (Complex Programmable Logic Device).

Capacité en nombre de portes

Possibilités de configuration très supérieure à celle des PALs.

Architectures basées sur celles des PALs.



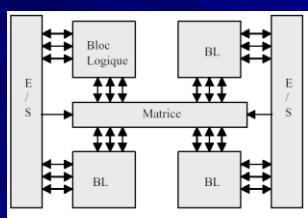
05/10/2023

Pr. Z. ALAOUI ISMAILI

54

❖ Architecture

- ✓ Ensemble de fonctions de type PAL pouvant être interconnectées à l'aide d'une matrice
- ✓ Macro cellules de base regroupées en blocs logiques
- ✓ 2 niveaux d'interconnexion :
 - o matrice globale
 - o distribution de signaux dans chaque bloc logique

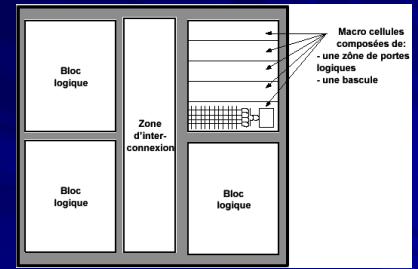


05/10/2023

Pr. Z. ALAOUI ISMAILI

55

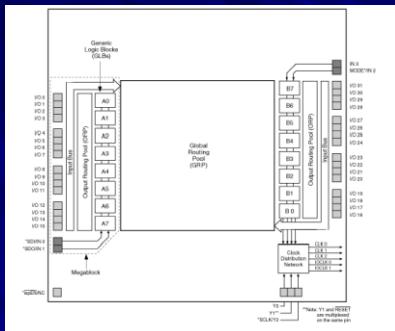
Structure générale d'un CPLD



05/10/2023

Pr. Z. ALAOUI ISMAILI

56

Exemple de CPLD le circuit Isp1016 de LATTICE

05/10/2023

Pr. Z. ALAOUI ISMAILI

57

➤ Ressources d'interconnexions

- routage systématisé
- modèle électrique
- délais prédictibles
- placement non critique
- temps de compilation faible

➤ Famille AMD Mach 5

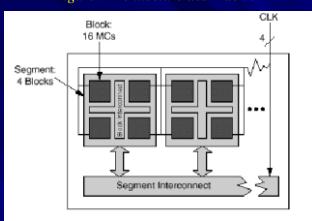
- architecture modulaire : blocs de type PAL
- EPLD programmables et efficaces électriquement (techno EECMOS)
- options : synchronisation des bascules sur les deux fronts d'une horloge,
- programmation du slew rate, choix du compromis puissance/vitesse
- circuits isp, compatibles JTAG, 3,3 V.

	M 5-128	M 5-192	M 5-256	M 5-320	M 5-384	M 5-320
Portes PLD	5000	7500	10000	12000	15000	20000
Macrocells	128	192	256	320	384	512
I/O max	120	160	160	192	192	256
puissance mA	25	40	50	60	75	100

05/10/2023

Pr. Z. ALAOUI ISMAILI

58

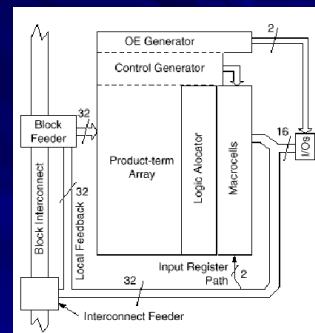
Figure : Architecture des Mach 5

- blocs appelés segments
- Chaque segment contient 4 blocs de type PAL
- 4 entrées d'horloge peuvent être utilisées comme entrées normales
- Un bloc PAL contient 16 macrocellules

05/10/2023

Pr. Z. ALAOUI ISMAILI

59

**Figure : Bloc PAL**

05/10/2023

Pr. Z. ALAOUI ISMAILI

60

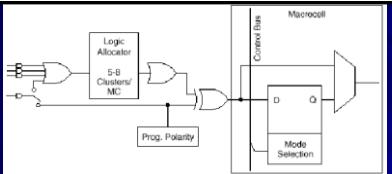


Figure 18 : Macrocellule

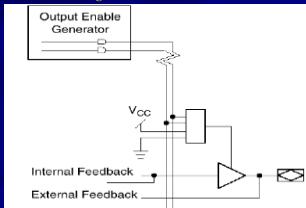


Figure 19 : Module de sortie

Pr. Z. ALAOUI ISMAILI

61

- Xilinx XC 9500
 - architecture très simple
 - composants isp, norme JTAG
 - tensions : 3,3 V, 2,5 V ou 1,8 V
 - vitesse de fonctionnement élevée
 - mode programmable de réduction de la consommation pour chaque macro cellule
 - slew rate programmable indépendamment pour chaque sortie
 - option de mise à la masse des entrées/sorties afin de réduire les perturbations

	XC9536XV	XC9572XV	XC95144XV	XC95288XV
Macrocells	36	72	144	288
Usable Gates	800	1,600	3,200	6,400
Registers	36	72	144	288
$t_{PD}(\text{ns})$	3,5	4	4	5
$t_{SU}(\text{ns})$	3	3,7	3,7	4,1
$t_{CO}(\text{ns})$	3	3,5	3,5	4,3
f _{SYSTEM} (MHz)	225	200	200	178

05/10/2023

Pr. Z. ALAOUI ISMAILI

62

LES F.P.G.A.s (Fields Programmable Gate Array).

les FPGAs à la différence des CPLDs sont assimilables à des A.S.I.C. (Application Specific Integrated Circuit) programmables par l'utilisateur.

La puissance de ces circuits est telle qu'ils peuvent être composés de plusieurs milliers voire millions de portes logiques et de bascules.

Les dernières générations de FPGA intègrent même de la mémoire vive (RAM).

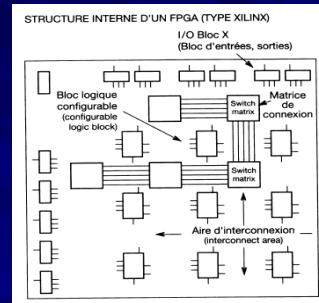
Les deux plus grands constructeurs de FPGA sont XILINX et ALTERA.

05/10/2023

Pr. Z. ALAOUI ISMAILI

63

Ils sont composés de blocs logiques élémentaires (plusieurs milliers de portes) qui peuvent être interconnectés.



05/10/2023

Pr. Z. ALAOUI ISMAILI

64

De plus en plus les capacités des CPLDs et des FPGAs se rapprochent.

Le principal critère de choix entre les deux familles est la vitesse de fonctionnement.

En effet, les CPLDs acceptent des fréquences de fonctionnement beaucoup plus élevées que les FPGAs.

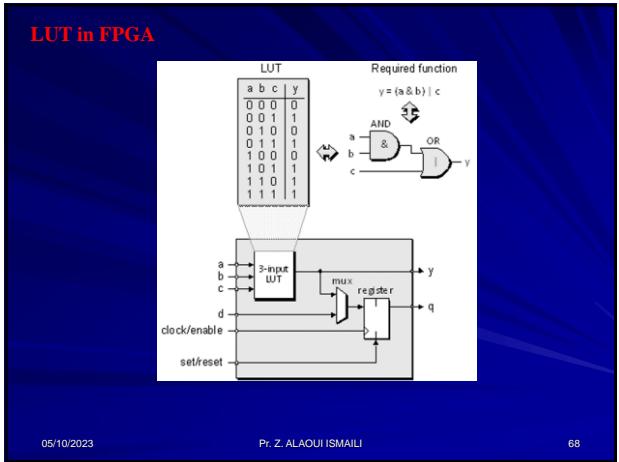
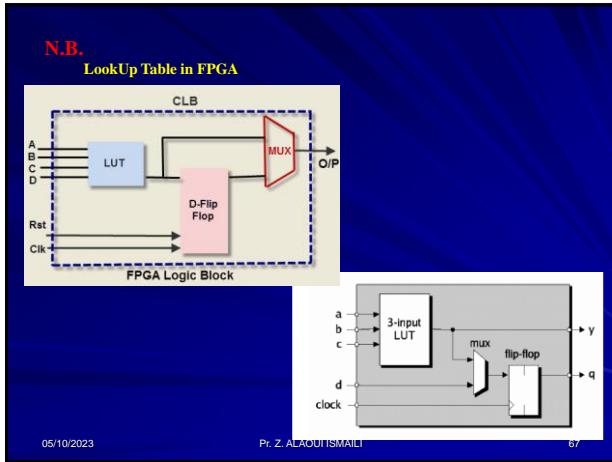
05/10/2023 Pr. Z. ALAOUI ISMAILI 65

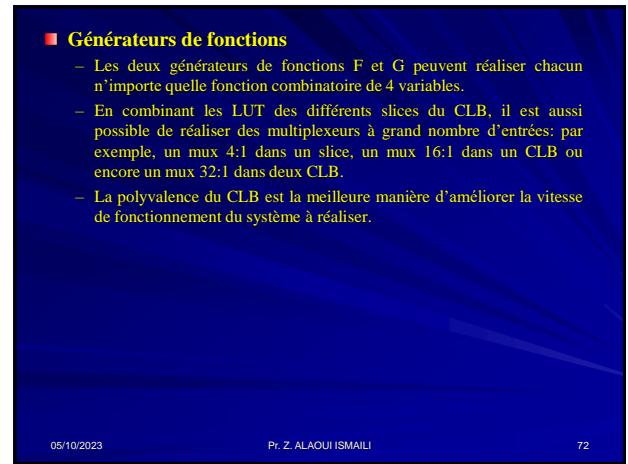
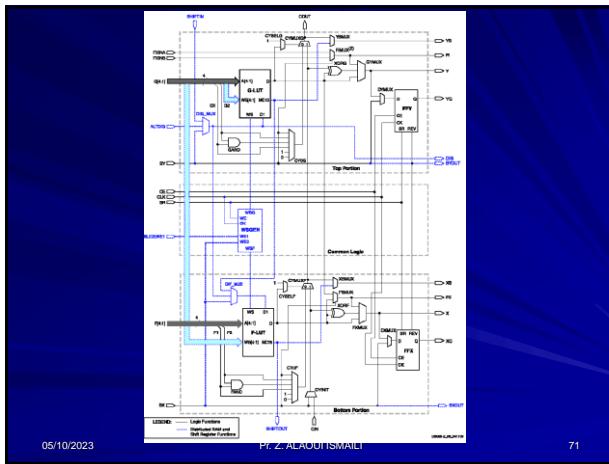
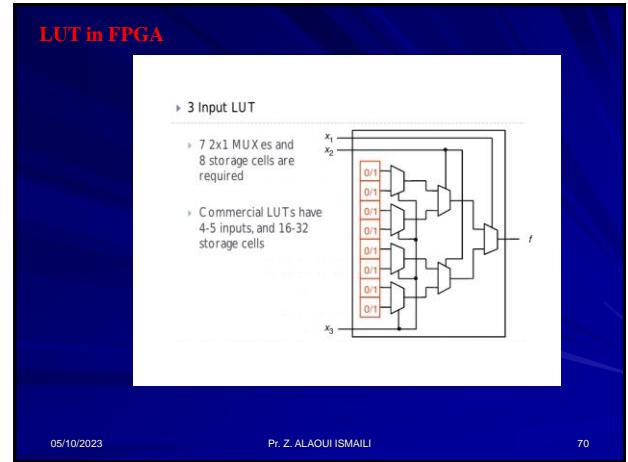
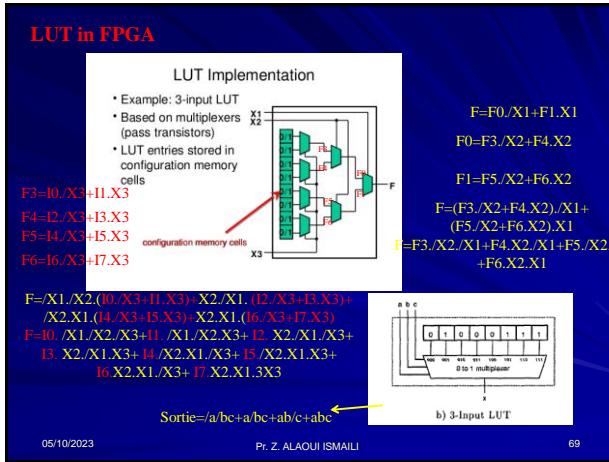
Architecture FPGA-Xilinx:

Tous les FPGA Xilinx contiennent les mêmes ressources de base (Figure 2.13):

- Blocs logiques configurables (CLB), contenant une logique combinatoire et des ressources de registre,
- Blocs d'entrée / sortie (IOB), interface entre le FPGA et le monde extérieur,
- Interconnexions programmables (PI), (General Routing Matrix)
- Blocs de RAM,
- Autres ressources: tampons à trois états, tampons d'horloge globaux, logique d'analyse des limites, etc.

05/10/2023 Pr. Z. ALAOUI ISMAILI 66





■ Bascules

- Ces générateurs de fonctions peuvent être connectés directement vers les sorties du slice (sorties X et Y), ou bien être mis en mémoire par deux bascules D (sorties XQ et YQ).
- Ces deux bascules ont la même horloge (CLK), le même signal de validation (CE) et la même logique de mise à 0 ou de mise à 1 asynchrone (SR).
- L'état de sortie de la bascule à la mise sous tension est programmable. Les deux bascules peuvent être utilisées indépendamment (entrée sur BX et BY) ou à la suite des générateurs de fonctions.

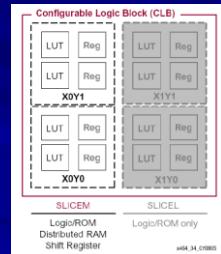
05/10/2023

Pr. Z. ALAOUI ISMAILI

73

■ Configuration en ROM, RAM et registre à décalage

- Tous les générateurs de fonctions F et G du CLB peuvent être utilisés comme des ROM. En effet, chaque LUT est une ROM 16 bits et on peut donc former au maximum une ROM 128x1 dans un CLB. Chaque LUT des 2 Slices de gauche du CLB peut aussi être programmée en RAM (simple et double port) ainsi qu'en registre à décalage.



05/10/2023

Pr. Z. ALAOUI ISMAILI

74

– Ainsi, on peut trouver au maximum dans un CLB :

- 4 mémoires 16x1 bits synchrones simple port,
- 2 mémoires 32x1 bits synchrones simple port,
- 1 mémoire 64x1 bits synchrone simple port,
- 2 mémoires 16x1 bits synchrones double port,
- 1 registre à décalage 64 bits.
- Ces mémoires sont très rapides et elles ont l'avantage d'être situées au cœur de la fonction à réaliser. Il n'y a donc pas de délais de routage.
- La mémoire synchrone est avantageuse car elle est plus rapide et plus facilement exploitable que la mémoire asynchrone.
- La mémoire double port possède deux ports (adresse, donnée, contrôle) indépendants. Elle peut être utilisée pour réaliser des FIFO.
- Le contenu de ces RAM ou de ces ROM peut être initialisé à la mise sous tension.

05/10/2023

Pr. Z. ALAOUI ISMAILI

75

■ Logique de retenue rapide

- Chaque slice contient une logique arithmétique dédiée pour générer rapidement une retenue (carry). Cette logique dédiée accélère grandement toutes les opérations arithmétiques telles que l'addition, la soustraction, l'accumulation, la comparaison...
- Elle accélère aussi la vitesse de fonctionnement des compteurs.
- Chaque slice peut être configuré comme un additionneur 2 bits avec retenue qui peut être étendu à n'importe quelle taille avec d'autres CLB.
- La sortie retenue (COUT) est passée au CLB se trouvant au-dessus. La retenue se propage en utilisant une interconnexion directe.

05/10/2023

Pr. Z. ALAOUI ISMAILI

76

Block RAM (SelectRAM)

- Tous les FPGA de la famille Spartan-3 incorporent des blocs de mémoire RAM 18kbits synchrones simple ou double ports (de 4 à 104 suivant la taille du circuit).
- Les 4 modes suivants sont possibles

05/10/2023 Pr. Z. ALAOUI ISMAILI 77

Multiplieurs dédiés

- Associé à chaque BlockRAM, on trouve un multiplicateur $18 \times 18 = 36$ bits signé en complément à 2 (ou $17 \times 17 = 34$ non signé). On les utilise surtout pour effectuer des opérations de traitement du signal, mais ils peuvent aussi être utilisés avec profit pour réaliser des opérations logiques (comme un décalage en un coup d'horloge par exemple).

Gestionnaire d'horloges

- Le FPGA possède un gestionnaire d'horloge (Digital Clock Manager : DCM) particulièrement élaboré.
- Il permet par exemple de créer des horloges décalées en phase (pour piloter des DDR SDRAM par exemple), ou encore il élimine le skew (décalage des arrivées d'horloge sur les bascules D) des horloges dans le FPGA ou bien encore il permet de synthétiser des horloges avec des rapports ($M \times F_{in} / D$ (avec M entier compris entre 2 et 32 et D entier compris entre 1 et 32)).
- Vous pouvez par exemple créer une horloge sur CLKFX dont la fréquence est égale à 11/7 de CLKIN.

05/10/2023 Pr. Z. ALAOUI ISMAILI 78

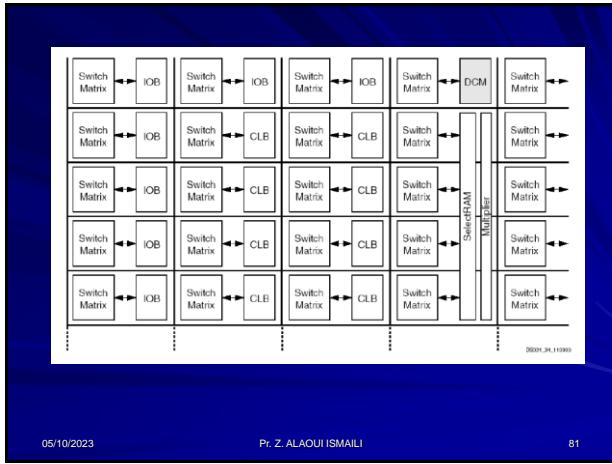
N.B. D'autre part, le FPGA possède 8 buffers spéciaux (BUFG) pour distribuer les horloges dans le circuit.

05/10/2023 Pr. Z. ALAOUI ISMAILI 79

Ressources de routage et connectivité

- Les FPGA de la série Spartan-3 disposent d'un nombre important de ressources de routage et de connectivité, ce qui leur confère une très grande souplesse d'utilisation.
- Toutes les connexions sont constituées de segments métalliques reliés par des matrices de contacts programmables (Programmable Switch Matrix ou PSM). Chaque élément vu précédemment est relié à une ou plusieurs PSM.

05/10/2023 Pr. Z. ALAOUI ISMAILI 80

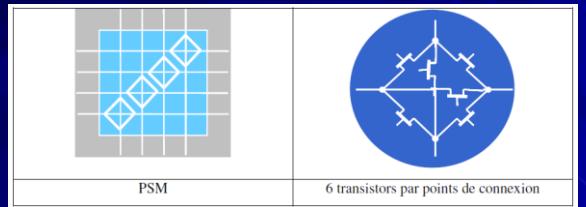


05/10/2023

Pr. Z. ALAOUI ISMAILI

81

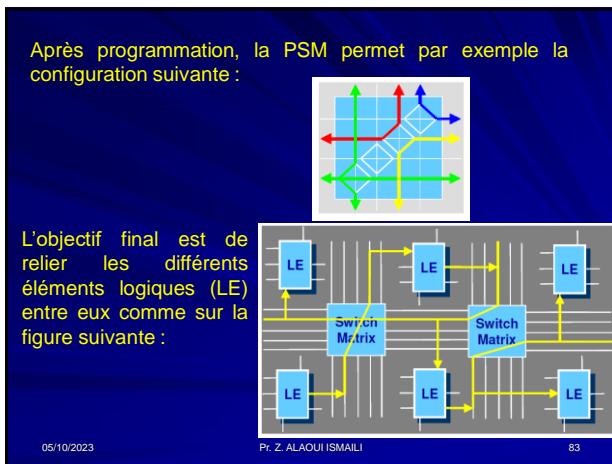
Chaque PSM est constituée de transistors permettant d'établir une connexion entre lignes horizontales et verticales comme le montre le schéma suivant:



05/10/2023

Pr. Z. ALAOUI ISMAILI

82



05/10/2023

Pr. Z. ALAOUI ISMAILI

83

Configuration

■ Il y a trois types de broches sur un FPGA :

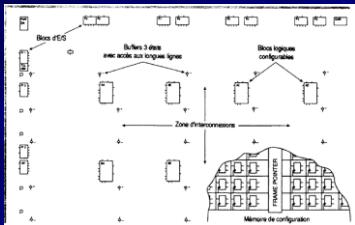
- Les broches dédiées en permanence. Ce sont les broches d'alimentation et de masse (un couple (VCC, GND) par côté), les buffers d'horloge...
- Les broches utilisables exclusivement par l'utilisateur pour réaliser son système.
- Les broches utilisables par l'utilisateur mais qui ont un rôle durant la configuration du circuit.

05/10/2023

Pr. Z. ALAOUI ISMAILI

84

On voit, sur la figure, qu'il y a sous la logique dédiée à l'application une mémoire de configuration qui contient toutes les informations concernant la programmation des CLB et des IOB ainsi que l'état des connexions.



Cette configuration est réalisée, à la mise sous tension, par le chargement d'un fichier binaire dont la taille varie en fonction du nombre de portes du circuit :

05/10/2023

Pr. Z. ALAOUI ISMAILI

85

- Les principaux modes de configuration sont les suivants:
 - En mode série maître (il faut utiliser une mémoire Flash série « XCF02S » dans notre maquette).
 - En mode parallèle esclave, c'est un microcontrôleur externe qui charge la configuration octet par octet. L'horloge est fournie par le microcontrôleur.
 - En mode JTAG: le JTAG est utilisé chez tous les fabricants de FPGA et d'EPLD pour la programmation In Situ (ISP) de leurs circuits y compris les PROM Flash série.

Pr. Z. ALAOUI ISMAIL

86

Domaine des circuits logiques programmables

➤ Les PLD

- densité de quelques centaines de portes
 - architecture ET/OU programmable
 - limites : nombre de bascules, nombre de signaux d'E/S, rigidité du plan logique ET/OU et de ses interconnexions
 - conception sous forme de langages d'équations, d'automates...
 - PAL : Programmable Array Logic

- PAL bipolaires programmables une seule fois
 - PAL combinatoires ou PAL simples (portes)
 - PAL à registres (*Field Programmable Logic Sequencer*)

PAL CMOS ≈ GAL
GAL : *Generic Array Logic* ; programmables et effaçables électriquement ou
PAL CMOS ou FFPAL ou PAI EFCMOS

05/10/2023

Pr. Z. ALAOUI ISMAILI

87

➤ **EPLD-CPLD:** Erasable PLD or Complex PLD

Les EPDL sont programmables électriquement et effaçables aux UV ; les EEPLD sont effaçables électriquement Principe similaire aux PAL mais avec interconnexions réalisées en technologie UPROM

➤ **FPGA Field Programmable Gate Array** ou réseau de portes programmable par l'utilisateur

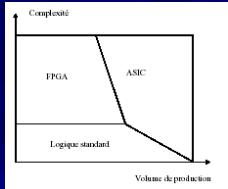
C'est un ensemble de blocs logiques élémentaires que l'utilisateur peut interconnecter pour réaliser les fonctions logiques de son choix. La densité des portes est importante et sans cesse en évolution

- FPGA à SRAM ou LCA *Logic Cell Array* introduit en 1985 par Xilinx à base de SRAM pour configurer les connexions logique non dédiée avec des solutions d'interconnexions souples et efficaces
 - FPGA à antifusibles nés en 1990 Actel programmables électriquement par l'utilisateur non effaçables

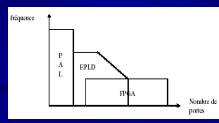
Pr. Z. ALAOUI ISMAIL

88

- Complexité (nombre de portes)/volume de production



- Fréquence utile/nombre de portes



05/10/2023

Pr. Z. ALAOUI ISMAILI

89

Environnement de développement

JEDEC : Format de fichier de programmation des circuits logiques (image des fusibles à griller).

➤ Programmateurs standard JEDEC

génère les chronogrammes nécessaires à la programmation du circuit en fonction des spécifications de son fabricant

- autonomes de production
 - phase de production : plusieurs circuits simultanément
 - 1 seul type de produit
- autonomes de laboratoire
 - une seule pièce à la fois
 - divers circuits logiques
- cartes de programmation
 - avec microordinateur PC + logiciel de pilotage

05/10/2023

Pr. Z. ALAOUI ISMAILI

90

VI. PROGRAMMATION DES PL PLDS.

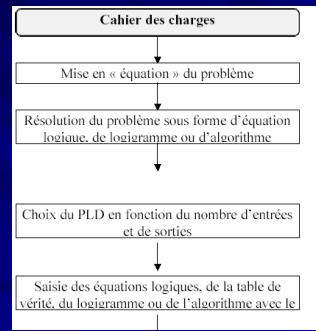
- Les outils de développements sont composés en général de deux outils:**
- Le système de développement.
 - Le programmeur.

05/10/2023

Pr. Z. ALAOUI ISMAILI

91

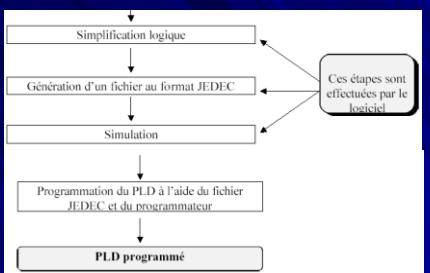
La programmation des PLDs nécessite un logiciel adapté pour le développement du programme et un programmeur permettant de « griller » le circuit.
En outre il est conseillé de suivre la démarche décrite par l'organigramme suivant :



05/10/2023

Pr. Z. ALAOUI ISMAILI

92



05/10/2023

Pr. Z. ALAOUI ISMAILI

93

Méthodologie:

- Le logiciel de développement permet de simplifier les équations et de générer un fichier JEDEC à partir des données rentrées par l'opérateur. Il simule aussi le fonctionnement du PLD avec le programme obtenu. Le logiciel « PALASM » développé par « AMD » permet d'effectuer ces opérations pour la programmation de PAL ou de GAL.
- Le fichier JEDEC est un ensemble de données binaires indiquant au programmeur les fusibles à « griller ».
- Le programmeur permet de « griller » les fusibles du PLD en fonctions des données du fichier JEDEC. Il est en général associé à un logiciel de pilotage. Les programmeurs utilisés sont les mêmes que ceux permettant la programmation des EPROM.

05/10/2023

Pr. Z. ALAOUI ISMAILI

94

Le système de développement.

Ces systèmes produisent une table représentant les fusibles à détruire en fonction des équations logiques, diagramme d'états et tables de vérités écrit dans le langage propre au système, c'est le rôle du compilateur ou synthétiseur.

Par un schéma à base de fonctions logique élémentaires (Portes ET,OU,NON, ... bascules, compteurs, registres à décalages).

La description du fonctionnement des circuits peut se faire de plusieurs façons, soit :

langage de description comportementale *H.D.L.* (*Hardware Description Language*).
Schéma et des descriptions en langage de haut niveau de type *VHDL*.

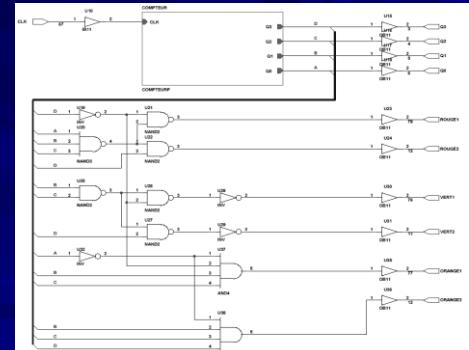
Par l'utilisation de graphes d'états.
(*FSM : Flow States Machines*)

05/10/2023

Pr. Z. ALAOUI ISMAILI

95

Schéma à base de fonctions logique élémentaires (Portes ET,OU,NON, ... bascules, compteurs, registres à décalages).



05/10/2023

Pr. Z. ALAOUI ISMAILI

96

Langage de description

```
ORCAD/PLD :
[AL1698_1h(A15,A14,A13,A11,A10)
  LOI(RAM1,RAM2,RAM3,ROM,INTER1,INTER2,INTER3)
  RAM1 = A15 & A14 & A13;
  RAM2 = A15 & A14 & A10';
  RAM3 = A15 & A14 & A11';
  ROM = [A15 & A14 & A13];
  INTER1 = (A15 & A14 & A10);
  INTER2 = (A15 & A14 & A11);
  INTER3 = (A15 & A14 & A13);]
```

```
ABEL :
module tgl
  -- 16 bits d'adresses
  -- 16 bits de données
  declarations
    A15,A14,A13,A11,A10 pin;
    RAM1,RAM2,RAM3,ROM,INTER1,INTER2,INTER3 pin iotype "com";
    adresse :=[A15,A14,A13,X,A11,A10,X,X,X,X,X,X];
  equations
    RAM1 = (adresse =>"700000") & (adresse <="7FFFFF");
    RAM2 = (adresse =>"700000") & (adresse <="7FFFFF");
    RAM3 = (adresse =>"700000") & (adresse <="7FFFFF");
    ROM = (adresse =>"700000") & (adresse <="7FFFFF");
    INTER1 = (adresse =>"700000") & (adresse <="700001");
    INTER2 = (adresse =>"700000") & (adresse <="700001");
    INTER3 = (adresse =>"700000") & (adresse <="700001");
  end;
```

VHDL :

```
VHDL created by OrCAD Express
Library IEEE;
use IEEE.STD.TEXT.all;
use IEEE.STD.TEXT.TEXT.all;
entity DECODE is
  port (
    A15, A14, A13, A12, A11, A10 : IN STD.LOGIC;
    RAM1 : OUT STD.LOGIC;
    RAM2 : OUT STD.LOGIC;
    RAM3 : OUT STD.LOGIC;
    ROM : OUT STD.LOGIC;
    INTER1 : OUT STD.LOGIC;
    INTER2 : OUT STD.LOGIC;
    INTER3 : OUT STD.LOGIC);
end entity DECODE;
architecture Behavior of DECODE is
begin
  process (A15, A14, A13, A12, A11, A10)
  begin
    if A15 = '0' then
      RAM1 <= '0' when (A14&A13 = "0000") and (A12&A11 = "0000");
      RAM2 <= '0' when (A14&A13 = "0000") and (A12&A11 = "1111");
      RAM3 <= '0' when (A14&A13 = "0000") and (A12&A11 = "1111");
      ROM <= '0' when (A14&A13 = "0000") and (A12&A11 = "1111");
      INTER1 <= '0' when (A14&A13 = "0000") and (A12&A11 = "0000");
      INTER2 <= '0' when (A14&A13 = "0000") and (A12&A11 = "0000");
      INTER3 <= '0' when (A14&A13 = "0000") and (A12&A11 = "0000");
    else
      RAM1 <= '1';
      RAM2 <= '1';
      RAM3 <= '1';
      ROM <= '1';
      INTER1 <= '1';
      INTER2 <= '1';
      INTER3 <= '1';
    end if;
  end process;
end architecture Behavior;
```

05/10/2023

Pr. Z. ALAOUI ISMAILI

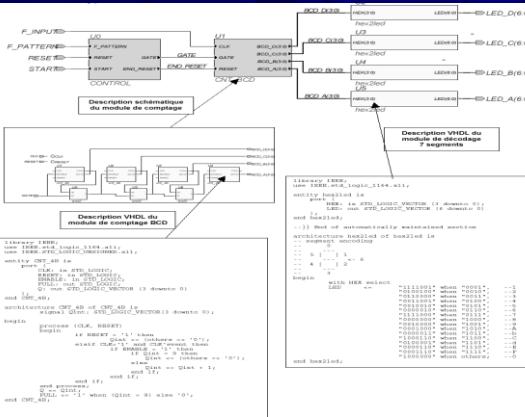
97

05/10/2023

Pr. Z. ALAOUI ISMAILI

98

Schéma et des descriptions en langage de haut niveau de type VHDL.



➤ Systèmes de développement

- entrées :
 - équations logiques
 - tables de vérité
 - schémas logiques
 - VHDL
 - Abel ...
- systèmes sur PC
- production d'un fichier JEDEC transmissible à n'importe quel programmeur normalisé
- association système de développement / carte de programmation PC courante

05/10/2023

Pr. Z. ALAOUI ISMAILI

101

Liste des abréviations

- **ASIC Application Specific Integrated Circuit** - Circuit intégré conçu à la demande
- **BLMC Buried Logic Macrocell** - Macro cellule logique enterrée
- **CC Chip Carrier** - Boîtier "porteur de puce"
- **CPLD Complex Programmable Logic Device** - Réseau logique programmable complexe
- **DRAM Dynamic Random Access Memory** - Mémoire dynamique à accès aléatoire
- **DSP Digital Signal Processor** - Processeur orienté vers le traitement du signal
- **EDIF Electronic Design Interchange Format**
- **EPLD Electrically Erasable Programmable Logic Device** - PLD effaçable électriquement
- **EPPROM Electrically Erasable PROM** - Mémoire à lecture seule, électriquement effaçable
- **EPLD Erasable Programmable Logic Device** - Réseau logique programmable effaçable
- **EPROM Erasable Programmable Read Only Memory** - Mémoire à lecture seule effaçable
- **FPGA Field Programmable Gate Array** - Réseau de portes programmables
- **FPROM Field Programmable Read Only Memory**
- **GAL Generic Array Logic** - PAL générique
- **ISP In-System (In Situ) Programmable** - Composant programmable sur carte
- **JEDEC Joint Electronic Device Engineering Council** - Organisme de normalisation
- **JTAG Joint Test Action Group** - Bus de test des composants
- **LCA Logic Cell Array (Xilinx)** - Réseau de cellules logiques
- **LUT Look-Up Table**
- **MAX Multiple Array Matrix** - Megapale d'Altera
- **NOVRAM ou NVRAM Non Volatile RandomAccess Memory** - RAM non volatile
- **OTP One Time Programmable** - Programmable une seule fois
- **PAL Programmable Array Logic** - Réseau logique programmable
- **PGA Programmable Gate Array** - Réseau de portes programmable

05/10/2023

Pr. Z. ALAOUI ISMAILI

102

- **PLA Programmable Logic Array** - Réseau logique programmable
- **PLD Programmable Logic Device** - Dispositif logique programmable
- **POF Programmer Object File** - Fichier objet pour programmeur
- **PROM Programmable Read Only Memory** - Mémoire à lecture seule programmable
- **RAM Random Access Memory** - Mémoire à accès aléatoire
- **ROM Read Only Memory** - Mémoire à lecture seule
- **SDF Standard Delay File**
- **SOG Sea-of-Gates** - Matrice de portes : réseau actif logique prédiffusé
- **SRAM Static Random Access Memory** - Mémoire statique à accès aléatoire
- **TTL Transistor Transistor Logic** - Logique transistor-transistor
- **VHDL VHICL Hardware Description Language** - Langage de description matérielle VHICL
- **VHSIC Very High Speed Integrated Circuit** - Circuit intégré à très grande vitesse
- **XNF Xilinx Netlist Format** - Format de fichier Xilinx

05/10/2023

Pr. Z. ALAOUI ISMAILI

103