Mohamed Manessouri  
SSE  
  
 **Tp2 : Design Structurel et hiérarchie**

1. Components en VHDL

En **VHDL**, un **component** est une abstraction qui représente un module matériel réutilisable dans une conception hiérarchique. Un component décrit **l’interface** d’un bloc logique, notamment ses **entrées** et **sorties**, sans définir directement son comportement interne. Il est utilisé pour **instancier** des modules dans une architecture supérieure.

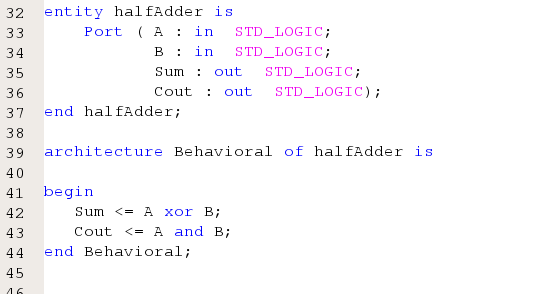
**Exercice :**

1)Shéma et les équations de sortie d’un full\_adder , à partir d’un half adder :

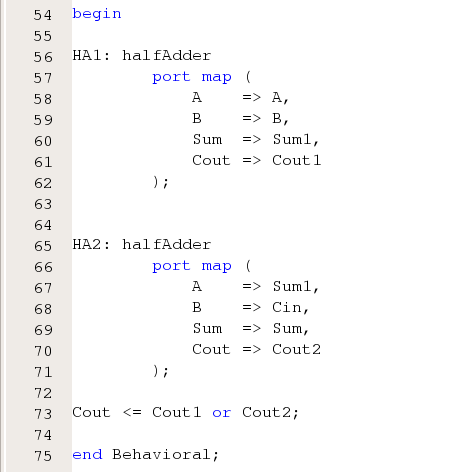
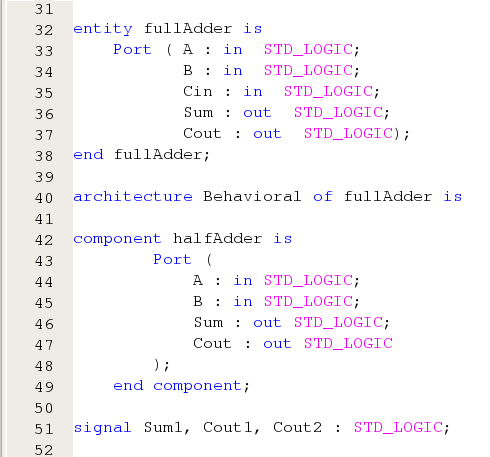
Sum = A xor B xor Cin ;

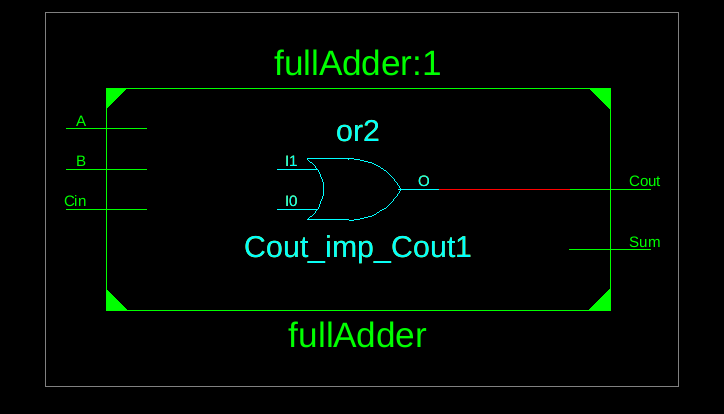
Cout = A and B or B and Cin or A and Cin ;  
  
2) Programme Vhdl pour la modélisation :

Half\_adder.vhdl



Full\_adder.vhdl





3) Réalisation d’un adder 4 bits à partir des full\_adder :

