



Module : Architecture des Ordinateurs

Semestre : 1

Filière : Ingénieur en informatique 1ère année

Documents, Calculatrice : Non autorisés

Examen final 2022-2023
(01 h 30 min)

Questions :

1. Quelle est la différence entre l'ASCII et l'ASCII-étendu ? (1p)

L'ASCII standard utilise des codes sur 7 bits pour représenter 128 caractères de base, tandis que l'ASCII étendu utilise des codes sur 8 bits, permettant la représentation de 256 caractères, incluant des lettres accentuées et des symboles. L'ASCII étendu est utilisé pour prendre en charge des langues et des caractères spéciaux supplémentaires, adapté aux systèmes modernes.

2. Donner la représentation décimale du nombre 1 10000010 111100000000000000000000 codé en IEEE 754. (2 p)

- Signe : Le premier bit est 1, donc le nombre est négatif.
- Exposant : $(10000010)_2$ en binaire est $(130)_{10}$. Cependant, dans le format IEEE 754, l'exposant est décalé de 127, donc l'exposant réel est $130 - 127 = 3$.
- Mantisse : Les 23 bits suivants représentent la mantisse. En binaire, cela est équivalent à $(1.1111)_2$ en décimal est $-1 \times (1.1111)_2 \times 2^3 = -1111.1 = -15,5$

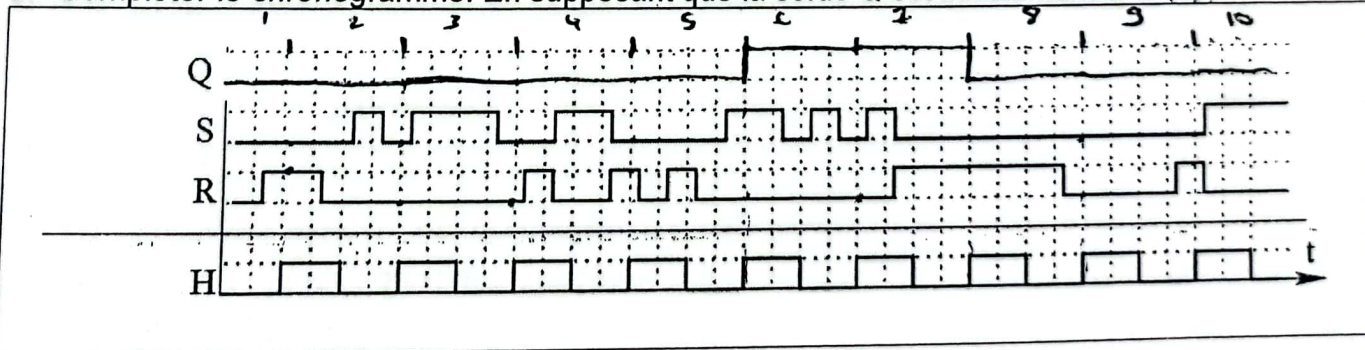
3. Quels sont les avantages de la méthode de Quine-McCluskey par rapport à la méthode de Karnaugh ? (1p)

La méthode de Quine-McCluskey est plus efficace pour simplifier les expressions logiques complexes avec un grand nombre de variables par rapport à la méthode de Karnaugh. Elle offre une approche automatisée (Programmable), ce qui la rend plus adaptée à des problèmes de dimensionnement plus important.

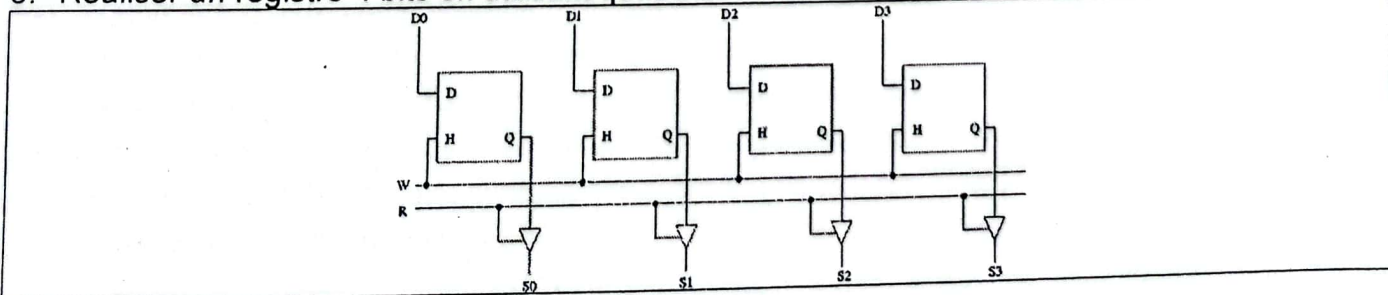
4. Quelle est la différence entre un circuit séquentiel synchrone et asynchrone ? (1p)

La présence d'une horloge dans le circuit synchrone

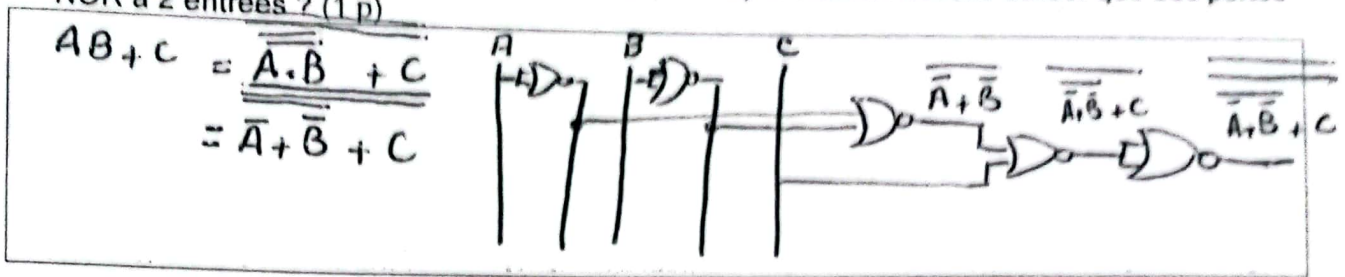
5. Compléter le chronogramme. En supposant que la sortie Q est initialement à 0. (1p)



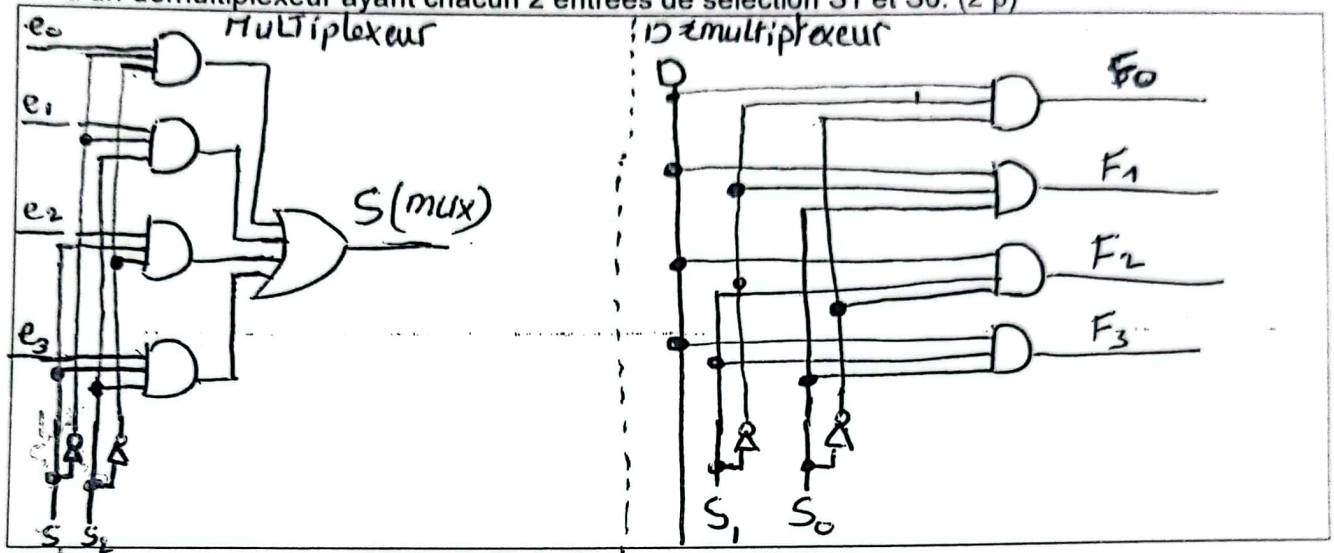
6. Réaliser un registre 4 bits en utilisant quatre bascules D. (2 p)



7. Donner le schéma de la fonction booléenne $(AB + C)$ si nous ne devons utiliser que des portes NOR à 2 entrées ? (1 p)



8. On vous rappelle qu'un multiplexeur (MUX) est un circuit logique qui dispose de 2^n entrées, d'une unique sortie et de n lignes de sélection. Donnez le schéma détaillé d'un multiplexeur et d'un démultiplexeur ayant chacun 2 entrées de sélection S_1 et S_0 . (2 p)



Problème :

On désire réaliser un circuit qui permet d'éviter le dérapage d'une voiture pendant le freinage. Pour cela, on a besoin de la vitesse de chacune des roues avant. La vitesse de chaque roue est codée sur deux bits. A, B représente la vitesse de la roue gauche. Et C, D représente la vitesse de la roue droite.

Le circuit à étudier génère deux sorties de freinage F_g pour le freinage de la roue gauche et F_d pour le freinage de la roue droite. Le système fonction comme suit :

1. Si la vitesse des deux roues est la même, les deux sorties F_g et F_d sont à 0.
2. Si la vitesse de la roue gauche est supérieure à celle de la roue droite, on freine la roue gauche.
3. Si la vitesse de la roue gauche est inférieure à celle de la roue droite, on freine la roue droite.

- a) Etablir la table de vérité pour ce système. (1p)
- b) Donner la forme canonique de F_g et F_d . (1p)
- c) Par la méthode de karnaugh, donner les fonctions simplifier de F_g et F_d . (2 p)
- d) Réaliser le schéma du circuit de F_g en utilisant que des portes NAND. (1.5 p)
- e) Réaliser le schéma du circuit de F_d en utilisant que des portes NOR. (1.5 p)
- f) Réaliser le schéma du circuit F_g avec un décodeur 4x16 plus des portes logiques. (2 p)

TABLE DE VERITE

	B	C	D	F_g	F_d
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	0

0,5 0,5

b) FORME CANONIQUE F_g et F_d :

$$F_g = \Sigma 100, 1000, 1001, 1100, 1101, 1110$$

$$= \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D}$$

0,5

$$F_d = \Sigma 0001, 0010, 0011, 0110, 0111, 1011$$

$$= \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BCD$$

0,5

c) TABLE DE KARNAUGH.

F_g

AB \ CD	00	01	11	10
00		1	1	1
01			1	1
11				
10			1	

0,5

$$F_g = A\bar{C} + B\bar{C}\bar{D} + AB\bar{D}$$

0,5

F_d

AB \ CD	00	01	11	10
00				
01	1			
11	1	1		1
10	1	1		

0,5

$$F_d = \bar{A}\bar{C} + \bar{A}\bar{B}D + \bar{B}CD$$

0,5

d + e)

$$F_g = A\bar{C} + B\bar{C}\bar{D} + AB\bar{D}$$

$$= \overline{A\bar{C}} + \overline{B\bar{C}\bar{D}} + \overline{AB\bar{D}}$$

$$= \overline{A\bar{C}} + \overline{B\bar{C}\bar{D}} + \overline{AB\bar{D}}$$

(9,5)

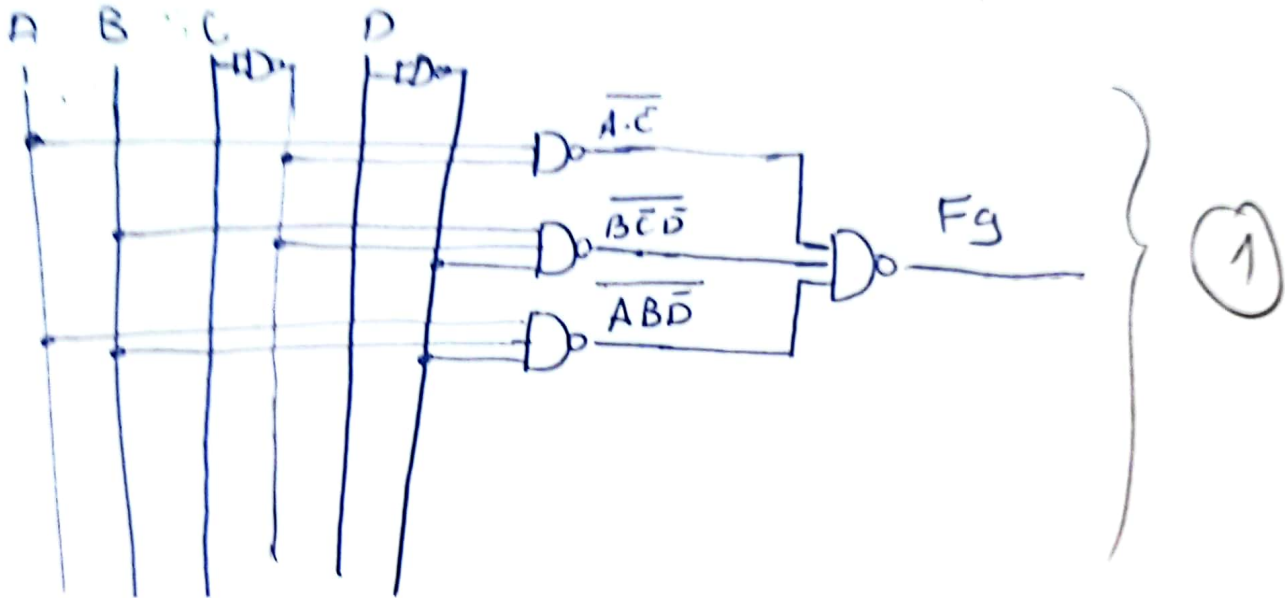
(9,5)

$$F_d = \overline{A\bar{C}} + \overline{B\bar{C}\bar{D}} + \overline{AB\bar{D}}$$

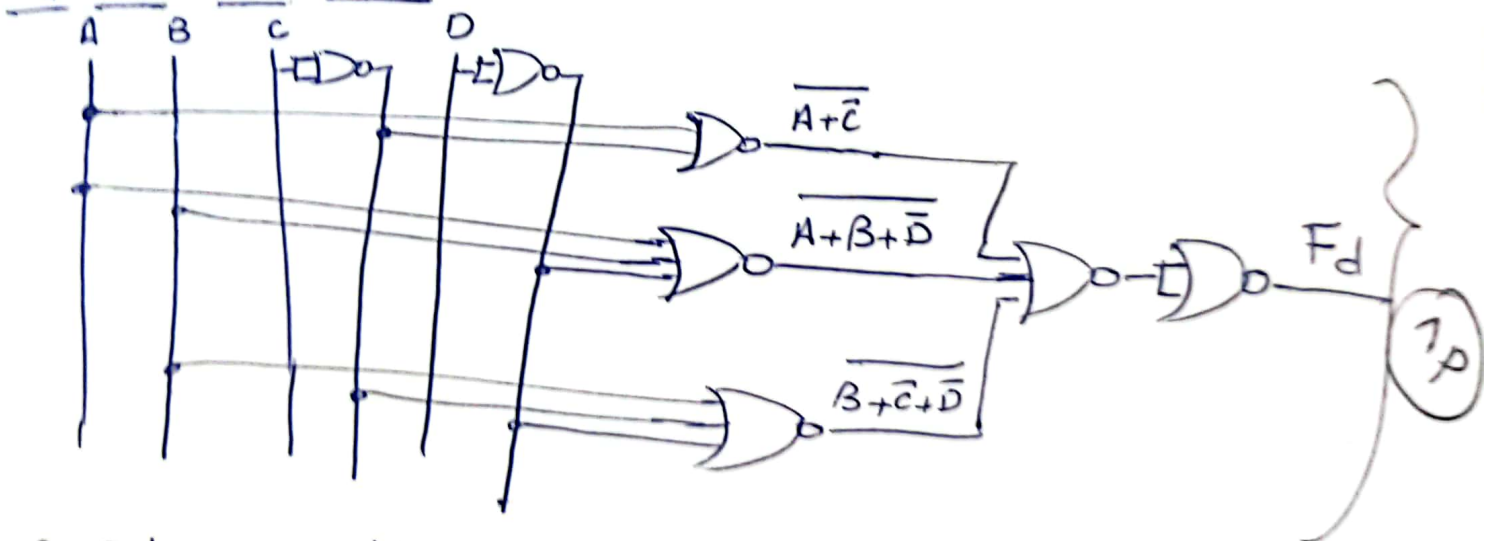
$$= \overline{A\bar{C}} + \overline{B\bar{C}\bar{D}} + \overline{AB\bar{D}}$$

$$= \overline{(A+\bar{C})} + \overline{(A+B\bar{D})} + \overline{(B\bar{C}\bar{D})}$$

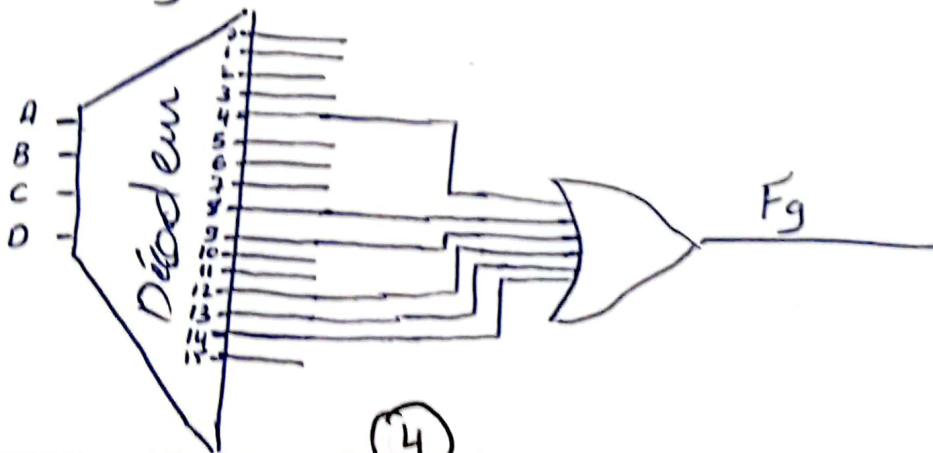
* schéma de F_g



* schéma de F_d



8: Schéma de F_g avec un décodeur



(4)

(2p)