



Structure machine

Chapitre IX

Bases sur les circuits Séquentiels

Mokrani Hocine
dr.mokrani@gmail.com

1

Chapitre IX

- ❑ Logique combinatoire VS Logique séquentiel.
- ❑ Caractéristique de logique séquentiel.
- ❑ Fonctionnements asynchrone et Fonctionnement synchrone.
- ❑ Bascule RS asynchrone.
- ❑ Horloge.
- ❑ Bascule RS synchrone.
- ❑ Autres types de bascule.
- ❑ Différence Activation sur niveau haut vs activation sur front montant.
- ❑ Conclusion.

2

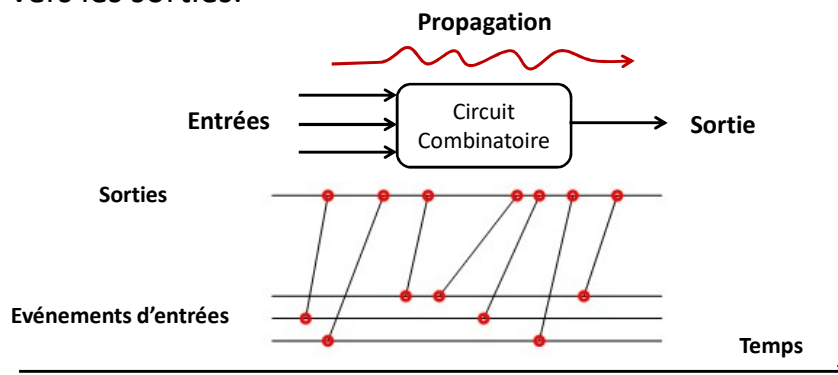
Bases sur la logique séquentiel

3

Logique combinatoire

Rappel

Les échanges des entrées sont directement propagées vers les sorties.

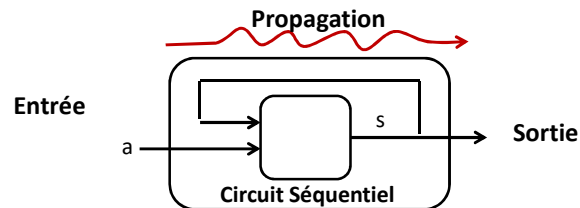


Point important: Attendre que le signal soit stable

4

Logique séquentielle

Une logique dont les résultats ne dépendent pas seulement des données actuellement traitées mais aussi des données traitées précédemment.

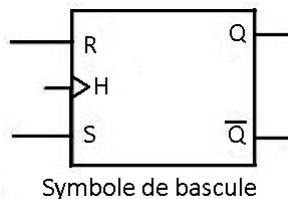


→ Utilisation d'un état mémoire $s_t = F(s_{t-1}, a)$

5

Caractéristique de circuit séquentiel

- Un circuit séquentiel possède la particularité d'avoir une capacité de mémorisation.
- Les circuits séquentiels de base sont dits bascules (ou verrou).



6

Fonctionnements synchrone et asynchrone dans un circuit séq.

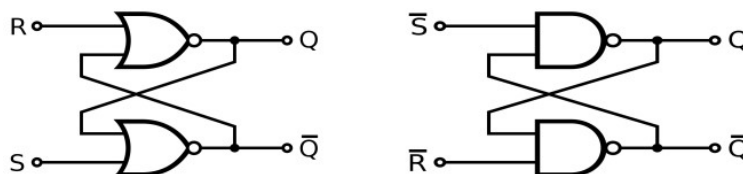
Les tâches peuvent être effectuées de deux manières.

- **Fonctionnement asynchrone:**
La sortie logique peut changer d'état à tout moment quand une ou plusieurs entrées changent.
- **Fonctionnement synchrone:**
Le changement d'état est commandé par un signal d'horloge. Les informations évoluent en fonction du temps.

7

Bascule RS asynchrone

Une bascule **RS** peut être réalisée avec des portes **NAND** et **NOR**.



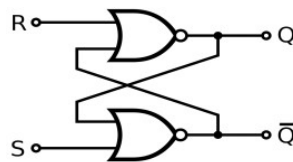
- Q_n est l'état de la sortie logique Q à l'instant n . Par convention, l'instant n est l'instant actuel.
- Q_{n-1} était donc l'état de la sortie logique Q à l'instant $n-1$, c'est-à-dire à l'instant précédant l'évènement faisant évoluer la bascule.
- Q_{n+1} sera donc l'état de la sortie logique Q à l'instant $n+1$, c'est-à-dire à l'instant suivant l'évènement et faisant donc évoluer la bascule.

8

Bascule RS asynchrone

Fonctionnement

1. **S = 1 et R=0** : **NOR2** impose que $\overline{Q_{t+1}}$ vaut **0**. Cette valeur va se propager vers l'entrée de **NOR1** pour donner l'état stable $Q_{t+1} = 1$. Donc la fonction **Set** est réalisée.
2. **S=0 et R=1** : **NOR1** impose que Q_{t+1} vaut **0**. Cette valeur va se propager vers l'entrée de **NOR2** pour donner l'état stable $\overline{Q_{t+1}} = 0$. Donc la fonction **Reset** est réalisée.
3. **S=R=0** : $Q_{t+1} = 0 + \overline{Q_t} = \overline{Q_t}$ et $\overline{Q_{t+1}} = 0 + Q_t = Q_t$. S et R n'ont donc aucune influence sur les sorties Q_{t+1} et $\overline{Q_{t+1}}$ qui **gardent leurs valeurs antérieures**.
4. Le cas **S=R=1** est **interdit** car :
 - Non logique **remise à zéro** et **mise à un** en même temps ;
 - La bascule devient **instable**.



$$Q_{t+1} = R + \overline{Q_t}$$

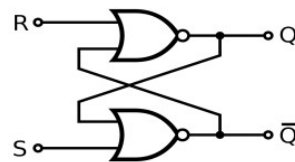
$$\overline{Q_{t+1}} = S + Q_t$$

9

Bascule RS asynchrone

Table caractéristique

S	R	Q_t	Q_{t+1}	
0	0	0	0	Garder les valeurs antérieures
0	0	1	1	
0	1	0	0	Remise à zéro (Reset)
0	1	1	0	
1	0	0	1	Mise à un (Set)
1	0	1	1	
1	1	0	X	Not permis
1	1	1	X	



$$Q_{t+1} = S + \overline{R}Q_t$$

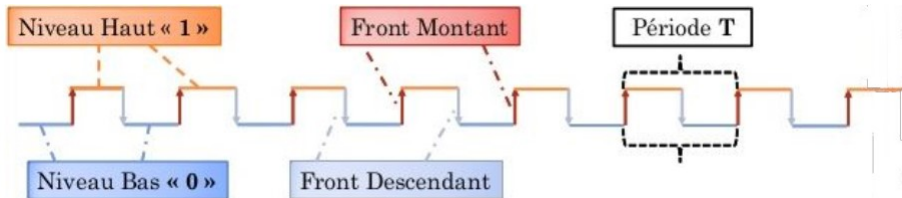
$$\overline{Q_{t+1}} = R + \overline{S}Q_t$$

Q	SR			
	00	01	11	10
0	0	0	X	1
1	1	0	X	1

10

Horloge

Une horloge (notée **H** ou **Ck**) est un dispositif électronique qui peut délivrer un signal alternant entre **0** et **1** à des **intervalles réguliers**.



Fréquence = $1/T$ Représente le nombre de période par seconde (hertz **Hz**).

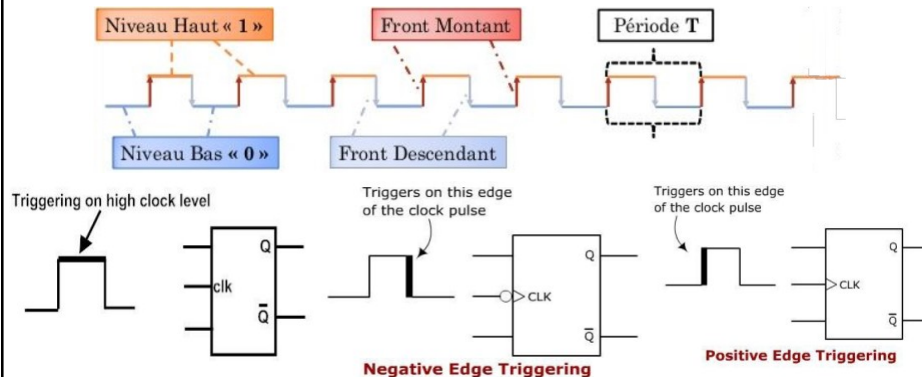
Horloge	Période
1 Hz	1 seconde
1 MHz	1 milliseconde
1 GHz	1 nanoseconde

11

Horloge-Bascule

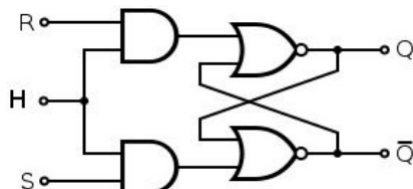
L'association **horloge-bascule** est réalisée de telle sorte que le changement d'état est réalisé par deux manière.

- Par niveau fixe haut ou bas. On parle alors de bascule (par abus de langage) **latch** ou **verrou**.
- Par changement de niveaux du bas vers le haut (activation par front montant), ou du haut vers le bas (activation par front descendant). On parle alors de **bascules flip-flop**.



Bascule RS synchrone (Latch)

Un **verrou** (latch) **RS** synchrone est munie d'une entrée d'horloge **H**.



- Si **H=0**, les valeurs de **R** et **S** n'ont aucun effet sur la bascule (latch) qui garde donc son état antérieur.
- Si **H=1**, la bascule est contrôlée par **R** et **S** comme décrit dans une **RS** asynchrone.

13

Bascule RS synchrone

Table caractéristique

H	S	R	Q_t	Q_{t+1}
0	--	--	0	0
0	--	--	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	X
1	1	1	1	X

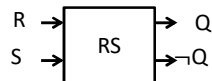
14

Types de bascule

cas Asynchrone

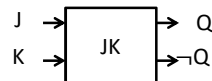
• Bascule RS

R	S	Q(t+1)
0	0	Q(t)
0	1	1
1	0	0
1	1	X



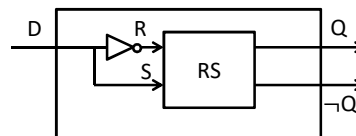
• Bascule JK

J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	¬Q(t)



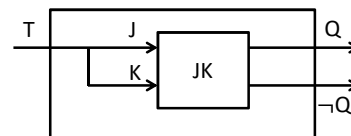
• Bascule D

D	Q(t+1)
0	0
1	1



• Bascule T

T	Q(t+1)
0	Q(t)
1	¬Q(t)

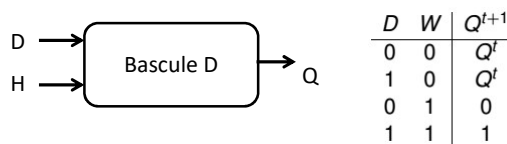


15

Différence

Activation sur niveau haut Vs Activation sur front montant

Activation sur niveau haut



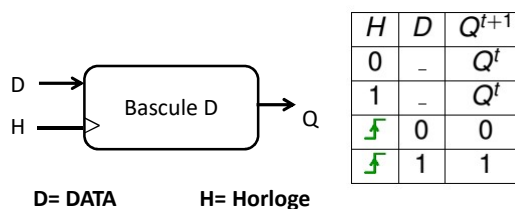
D= DATA

W= WRITE

D	W	Q ^{t+1}
0	0	Q ^t
1	0	Q ^t
0	1	0
1	1	1

- Quand W = 1 alors $Q \leftarrow D$. (Cette valeur est mémorisée).
- Quand W = 0 alors la bascule reste dans le même état et la sortie vaut la dernière valeur mémorisée.

Activation sur front montant



D= DATA

H= Horloge

H	D	Q ^{t+1}
0	-	Q ^t
1	-	Q ^t
↑	0	0
↑	1	1

16

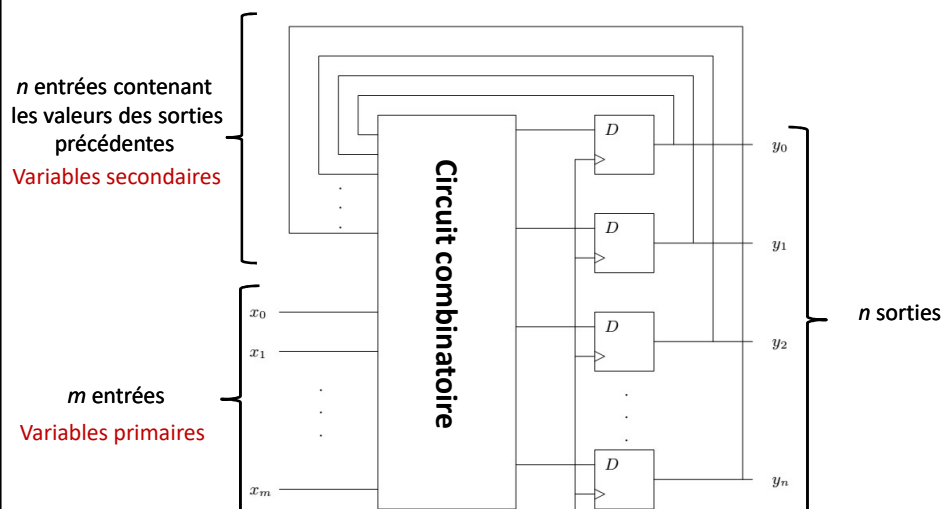
Conception d'un circuit séquentiel

Pour la **conception d'un circuit séquentiel** à m entrées et n sorties, la méthode générale de conception utilise:

- n *bistables* D (un pour chaque sortie).
- Un *circuit combinatoire* à $m+n$ entrées et n sorties.

17

Circuit séquentiel



Remarques : 1. sorties secondaires, des sorties des bistables vers le circuit combinatoire.
2. sorties primaires, des sorties es bistables vers l'extérieur.

18

Conclusion

- ❑ Logique d'un circuit séquentiel.
- ❑ Fonctionnement synchrone et asynchrone.
- ❑ Types de bascules.

19

Ce qui reste

- Méthode de synthèse d'une circuit séquentiel
- Une introduction pour étudier les circuits séquentiels usuels (contrôleur d'un processeur).
- Architecture externe et interne d'un processeur.

A l'année prochaine
Architecture des Ordinateurs

20