



Module : Architecture des Ordinateurs
Filière : Ingénieur en informatique 1ere année

Semestre : 1
Documents, Calculatrice : Non autorisés

**Examen final 2022-2023
(01 h 30 min)**

Questions :

1. Quelle est la différence entre l'ASCII et l'ASCII-étendu ? (1p)

.....
.....
.....

2. Donner la représentation décimale du nombre 1 10000010 11110000000000000000 codé en IEEE 754. (2 p)

.....
.....
.....

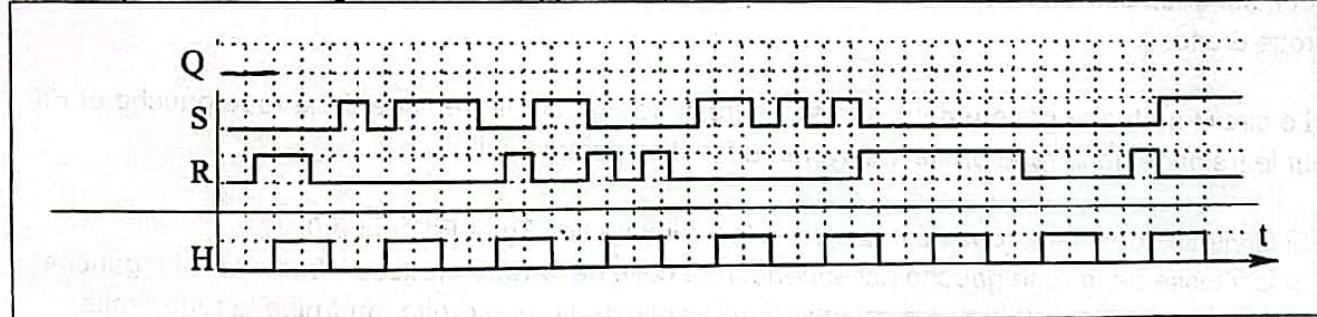
3. Quels sont les avantages de la méthode de Quine-McCluskey par rapport à la méthode de Karnaugh ? (1p)

.....
.....
.....

4. Quelle est la différence entre un circuit séquentiel synchrone et asynchrone ? (1p)

.....

5. Compléter le chronogramme. En supposant que la sortie Q est initialement à 0. (1p)



6. Réaliser un registre 4 bits en utilisant quatre bascules D. (2 p)

.....
.....
.....
.....

7. Donner le schéma de la fonction booléenne $(AB + C)$ si nous ne devons utiliser que des portes NOR à 2 entrées ? (1 p)

8. On vous rappelle qu'un multiplexeur (MUX) est un circuit logique qui dispose de 2^n entrées, d'une unique sortie et de n lignes de sélection. Donnez le schéma détaillé d'un multiplexeur et d'un démultiplexeur ayant chacun 2 entrées de sélection S_1 et S_0 . (2 p)

Problème :

On désire réaliser un circuit qui permet d'éviter le dérapage d'une voiture pendant le freinage. Pour cela, on a besoin de la vitesse de chacune des roues avant. La vitesse de chaque roue est codée sur deux bits. A, B représente la vitesse de la roue gauche. Et C, D représente la vitesse de la roue droite.

Le circuit à étudier génère deux sorties de freinage F_g pour le freinage de la roue gauche et F_d pour le freinage de la roue droite. Le système fonction comme suit :

1. Si la vitesse des deux roues est la même, les deux sorties F_g et F_d sont à 0.
 2. Si la vitesse de la roue gauche est supérieure à celle de la roue droite, on freine la roue gauche.
 3. Si la vitesse de la roue gauche est inférieure à celle de la roue droite, on freine la roue droite.
- a) Etablir la table de vérité pour ce système. (1p)
b) Donner la forme canonique de F_g et F_d . (1p)
c) Par la méthode de karnaugh, donner les fonctions simplifier de F_g et F_d . (2 p)
d) Réaliser le schéma du circuit de F_g en utilisant que des portes NAND. (1.5 p) (1.5 p)
e) Réaliser le schéma du circuit de F_d en utilisant que des portes NOR. (1.5 p) (1.5 p)
f) Réaliser le schéma du circuit F_g avec un décodeur 3X8 plus des portes logiques. (2 p)

