

# Rapport du projet UAL

Réaliser par : Rabii Bouhlef & Mohamed el Hedi ben Yedder

INDP1-C, Groupe1

## **INTRODUCTION :**

Le projet consiste à une Unité arithmétique et logique implémentée sur la carte FPGA 5CGXFC5C6F27C7.

Cette unité arithmétique et logique réalisent les 8 opérations suivantes :

**\*\* Les opérations arithmétiques**

- \* l'addition

- \* La soustraction

- \* La multiplication

**\*\* Les opérations logiques :**

- \* XOR (ou exclusif)

- \* OR (ou logique)

- \* AND (et logique)

- \* Décalage droit

- \* décalage gauche

L'unité prend comme entrées deux mots binaires que chacun comporte 4 bits et retourne les résultats de ces opérations sur 8bits

L'affichage sera au même temps sur les LEDs (diodes rouge et vertes) et aussi sur les 4 afficheurs 7-segments.

Ce projet est décomposé en sous-partie ou bien sous-bloc que chacun est responsable d'une opération ou bien une fonctionnalité :

- \*\* Bloc XOR**

- \*\* Bloc OR**

- \*\* Bloc AND**

- \*\* Bloc ADDITION**

- \*\* Bloc SOUSTRACTION** (soustraction et rectification du mot binaire s'il est négatif avant de l'afficher sur 7-segment)

- \*\* Bloc Multiplication**

- \*\* Bloc décalage** (réalise le décalage à droite et à gauche)

**\*\*Partie Sélection :**

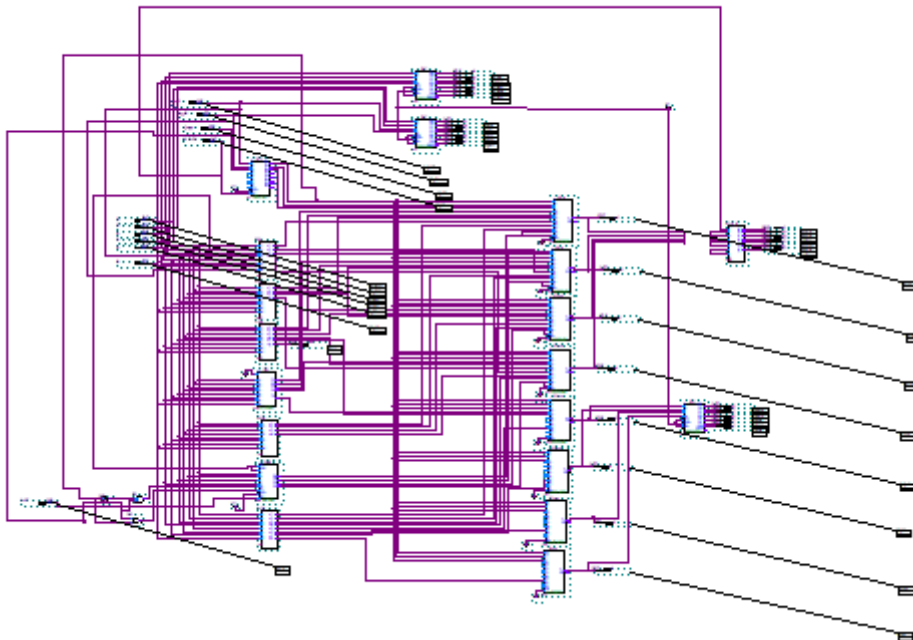
\*sélectionner l'opération (à travers 8 MUX8 vers1)

\*séparer la sélection et le calcul (utiliser les bits du mots binaire B comme des bits de sélection ou bien pour le calcul)

\*afficher la lettre C sur 7-segment en mode sélection et utiliser ce même afficheur pour le calcul en mode calcul, il est à noter que les résultats pour les opérations arithmétiques seront affichés sous la base hexadécimal.

**\*\*Partie affichage :**

## **Le schéma global :**



### **A- La partie de sélection :**

A-1) la séparation de la partie sélection et partie de calcul (utiliser les bits du mots binaire B comme des bits de sélection ou bien pour le calcul)

L'utilité de cette idée :

Vu que la carte FPGA disponible comporte que 10 switchers (de SW0→SW9) et que notre projet nécessite théoriquement 11 entrées (4 bits pour chaque mots binaires et 3 bits pour la sélection)

L'idée consiste à utiliser réserver un bit (un switcher) pour sélectionner si on est au mode calcul ou bien au mode sélection. En effet, au mode sélection quelques bits du mot binaire B seront considérés comme des entrées de sélection et au mode calcul reprennent leur rôle comme étant des bits du mot B.

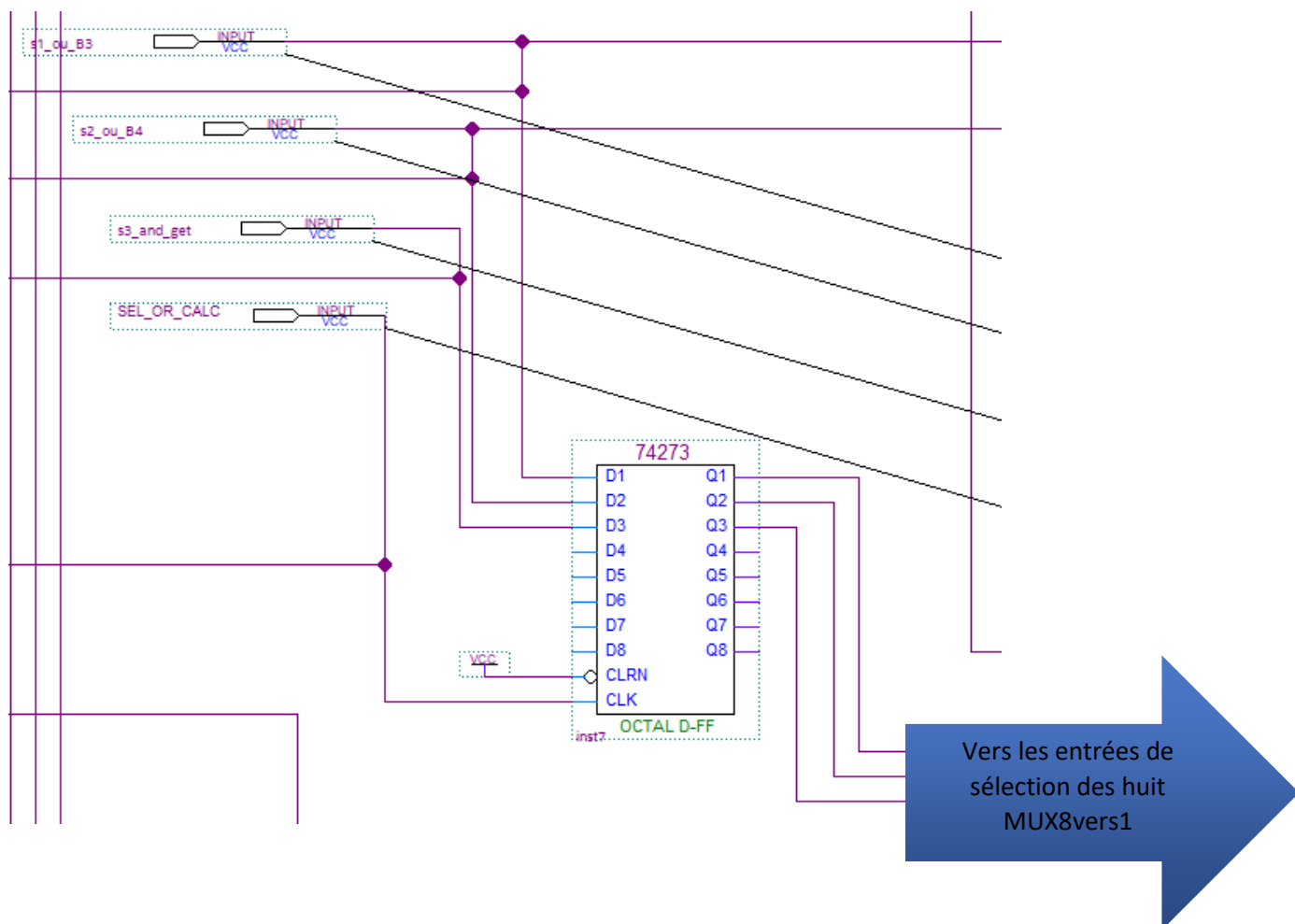
La réalisation de l'idée est faite à travers un registre :

\*si on est au mode sélection on lit les quelques bits de mot B comme de bits de sélection et sauvegarde cette valeur dans un registre et on sélectionne l'opération.

\* si on est au mode calcul on va considérer tous les bits du mot B comme entrées d'opération et va appliquer l'opération déjà enregistrée dans le registre à la phase de sélection.

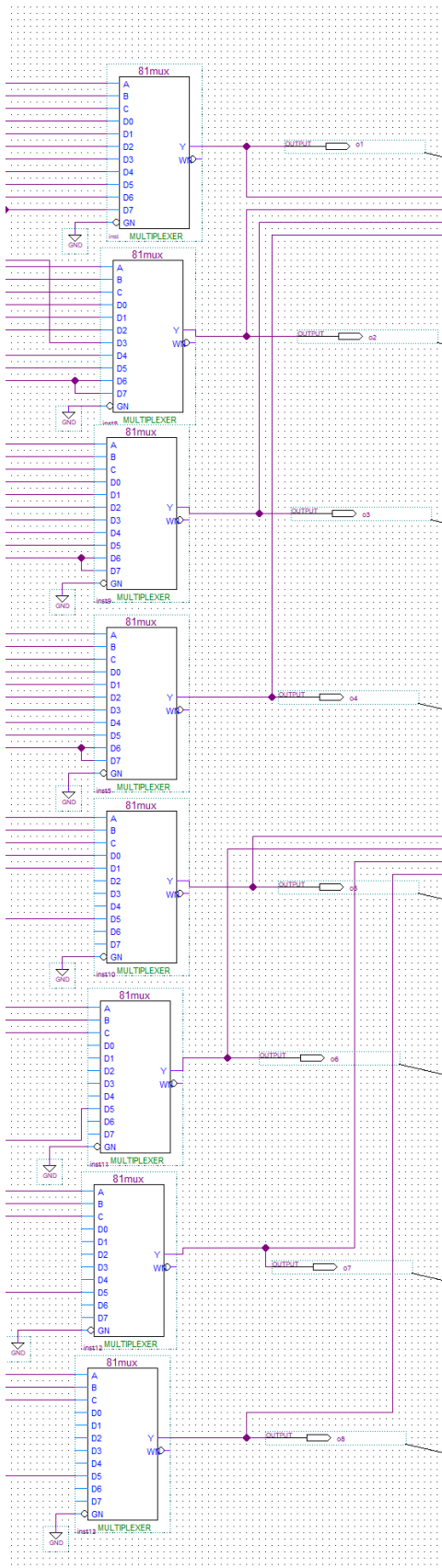
SEL_OR_CAL	MODE
0	On peut utiliser tous les interrupteurs du FPGA pour la Sélection
Front montant	Passage du code d'opération à travers le registre vers les multiplexeurs. On peut utiliser tous les interrupteurs du FPGA pour le calcul.

Voici le circuit utilisé : registre 74273



## A-2) La sélection de l'opération :

La sélection de l'opération est faite à travers huit MUX8vers1 :

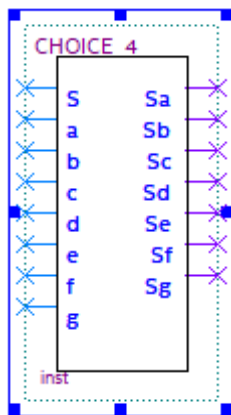


Les sorties seront les entrées du transcodeur avant le 7segment ou bien assignés au LEDs directement ou vers un bloc qui gère l'affichage

A-3) La distinction entre le mode sélection et calcul à travers l’affichage :

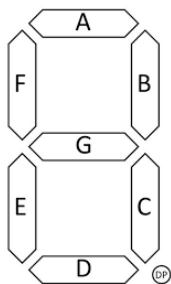
Si on est en mode sélection on va afficher C (C la première lettre du mot « Choix » on n’a pas utilisé la lettre S du mot « Sélection » pour ne pas confondre le résultat 5 et la lettre S sur l’afficheur 7-segment.

Si on est au mode calcul l’afficheur 7(segment va afficher le résultat cette fonctionnalité est réalisée par un bloc nommé « choice\_4 »



L’afficheur 7-segment est à anode commune chaque LED de l’afficheur nécessite comme entrée un 0 logique pour qu’elle soit allumée et 1 logique pour qu’elle soit éteinte.

SEL_OR_CAL C1	Etat de diode de l’afficheur 7-segment C2	Une entrée venant du transcodeur C3	La sortie finale C4
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1



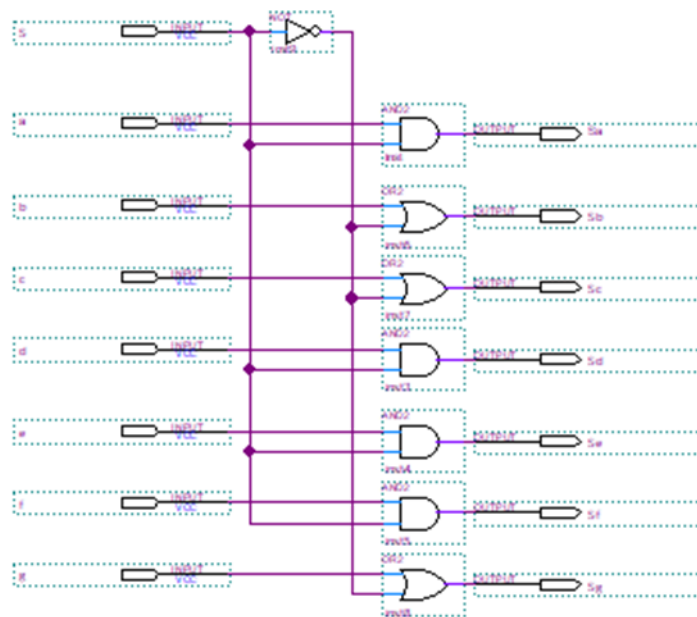
Pour afficher la lettre C, on doit allumer les LEDs A, F, E et D et on doit éteindre B , C et G.

L’équation est :  $C4 = \overline{C1}.C2 + C1.C3$

Pour une LED allumée (C2=0) :  $C4 = C1.C3$

Pour une LED éteinte (C2=1) :  $C4 = \overline{C1}.C2 + C1.C3 = \overline{C1} + C3$

D’où le diagramme suivant du bloc Choice\_4 :



A-4) La table de sélection :

s3	s2 Ou B4	s1 Ou B3	Operation
0	0	0	Addition
0	0	1	Subtraction
0	1	0	Xor function
0	1	1	Or function
1	0	0	And function
1	0	1	multiplication
1	1	0	Shift right
1	1	1	Shift left

A-5) le processus de sélection :

**\*\*Premièrement** choisir le mode sélection : le switcher associé à l'entrée SEL\_OR\_CAL=0

(vérifier qu'on est au mode sélection à travers l'affichage de la lettre C (« Choix ») sur l'afficheur 7-segment HEX0)

**\*\*Deuxièmement** choisir l'opération à réaliser à travers les entrées de sélection en se référant à la table de sélection.

**\*\*Troisièmement** passer au mode calcul le switcher associé à l'entrée SEL\_OR\_CAL=1

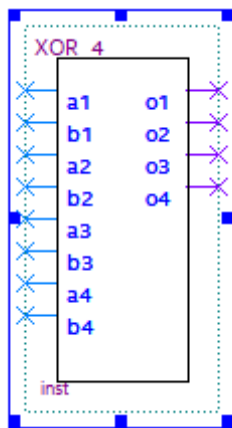
(Vérifier qu'on est au mode sélection à travers disparition de la lettre C de l'afficheur 7-segment HEX0 set afficheur sera utilisé pour afficher les résultats)

**\*\*Quatrièmement** entrer les mots binaire A et B sur lesquelles on va appliquer l'opération désirée.

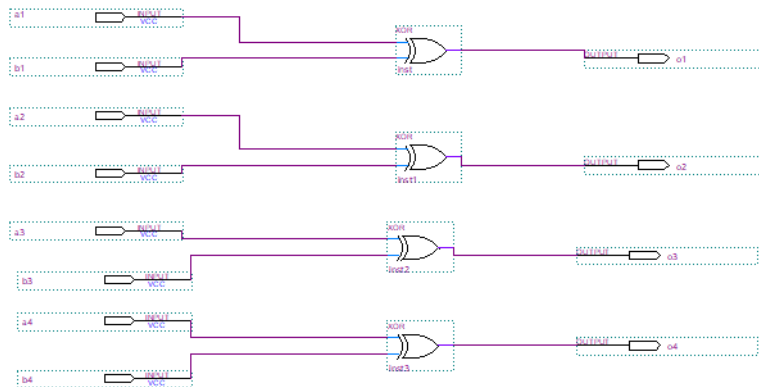
## **B- Le bloc XOR :**

Le bloc XOR est réalisé à travers 4 portes logiques XOR il est nommé « XOR\_4 ».

Voici le symbole de ce bloc et son diagramme :



Le symbole

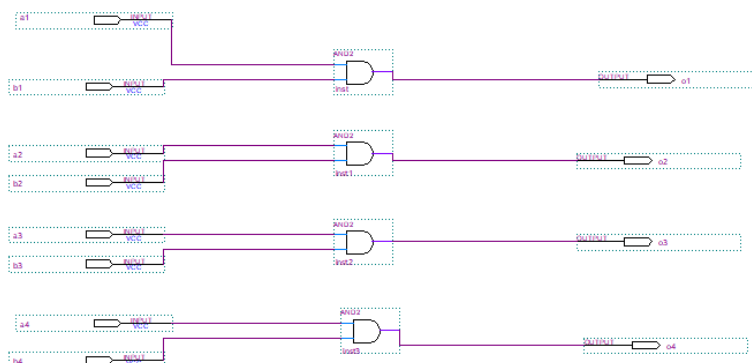
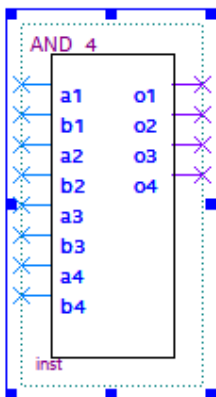


Le diagramme

## **C- Le bloc AND :**

Le bloc AND est réalisé à travers 4 portes logiques AND il est nommé « AND\_4 ».

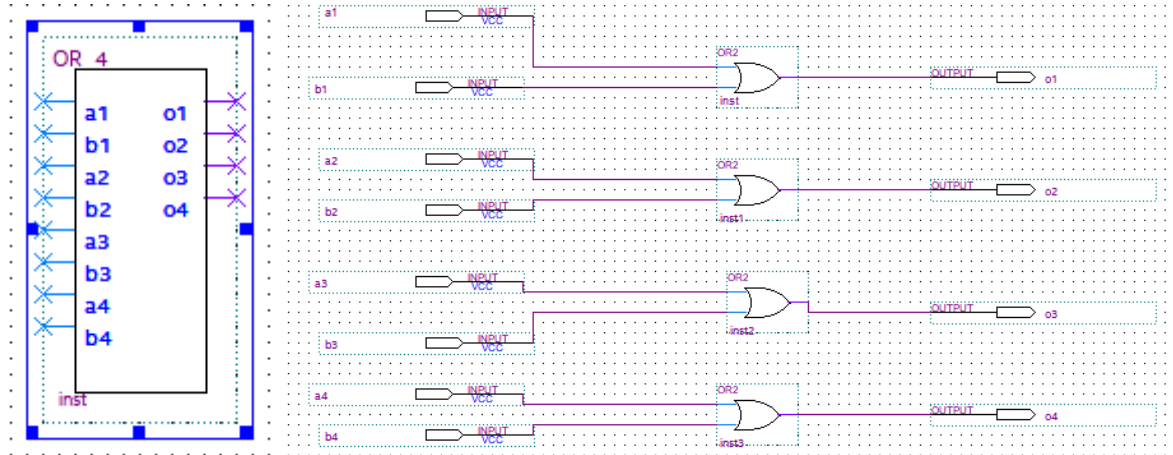
Voici le symbole de ce bloc et son diagramme :



## D- Le bloc OR :

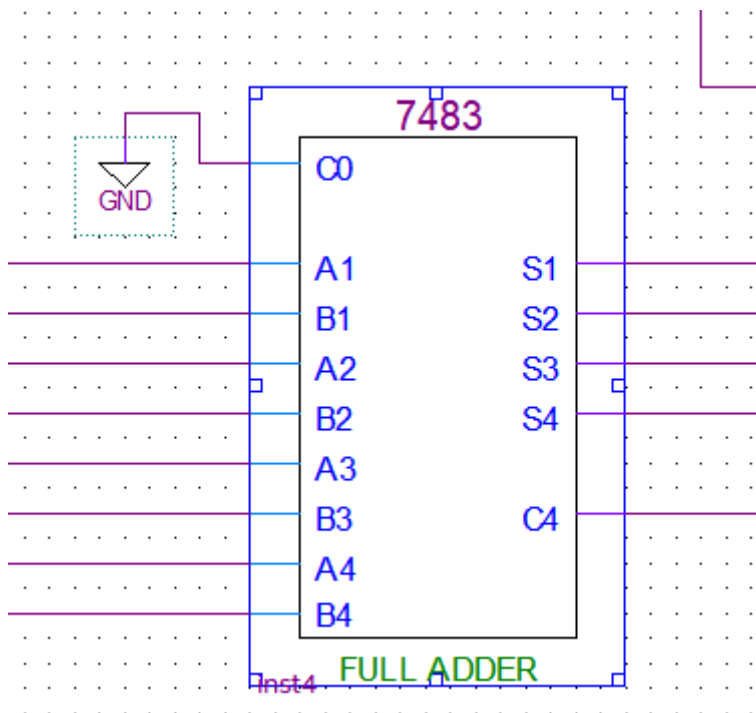
Le bloc OR est réalisé à travers 4 portes logiques OR il est nommé « OR\_4 ».

Voici le symbole de ce bloc et son diagramme :



## E- Le bloc ADDITION :

Le bloc addition qu'on a utilisé est déjà prédéfinie c'est le circuit TTL7483 qui prend comme entrées les deux mots binaire A et B et 0 (GND) en retenue C0.





## F- Le bloc SOUSTRACTION :

Ce bloc est réalisé à base des additionneurs TTL 7483 et des portes logiques NON (Not négation) et les portes logiques OU exclusif (XOR). Il est nommé SUB\_4.

Ce bloc réalise l'opération A-B :

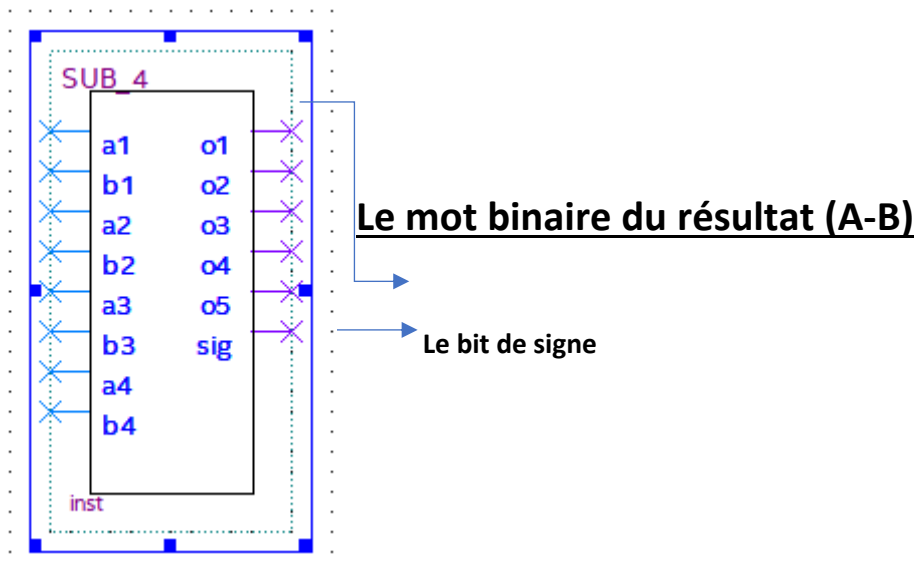
Si le résultat est positif il retourne un bit de signe égale à 1 et retourne le résultat

Si le résultat est négatif il retourne un bit de signe égale à 0 et fait la correction du résultat en appliquant le complément à 2 et après il retourne le résultat.

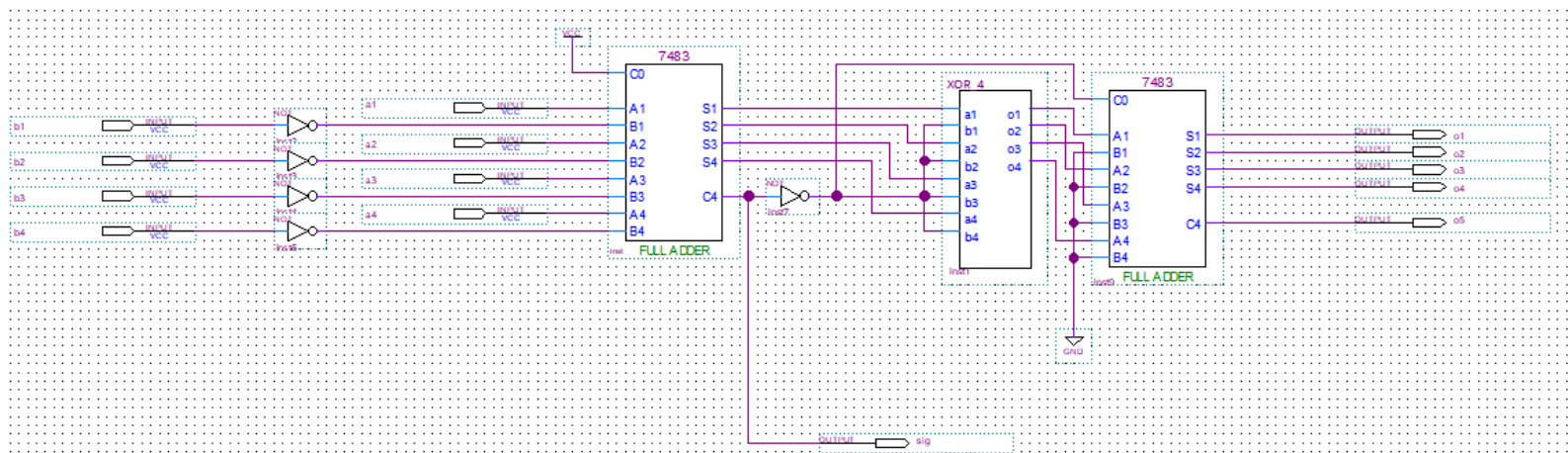
Le bit de signe va être retourner comme sortie (LED verte)

Voici le symbole de ce bloc et son diagramme :

**\*\*Le symbole :**



**\*\*Le diagramme :**

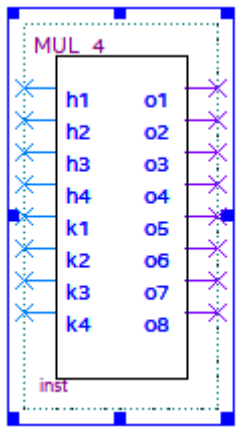


## G- Le bloc MULTIPLICATION :

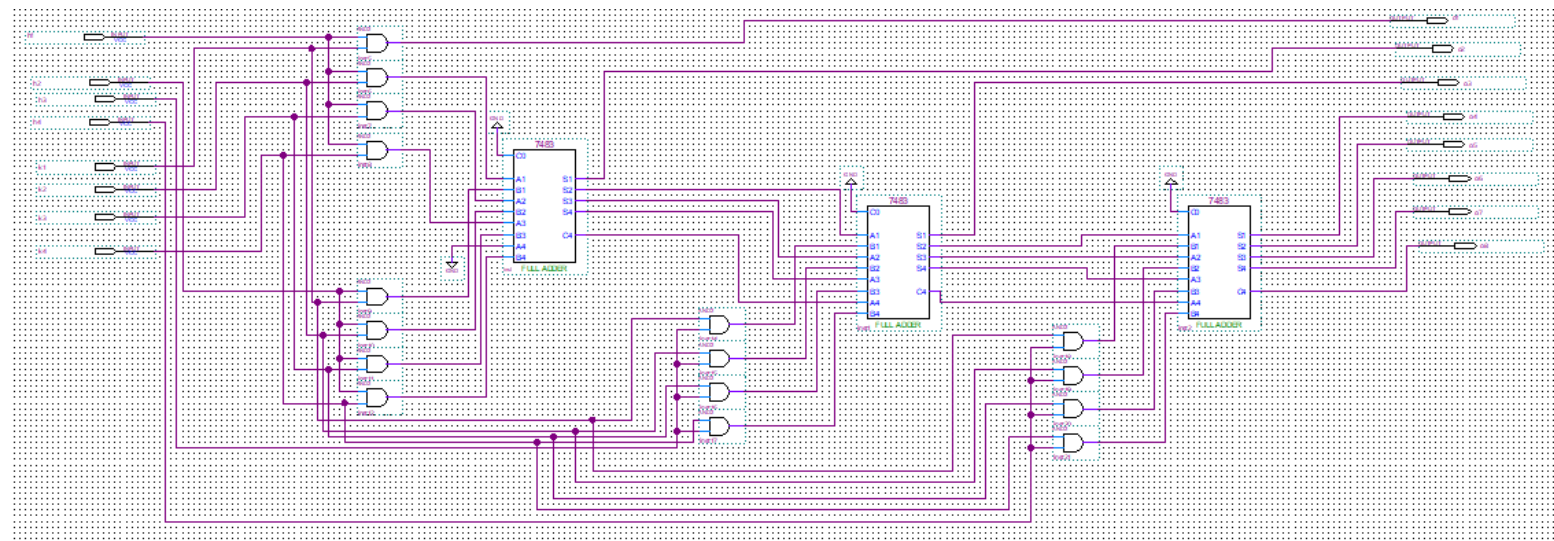
Ce bloc est réalisé à a base des additionneurs TTL 7483 et des portes logiques. Il est nommé MUL\_4. Il réalisé l'opération  $A*B$  et retourne le résultat sur 8 bits.

Voici le symbole de ce bloc et son diagramme :

**\*\*Le symbole :**



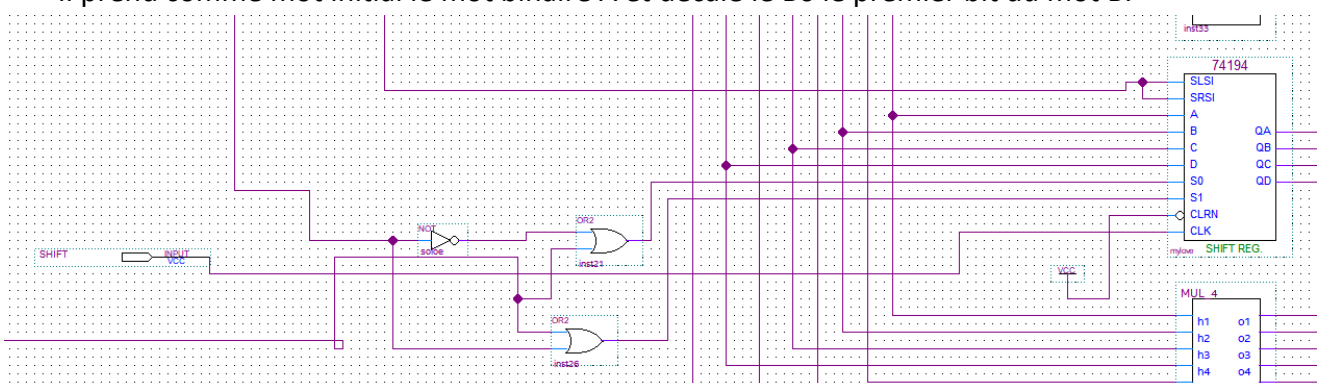
**\*\*Le diagramme :**



## H- Le bloc Décalage :

Ce bloc est réalisé à a base du registre 74194 et des portes logiques il réalise le décalage à droite et à gauche selon la sélection en se référant à la table de sélection.

Il prend comme mot initial le mot binaire A et décale le B0 le premier bit du mot B.



## I- La partie affichage :

Les deux mots binaires A et B seront affichés en hexadécimal sur les afficheurs HEX3 et HEX2 respectivement.

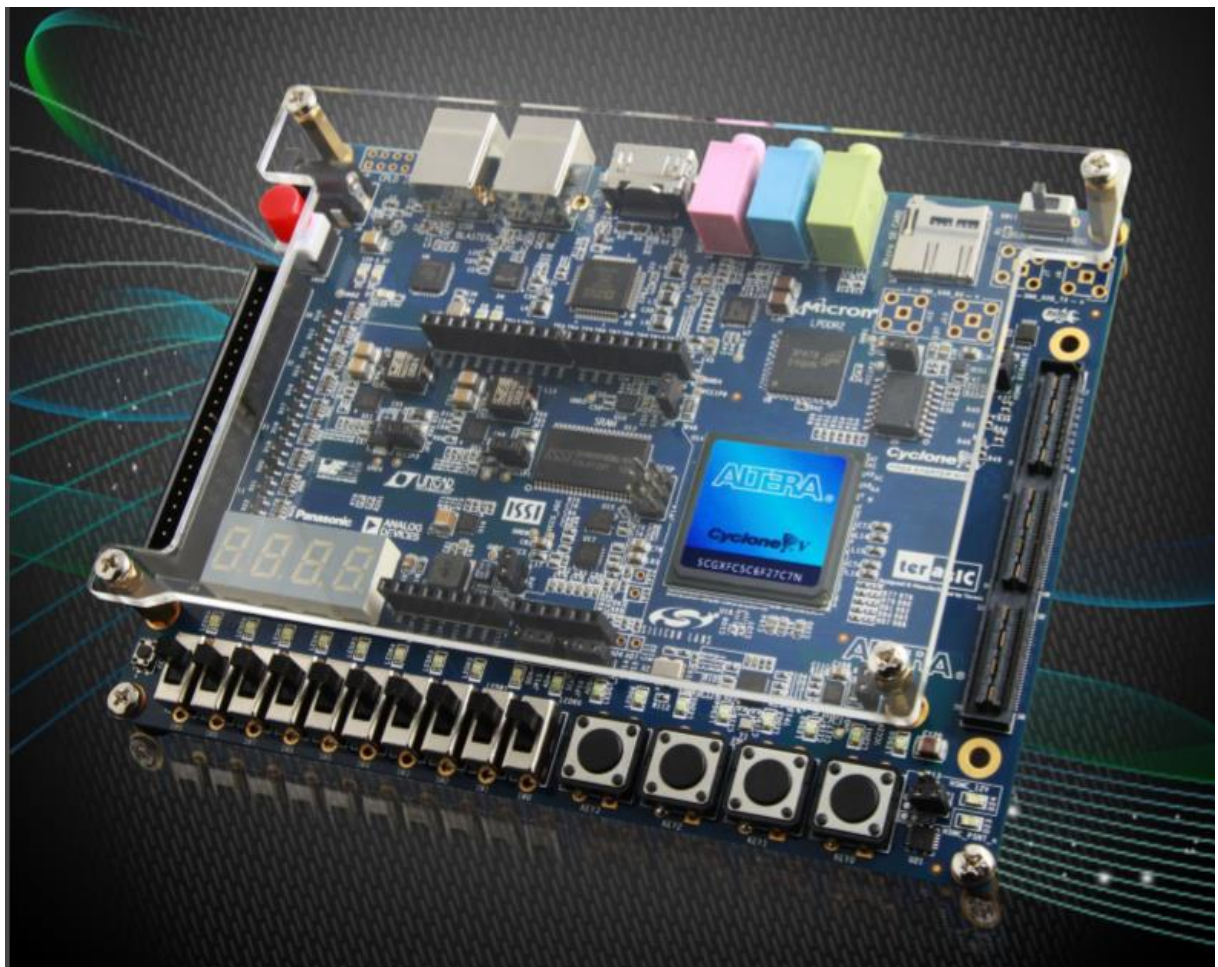
Les résultats seront affichés sur les autres afficheurs 7-segments en base hexadécimal HEX1 et HEX0 et aussi au même temps sur les LEDs.

Les mots en résultats ne peut pas dépasser 8bits (c'est-à-dire deux afficheurs 7-segments sont suffisants).

Pour la soustraction, il faut se rendre compte à la LED verte qui va indiquer le signe du résultat.

L'afficheur 7-segment HEX0 va afficher en mode sélection la lettre « C » et mode de calcul il va être réservé à l'affichage du mot binaire de résultat.

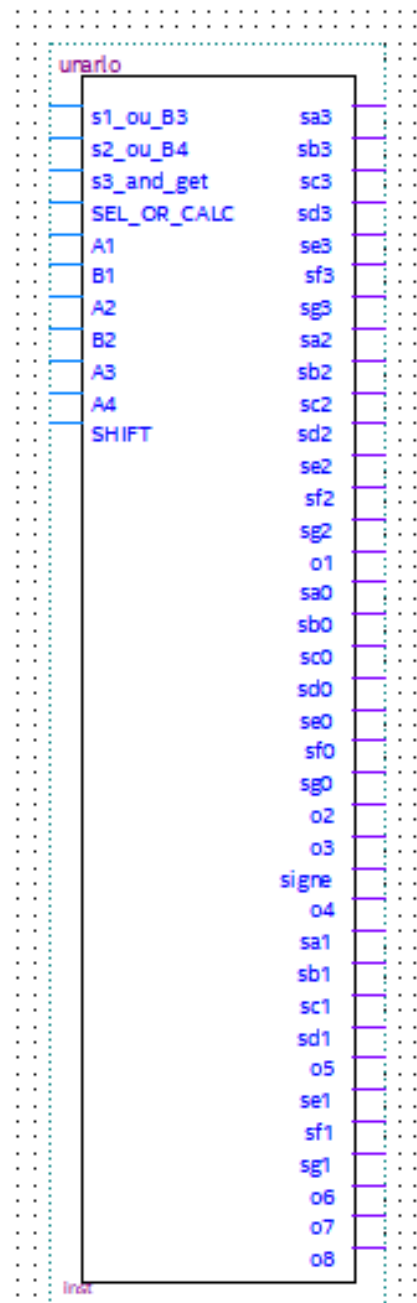
Pour réaliser l'affichage sur 7-segment on a utilisé le transcodeur TTL7447 (Il est à indiquer que les afficheurs 7-segments de cette carte FPGA sont à anodes communes)



**Voici la table d'entrée sortie/sortie :**

Les entrées		Les sorties	
A1	PIN_AE10	o1	PIN_F6
A2	PIN_AD13	o2	PIN_G6
A3	PIN_AC8	o3	PIN_G7
A4	PIN_W11	o4	PIN_J8
B1	PIN_AB10	o5	PIN_J7
B2	PIN_V10	o6	PIN_K10
s1_ou_B3	PIN_AC10	o7	PIN_K8
s2_ou_B4	PIN_Y11	o8	PIN_H7
s3_and_get	PIN_AE19	sa0	PIN_V19
SEL_OR_CALC	PIN_AC9	sa1	PIN_AA18
SHIFT	PIN_Y16	sa2	PIN_AD7
		sa3	PIN_Y24
		sb0	PIN_V18
		sb1	PIN_AD26
		sb2	PIN_AD6
		sb3	PIN_Y23
		sc0	PIN_V17
		sc1	PIN_AB19
		sc2	PIN_U20
		sc3	PIN_AA23
		sd0	PIN_W18
		sd1	PIN_AE26
		sd2	PIN_V22
		sd3	PIN_AA22
		se0	PIN_Y20
		se1	PIN_AE25
		se2	PIN_V20
		se3	PIN_AC24
		sf0	PIN_Y19
		sf1	PIN_AC19
		sf2	PIN_W21
		sf3	PIN_AC23
		sg0	PIN_Y18
		sg1	PIN_AF24
		sg2	PIN_W20
		sg3	PIN_AC22
		signe	PIN_L7

**D'où le symbole de l'unité arithmétique et logique UAL  
suivant :**



**Remarque : un fichier image qui comporte le diagramme de l'UAL en détails. Merci**