

هناك المفرد بالتفصيل عن الـ AMBA BUS والتي ينقسم لـ 2 Buses:

- AHB → high Performance
- APB → low Performance

* at Slide 28 :-

الـ AHB ← Fast يعني سريع
 يعني الـ Throughput يتبعه عالي يعني number of transactions per unit time كثير
 Transaction ← الـ unit التي يعمل عليها operation على الـ Bus انكنا عليها
 انما حاضرة الي قات .

Parallel ← AHB يعني بيت الـ word هو واحد من Serial
 Multi master ← فيه 3 masters .. الرسالة بتاعة في Slide 27

Support Pipelining ← يعني عنده wires منفصلة الـ Data و الـ Addressing
 و الـ Arbitration فيمكن تقسم الـ transaction لـ 3 different Phases
 و ادخل transaction جديد كل clk cycle
 يعني عنده wire واحد و بيت عليه الـ data و الـ arbitration (X) address
 → Block of words

support Burst ← ده عشان نوسع الـ system يعني لو انا عايز اقرى
 حاجه من الـ cache من هفضل اعمل
 Arbitration
 addressing
 get data

عشان هضيق وقت و باور و resources of the system
 لعل هفضل ايه ؟

صبت address واحد بين تاع الاول او الآخر و اخذ متاه هقرأ كم word
 اقرى 4 أو 8 أو 16 (مجموعه من الـ adjacent words)
 في الـ Transaction التايه كت بقرا one word at a time

في الـ burst لما يروح الـ Memory وانا حده الـ burst size
 4 words
 8 words

لو محدده 4 مثلاً هيقرا address اول location و يتل increment و يقرأ الي بعده
 لو باغت Address اخر واحد هيقرا اول location و يتل Decrement و يقرأ الي قبله
 و ده يوفرك وقت و Power كبير * الـ shawl هو الي بيتل Dec Inc.

هل ينفع ال burst size يكون ٥٥ أو رقم كبير أوي؟ word 1000 say
لو خلت ال Master ال access ال Bus كثير أوي كته أو برقم كبير عن ال slave
كته باقي ال Masters هيجعلهم Block وكأنه احتكر ال Bus له لوحده

* Split transactions * فكرتها إيه؟ ↓↓

ال AHB بيسمحلي ان بعد ما Master يحصله arbitration ويوصل ال Bus
ويثبت ال address ولقي ال slave بتاعه بطيء .. بدل موضوع ال wait
اللي كنا بنبطله زمان .. انا ه release the bus بس هتتخط
بعق ال Master انه ياخذ ال Bus أول ما ال slave يخلص بدل ما أخليه يفضل
مستنى وحاجز ال Bus.
في الوقت اللي فيه releasing the Bus ممكن ادخل Masters تانيه عادي .

الدكتور بيحول ان موضوع ال Split وال Burst هو اهد اسئلة المفصلة
في الميديتم والفانال .. ريتا بيتر D:

السؤال يا إما ارسلني timing diagram على ال Bus عشان اعمل transactions
شكلها كذا .. ويدينا السيناريو .. أو السنه حي ممكن يتكس ويدينا الرسم ويقولنا
إيه اللي حصل واحنا نقول السيناريو

عشان نعرف نرسم الرسمه اللي في السلايد دي لازم الأول نعرف شكل ال Bus
في 32 slide ونعرف كل حاجة بتقل يانه
ال Bus ده بيت Master واحد و slave واحد بس غالباً
ال Bus بيتق واصل مع slaves مختلفه

* هنركز الأول على الجزء اللي تحت بتاع ال Burst transactions
وبعد كته الجزء اللي فوق اللي هو split transactions

الكلام اللي حاي ده مكتوب in details على ال website بتاع الدكتور
أو باسم AHB signals عايدراف عادي تق

HCLK : مقلدها من اسهم (لا خارج ولا داخله عن ال Master)
هي داخله على كل ال devices الى ع ال AHB وجايه من external clk

كل ال logic AHB Rising edge triggered
بقى ال Bus ده Synchron أو semi synchron بس من Asynch

AHB ال specifications هيجدلينش أي freq لل CLK بس السرعات في الغالب من أول 200 GHz وانت طالع

لو عدي مجموعة من ال devices ليهم سرعات مختلفة هيقسم ال AHB لمجموعة Buses واعل Bridge بين كل AHB و AHB اسمه AHB2AHB
• AHB supports Hierarchical Bus Design

HReset : بيحل reset لل devices - كل device داخل عليه من ال AHB
سلطة reset او خليفها بنا لغزته متبج كنه بقول ال device reset
غالباً الغزّه دي بيكون 16 clk cycle وعموماً ال datasheet بتبكت كل device هي الي بتحدد

HADDR : 32 wires
منقسمين جزاين جزء داخل على ال Add Decoder و جزء داخل على ال slave

Most significant part → Add. Decoder → HSEL
to enable the device or Memory

Lower part → register من جوه ال selected device أو مكان حدد (L.S. Part)

Arbiter ← بيحدد انهي Master ممكن يلخذا ال Bus

وانت بتبكت ال address لازم تبكت متاه ال Hsize حتى لو هتقل (idle transaction) ← بتأكد ان ال slave شغال من ب read أو ب write فينا

(Hsize) 3-bits ← الي بحدريها size of words
6 bits
12 bits
32 bits
128

HTrans : يتحدد فيها نوع ال transaction -- كباية هي الأنواع؟
2 bits
= 2 wires

① idle transaction : → No Read or Write just checking performance

② Busy transaction :-

يبدأها ال Master ال slave يخطئ يستق عليه شوية ودي عكس حالة ال Ready - wait الى جذابا في ال .. Semi-Synch.
ودي يتحصل في حالة ال Master يشتغل في burst of data مثالاً

③ Nonsequential trans. :

* ال Trans. لهاش علاقة بأي حاجة قبلها
④ sequential trans :- لها علاقة بالي قبلها

* Single word transaction → (Non Seq.) بحاجة قبلها

* Burst → أول واحد non seq. والباقي كلهم seq

Hwrite : يحدد عليه ال direction

if one → ال M يدي write في ال 1
if zero → ال M يدي Read من ال 0

HBurst : يتحدد ال Burst size ، يعني مثالاً لو HBurst = 4 ماخذ 4 words
الى ال size يتاعهم هو Hsize ← كم word per bit
وكم تنفرق ماس ال HBurst وال Hsize
word per Burst

HPRot : يتسج ال Master انه يبعث ال Properties او Characteristics بتات
ال transfer يتسوي على

HWDATA : ال data الي هيكتبها ال M في ال 1

HRDATA : يتسوي على ال data الي يقرأها ال M من ال 0

ليه عايزين Read wire و Write wire من فضلكم Hardware مع ان في ال Transaction بيحصل حاجة واحدة بين؟
 عشان ال Bus بتاعي Pipelined و بيحصل R أو W لكل CLK
 بين عشان اقلب من read لـ write أو العكس بيحصل
 delay في ال switching ده وعشان اجنب ال delay ده بطني
 wire for read & wire for write

it produces a group of select signals ← Hsel
 one for each slave

the slave gives the OKAY response ← Hresp
 if the transfer is successful or response with ERROR

HReady : حذناها في ال semi synch لما ال slave بيقول ال Master انه ready و لا لسا... It's a semi synch Bus

نرجع لـ ال Slide
 HTRANS Non seq seq seq → Burst
 Non seq Non seq seq seq
 single word + burst

HADDR → بيبتع اول Address بعد كده بـ increment مع نفسه
 4 في كل مرة

عند T₁ ← Arbitration
 T₂ ← Addressing & control
 T₃ ← المفروض كده write بسلقة ال slave من Ready
 Bus و هتفت كل حاجة 1 clk cycle
 T₄ ← HReady ← high فدها writing data

split transaction

Slide 32 3

Bus

11. 11

ok

→ with split transaction, the master issues a request then releases the bus and waits for notification, which can come many cycles after

ال M بعد ما يتصل ال request فبيطلب ال bus فال Arbitrator ينفق ال M ال
اللي عايز ال access ال bus ويخلص ويتذكره الاول ياخذ اللي كان عايزه من ال slave

an output from split capable slaves, to show the arbiter which masters are currently waiting a response from that slave & so -- should not be granted until that split transfer is ready to be restarted

* Locked transaction → میفتش حاحه تقابلها و هستی کرد ما خلاص
 من معروف ادی ار ~~Bus~~ Bus ای M حتی لو کان لیه request و عاز ارجه نائی

Control hardware : Arbitrer ← gate التي يتدخل M على ال Bus

Software uses ← هو اللي بيستخدمه Master اللي فيه صرح
according to Priority or any thing else

to show that the following

← Hlock : خروج من ال Master

transfer is locked

Interrupt (if critical Transaction) or Master or bus broadcast to Arbitrator
is Locked

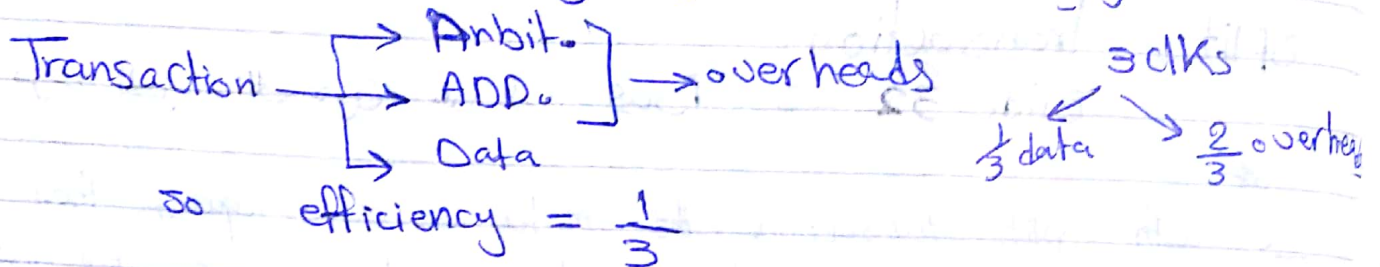
4- HMaster: بیحدد ال ID بتاع ال Master و لما بیجس ال Hsplit عثمان یرجعه تانی

HGrant *

an output from the arbiter, input to the master indicating that the master has been given the bus

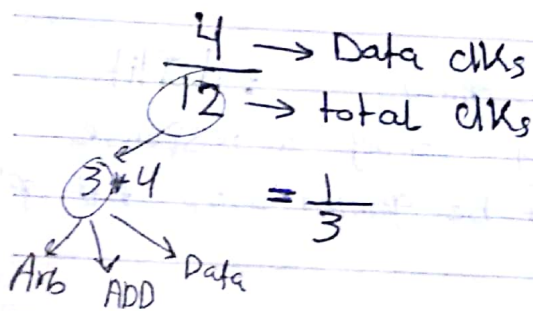
في الامتحان يمكن حساب Percentage of overhead او efficiency

overheads ← الحجات التي في ال-transact من غيره او من data
زي ال Arbitration و ال Addressing

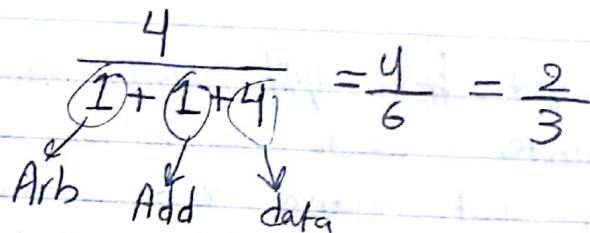


for a 4 word transaction

* No Burst



* with Burst



يحل Arb و Add مرة واحدة

بس

So -- Double efficiency in Burst

* APB → Jingle Master و Burst و split

* ال Bridge بين ال APB و ال AHB بيحل مشكلة ال mismatch

عدد ال bits

APB

at slide 36:-

PSel ← يقول لل slave يشغل

PEnable ← عنوان مخصص read او write في نفس ال clock cycle

خليته ليست في شوية جتان بيبي وقت لل master تباع ال slave انه يخل decoding ال ADDR

فكاي حست ال clock على 2 عن طريق ال PEnable

المبرر كذا للحاضر دي