



پردازنده MIPS را در نظر بگیرید. فرض کنید این پردازنده دستورات زیر را پشتیبانی می‌کند.

Arithmetic/Logical Instructions: add, addi, sub, slt, slti, and, or

Memory Reference Instruction: lw, sw

Control Flow Instructions: j, jr, beq

برای دستورات از آپکودهای داده شده در تمرین‌های قبل استفاده کنید.

این نسخه از پردازنده MIPS را به صورت پایپ‌لاین (Pipeline) طراحی کنید و آن را با Verilog مدل‌سازی کنید. انواع مخاطره‌های داده‌ای و کنترلی را تشخیص دهید و برطرف کنید. وابستگی‌هایی مشابه مثال‌های زیر را با اضافه کردن nop در نرم‌افزار برطرف کنید.

مثال ۱: وابستگی داده‌ای بین دستور beq/bne و RT

```
add R1, R2, R3
beq R1, R2, L1
```

مثال ۲: وابستگی داده‌ای بین دستور beq/bne و lw

```
lw R1, 100(R0)
beq R1, R2, L1
```

برای تست پردازنده‌ی خود، از برنامه‌ی زیر استفاده کنید:

برنامه‌ای بنویسید که کوچک‌ترین عنصر یک آرایه‌ی ۲۰ عنصری با آدرس شروع ۱۰۰۰ را پیدا کند و مقدار کوچک‌ترین عنصر و اندیس آن را به ترتیب در خانه‌های ۲۰۰۰ و ۲۰۰۴ حافظه بنویسد.

برنامه و داده‌ها را در یک فایل متنی ذخیره کنید و از System Task مناسب برای خواندن محتوای فایل و لود کردن آن در حافظه‌ی دستور و حافظه‌ی داده استفاده کنید.

روش ارزیابی:

- پیاده‌سازی پایپ پردازنده‌ی MIPS صد (۱۰۰) نمره دارد:

- ۲۵ نمره طراحی مسیر داده و واحد کنترل (تصویر مسیر داده و واحد کنترل باید آپلود شود)
- ۲۰ نمره روش کدینگ (مسیر داده به صورت ساختاری و واحدهای کنترل و Forwarding و ... به صورت ترکیبی)
- ۴۰ نمره برای صحت طراحی با داده‌های آزمون دانشجو (اسکرین شات از شکل موج خروجی شبیه‌سازی باید آپلود شود)
- ۲۰ نمره صحت طراحی با داده‌های آزمون توسط دستیاران آموزشی