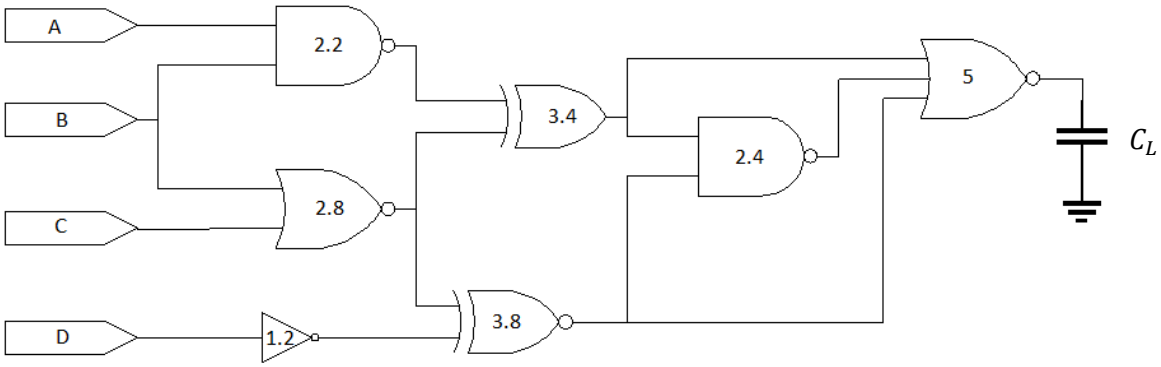
در این تمرین کامپیوتری به طراحی یک سیستم حافظه‌دار و تحلیل زمانی آن خواهید پرداخت. در ابتدا یک مدار ترکیبی را طراحی و شبیه‌سازی خواهید کرد. سپس یکی از ساختارهای متداول رجیسترها را پیاده‌سازی کرده و با قرار دادن مدار ترکیبی بین دو رجیستر، فرکانس کاری مدار را محاسبه خواهید کرد. در نهایت با پیاده‌سازی یک ساختار متداول Latch و قرار دادن مدار ترکیبی بین آرایه‌ای از Latchها، فرکانس کاری مدار را محاسبه کرده و ساختارهای ایجاد شده را با یکدیگر مقایسه خواهید کرد.

پیش از انجام تمرین به نکات زیر حتماً توجه نمایید:

- برای شبیه‌سازی مدارها از کتابخانه‌ی ‘mm018.l’ که در پیوست این تمرین قرار داده شده است استفاده نمایید.
- کمترین طول و عرض کانال ترانزیستور را به ترتیب $L_{min} = 180$ nm و $W_{min} = 220$ nm در نظر بگیرید.
- ولتاژ V_{dd} را برابر ۱.۸ ولت در نظر بگیرید.
- در کلیه‌ی شبیه‌سازی‌ها فرض کنید سیگنال کلاک در ۵۰٪ مواقع صفر و در ۵۰٪ مواقع یک است.
- در کلیه‌ی شبیه‌سازی‌ها فرض کنید ورودی اولیه‌ی مدارهای ترتیبی (ورودی رجیستر یا Latch سمت چپ مدار)، پیش از لبه‌ی بالارونده‌ی کلاک مشخص شده است.
- برای نوشتن گزارش فقط مواردی که با این رنگ مشخص شده‌اند را لحاظ کنید و از بیان مطالب اضافی خودداری نمایید. در گزارش خود هر بخش را به شکل جداگانه مشخص کرده و به هر سؤال جداگانه پاسخ دهید. بخش مهمی از نمره‌ی این تمرین به گزارش شما تعلق دارد؛ بنابراین توجه لازم را به آن داشته باشید.
- شبیه‌سازی‌های خود را با ایجاد پوشه‌های جداگانه برای هر بخش به شکل منظم و در کنار گزارش خود (که به فرمت PDF است) در قالب یک فایل zip در سامانه‌ی ایلرن بارگذاری نمایید.

بخش اول: طراحی مدار محاسباتی (۳۰ نمره)

ساختار زیر را در نظر بگیرید مقدار خازن C_L را 100 fF در نظر بگیرید.



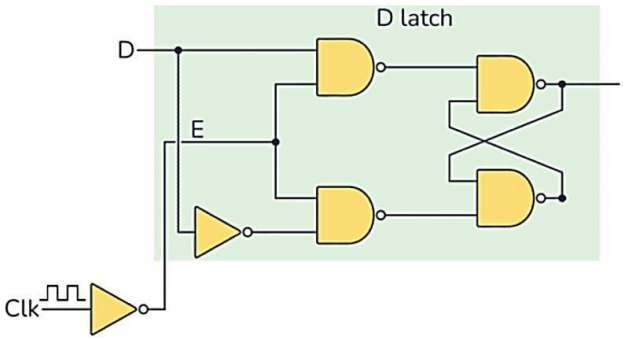
شکل ۱

۱- ساختار فوق را پیاده‌سازی کنید. برای پیاده‌سازی از زیرمدار (SUBCKT) استفاده نمایید. ابعاد ترانزیستورهای هر گیت را متناسب با عدد نوشته شده بر روی گیت در نظر بگیرید. ابتدا گیت‌ها را طراحی کنید، سپس ابعاد ترانزیستورها را به گونه‌ای تعیین کنید که قدرت جریان‌دهی شاخه‌های بالابر و پایین‌بر همانند معکوس‌کننده‌ی پایه باشد و پس از آن، ابعاد تمامی ترانزیستورهای هر گیت را در عدد نوشته شده روی گیت ضرب کنید. سایز هر ترانزیستور را در گزارش خود ذکر کنید.

۲- با اعمال ورودی‌های مختلف و شبیه‌سازی مدار، بدترین تأخیر مدار را اندازه‌گیری کنید. (برای اندازه‌گیری از دستور measure استفاده کنید). این تأخیر چقدر است و به ازای چه دنباله‌ای از ورودی‌ها اتفاق می‌افتد؟ نحوه‌ی به‌دست آوردن دنباله‌ی ورودی بحرانی را توضیح دهید و تصویر نمودار شبیه‌سازی را در گزارش خود بیاورید.

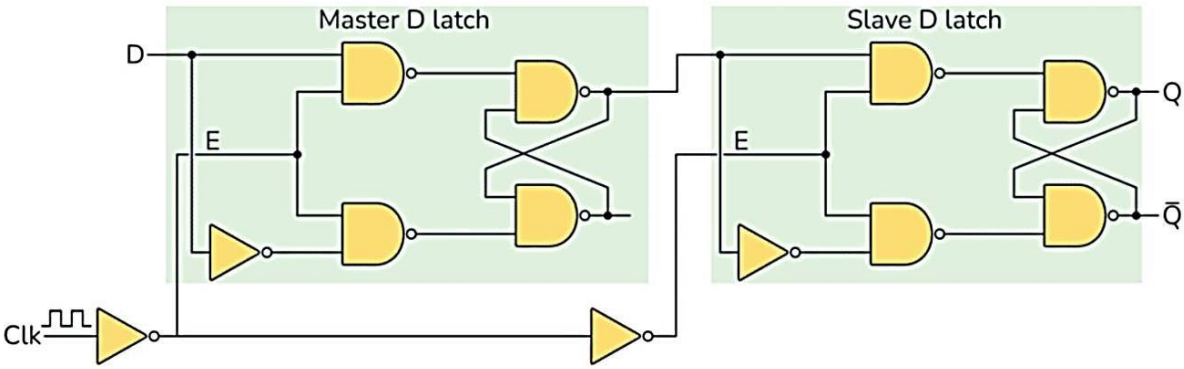
بخش دوم: طراحی رجیستر و قرار دادن مدار محاسباتی بین دو رجیستر (۴۰ نمره)

برای طراحی رجیستر، ابتدا ساختار زیر را که مربوط به یک D-Latch است، پیاده‌سازی کنید. ابعاد ترانزیستورهای هر گیت را طوری در نظر بگیرید که قدرت جریان‌دهی شاخه‌های بالابر و پایین‌بر هر گیت تقریباً برابر با معکوس‌کننده‌ی پایه باشند.



شکل ۲

سپس با قراردادن دو D-Latch در کنار هم به شکل زیر، یک Master-Slave D-Flip Flop را تشکیل دهید.



شکل ۳

۱- ساختار شکل ۳ به چه لبه‌ای از کلاک حساس است؟ چرا؟

۲- مدار شکل ۳ را پیاده‌سازی کرده و درستی عملکرد آن را بررسی کنید. نمونه‌ای از نمونه‌برداری درست را در گزارش کار خود ذکر کرده و تحلیل کنید.

۳- با استفاده از ساختار شکل ۳، مدار محاسباتی بخش یک را بین دو رجیستر قرار دهید.

۴- با شبیه‌سازی، مقادیر t_{setup}، t_{cq} و t_{hold} را به دست آورده و گزارش کنید. همچنین نحوه‌ی اندازه‌گیری این زمان‌ها را در گزارش خود توضیح دهید. بیشترین فرکانس کاری مدار را نیز بر اساس نتایج شبیه‌سازی به دست‌آورده (مدارمحاسباتی در میان دو رجیستر)، و اندازه‌گیری کنید.

۵- کمترین دوره‌ی تناوب مجاز سیگنال کلاک (بیشترین فرکانس کاری مدار) را به شکل تئوری (از روی روابط Max Delay Constraints) به‌دست آورید.

۶- آیا فرکانس‌های به دست‌آمده از دو بخش ۴ و ۵ با هم تفاوت دارند؟ در صورت وجود علت این تفاوت را توضیح دهید.

۷- با شبیه‌سازی سناریویی را طراحی کنید که با فرکانسی بیشتر از فرکانس کاری، نمونه‌برداری به طور اشتباه انجام شود. نمودار شبیه‌سازی را در گزارش خود بیاورید و علت نمونه‌برداری اشتباه را توضیح دهید.

بخش سوم: قراردادن مدار محاسباتی بین آرایه‌ای از Latch ها (۵۰ نمره)

برای طراحی Latch از ساختار D-Latch شکل ۲ استفاده کنید.

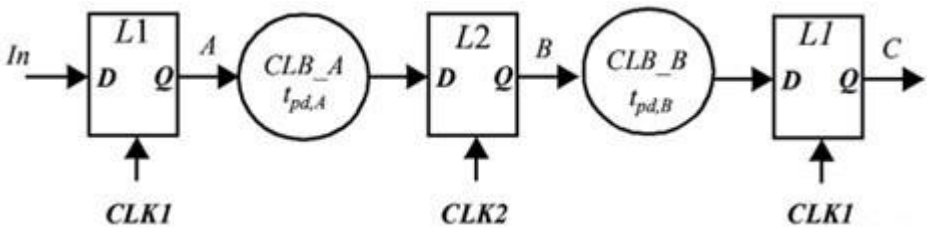
۱- ساختار شکل ۲ Positive Latch است یا Negative Latch ؟ برای داشتن Latch حساس به سطح مخالف ساختار شکل ۲، چه تغییری باید در مدار ایجاد شود؟

۲- ابتدا یک Positive Latch و یک Negative Latch را طراحی کنید. سپس با شبیه‌سازی هر یک از آنها، درستی عملکرد آنها را بررسی کنید. تصویر نمودارهای مربوطه را در گزارش خود آورده و در مورد نمونه‌برداری صحیح هر یک توضیح دهید.

۳- حال مدار محاسباتی را میان دو Latch قرار دهید. فرض کنید ورودی‌های Latch ابتدایی اندکی پیش از لبه‌ی بالارونده‌ی کلاک تعیین می‌شوند. برای آن که مدار بتواند بالاترین فرکانس کاری ممکن را داشته باشد، پیشنهاد می‌کنید چه نوع Latch هایی برای ورودی‌ها و خروجی مدار محاسباتی قرار داده شوند؟

۴- مدار قسمت قبل را شبیه‌سازی کنید. بیشترین فرکانس کاری مدار را اندازه‌گیری کرده و گزارش کنید. آیا در این حالت، time borrowing اتفاق می‌افتد؟ توضیح دهید.

حال ساختار زیر را در نظر بگیرید.



شکل ۴

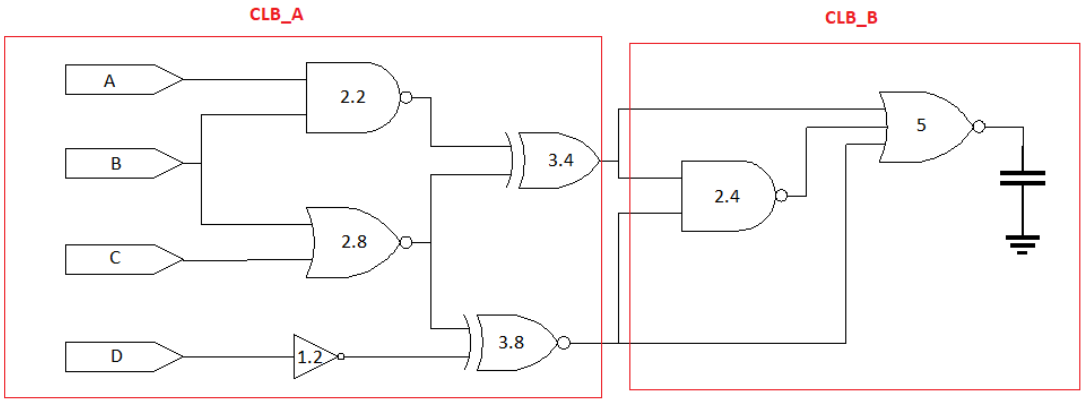
در این بخش با شکستن مدار شکل ۱ به بخش‌های مجزا، آن را بین سه Latch قرار می‌دهیم.

۱- مزیت این کار نسبت به حالت قبل (استفاده از دو رجیستر) چیست؟

۲- برای اینکه مدار کارکرد درستی داشته باشد، وضعیت CLK1 و CLK2 نسبت به یکدیگر باید چگونه باشد؟

۳- مدار شکل ۱ را همانند شکل ۵، به دو مدار مجزای CLB_A و CLB_B تبدیل کنید. سپس با شبیه‌سازی، بدترین تأخیر هر قسمت را به دست آورید. نمودارهای مربوط به بدترین تأخیر هر بخش را گزارش و تحلیل کنید.

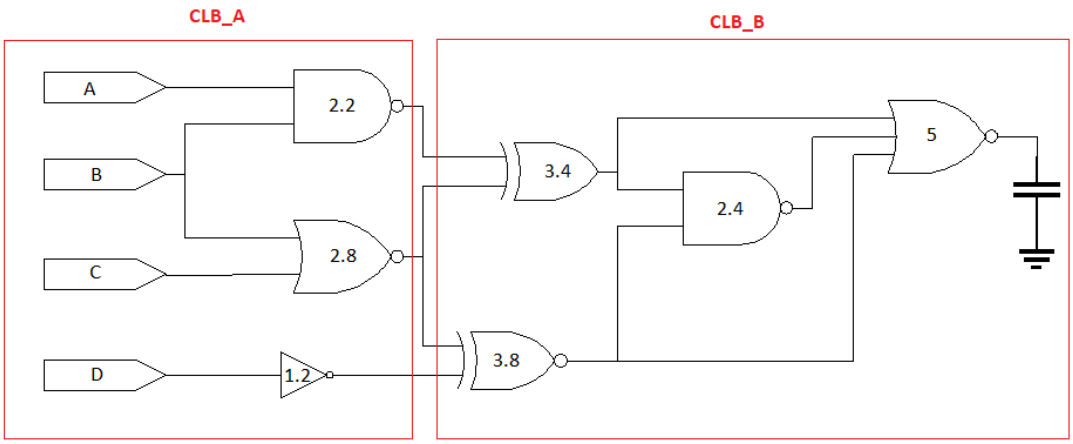
۴- حال مدار شکل ۴ را با توجه به شکل ۵ طراحی کنید. برای کلاک‌ها رابطه‌ی $CLK2 = CLK1$ را در نظر بگیرید و از گیت NOT برای تولید $CLK2$ استفاده کنید. مدار را شبیه‌سازی کرده و درستی عملکرد آن را بررسی کنید. آیا time borrowing اتفاق می‌افتد؟ در صورت وجود، آن را اندازه‌گیری کرده و به همراه شکل موج مربوطه گزارش کنید. همچنین گزارش کنید کدام بخش مدار در حال قرض گرفتن زمان می‌باشد.



شکل ۵

۵- با اعمال ورودی‌های مختلف به شبیه‌سازی قسمت ۴، بیشترین فرکانس کاری مدار را به‌دست آورید. این فرکانس نسبت به حالت‌های قبل (دو رجیستر یا دو Latch) چه تغییری کرده است؟ چرا؟ نمودار مربوط به اعمال ورودی‌ای که باعث بیشترین تأخیر در مدار (از زمانی که ورودی‌ها اعمال می‌شوند تا زمانی که خروجی نهایی تولید شود) می‌شود را گزارش کنید.

۶- مدار شکل ۵ را به صورت زیر تغییر دهید.



شکل ۶

بیشترین تأخیر هر بخش را اندازه‌گیری کرده و گزارش کنید (نیازی به گزارش نمودار مربوطه نیست). سپس بخش‌های ۴ و ۵ را برای مدار فوق تکرار کنید. (نیازی به گزارش نمودار اعمال ورودی برای بیشترین تأخیر نیست).