

Name: Mohammad Farrahi

UN: 810198451

In His Name

DLD

Report C12

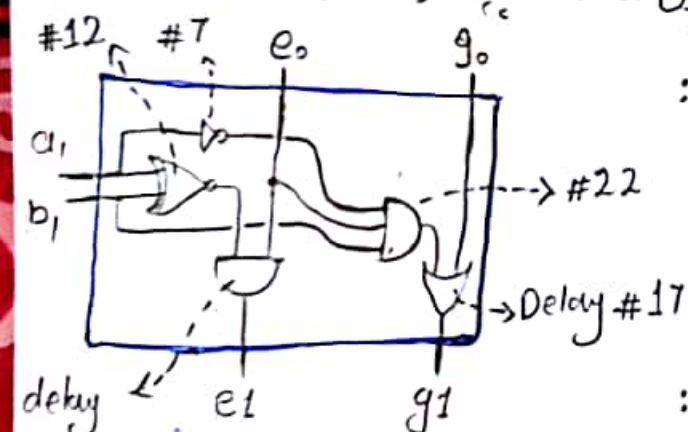
Teacher: Dr. Navabi

Subject: Paper Design

Date:

Q1: در این قسمت، در مازول جدید، برای هر یک از statement ها، از دلی to 0 است. آنگاه در گیت های پروژه قبل استفاده کردیم و با استفاده از یک گیت پنج کارایی آن را چک کردیم

Q2: در این قسمت، همانند دستورالعمل داده شده، از statement generate برای cascade کردن BCS و مشخصات 1 قسمت 1. استفاده کردیم و باید گیت پنج، کارایی و تأخیرهای مدار را مورد بررسی قرار داریم. مشاهده شد هر چه آن بیسی که در ورودی تغییر کند سمت چپ تر باشد (دارای ارزش معانی بیشتر باشد)، تأخیری که در خروجی ایجاد خواهد کرد نیز بیشتر خواهد بود:



aa: 1111 1110  
bb: 1111 1110

به ازای تغییر ورودی:

خروجی از  $10 = \{EE, GG\}$  به 01 تغییر کند با تأخیر:

$$EE: 12 + 17 + 17 = 46^{NS} (1 \rightarrow 0)$$

$$GG: 7 + 22 + 17 + 17 = 63 (0 \rightarrow 1)$$

XNOR BCS1 AND BCS1 AND BCS0

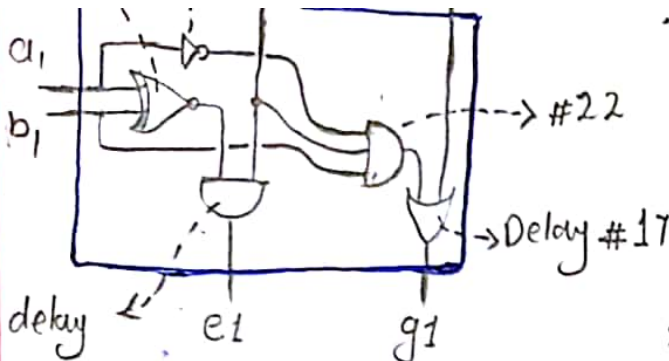
NOT BCS1 3in AND BCS1 OR BCS1 OR BCS0

aa: 1000 0000 → 0000 0000 bb: 1000 0000 → 1000 0000

دلی به ازای تغییر ورودی:

NS

باید، تا خنثی نه از خروجی ایاد خواست تردید بر سر خواست بود.



به ازای تغییر ورودی :

aa: 1111 1110  
bb: 1111 1110

خروجی از {EE, GG} = 10 به 01 تغییر کند با تأخیر:

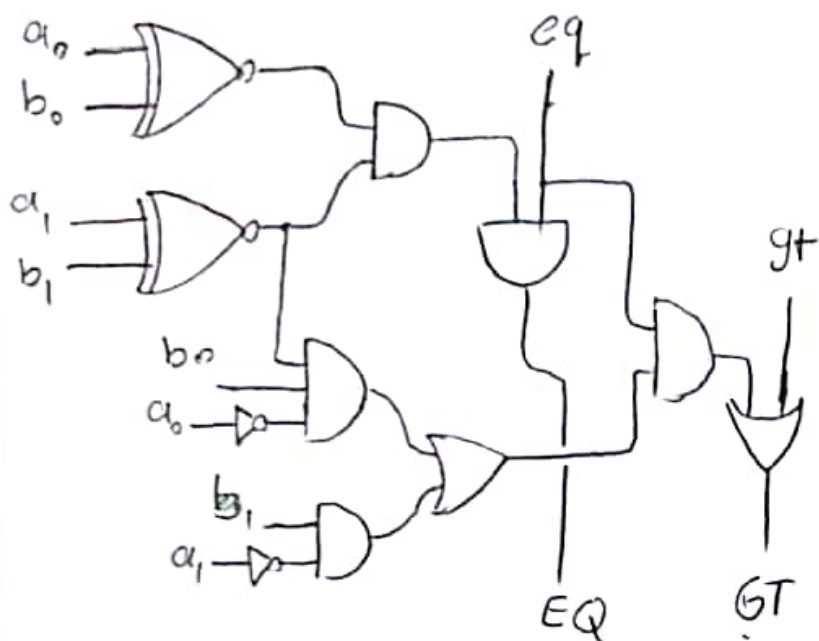
BCS block  
 $EE: 12 + 17 + 17 = 46^{NS} (1 \rightarrow 0)$   
 $GG: 7 + 22 + 17 + 17 = 63^{NS} (0 \rightarrow 1)$   
 NOT BCS1  
 3in AND BCS1  
 OR BCS1  
 OR BCS0  
 XNOR BCS1  
 AND BCS1  
 AND BCS0

aa: 1000 0000 → 0000 0000    bb: 1000 0000 → 1000 0000  
 دلی به ازای تغییر ورودی :

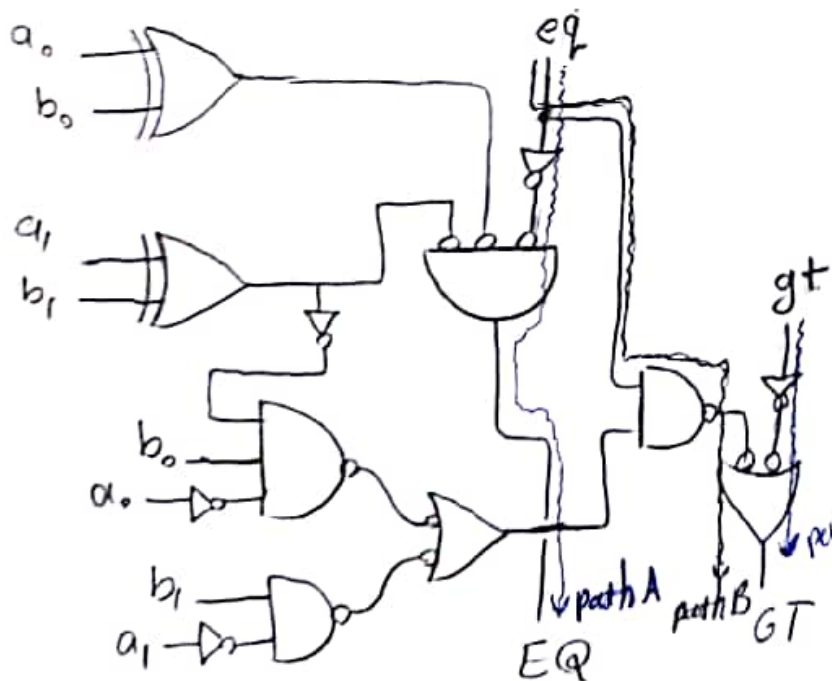
⇒  $EE: 12 + 8 \times 17 = 148^{NS} (1 \rightarrow 0)$      $GG: 7 + 22 + 8 \times 17 = 165^{NS} (0 \rightarrow 1)$   
 XNOR BCS7    AND delay of 8 BCS blocks    NOT and 3in AND BCS7    OR delay of 8 BCS blocks

aa: 0000 0000 → 0000 0000    bb: 1000 0000 → 0000 0000  
 ⇒  $EE: 148^{NS} (0 \rightarrow 1)$  and  $GG: 156^{NS} (1 \rightarrow 0)$   
 به ازای تغییر ورودی :

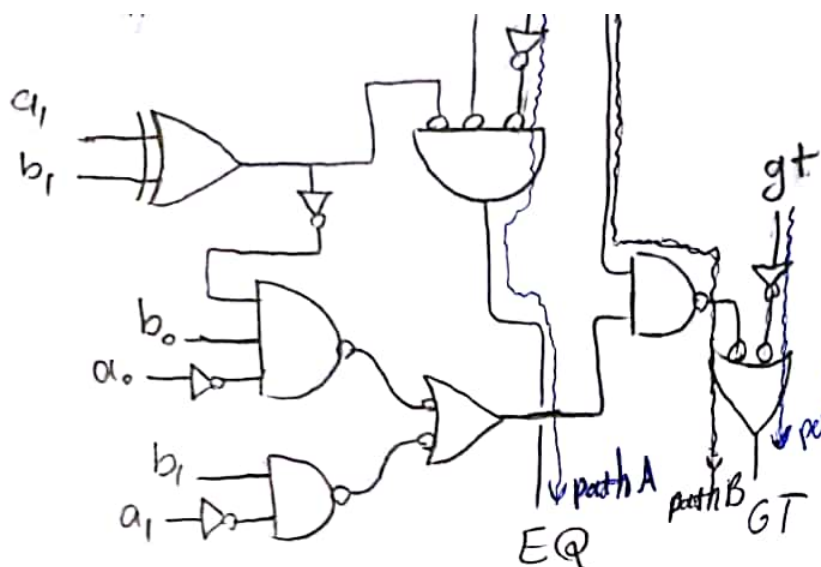
Q43: TCS : early design:



we try to reduce number of transistors and delay of gates  $\Rightarrow$  final design:



در طراحی اولیه سعی شد منطق دیجیتال ساده و درستی پیاده سازی شود. برای اینکه EQ یک باشد باید بیت های قبلی رو عدد با هم برابر باشند (یک باشد) و همچنین  $a_1$  با  $b_1$  و  $a_0$  با  $b_0$  برابر باشند در نتیجه XNOR  $a_1$  و  $b_1$  را با  $a_0$  و  $b_0$  AND کرده و نتیجه را با EQ AND می کنیم. برای یک شدن GT باید نتیجه اش از قبل مشخص باشد (GT 1 باشد) یا  $\overline{a_1} a_0 > \overline{b_1} b_0$



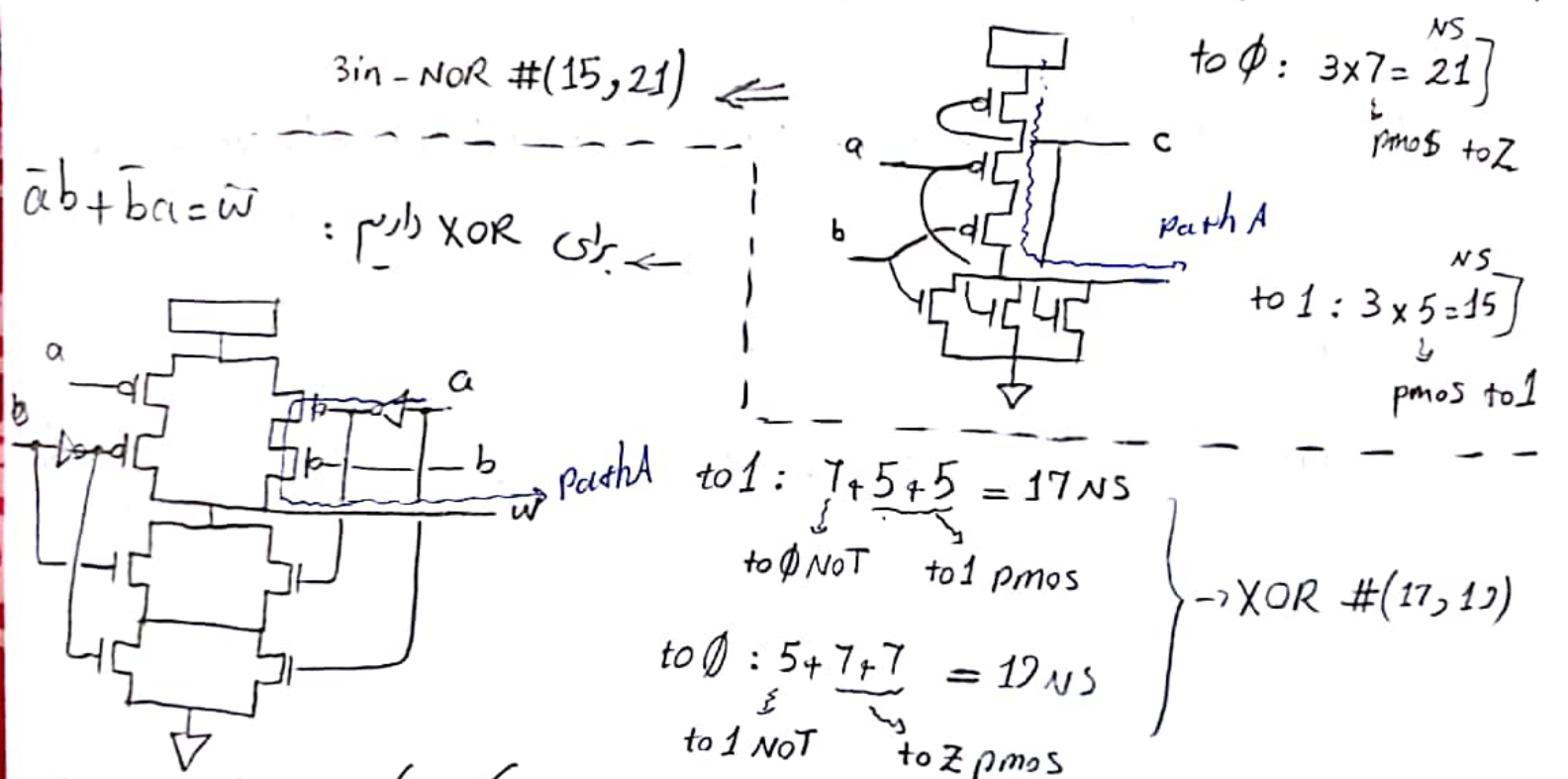
در بررسی پیاده سازی شود. برای اینکه EQ یک باشد باید بیت های قبلی (و عدد با هم برابر باشند) (eq، یک باشد) و همچنین  $a_1$  با  $b_1$  و  $a_0$  با  $b_0$  برابر باشند در نتیجه  $a_1$  XOR  $b_1$  و  $a_0$  XOR  $b_0$  AND کرده و نتیجه را با eq AND می کنیم. برای یک شدن آف، باید نتیجه اش از قبل مشخص باشد ( $gt=1$  باشد) یا  $a_1 a_0 > b_1 b_0$  و بیت های قبلی در عدد، با هم برابر باشند. (یعنی  $eq=1$ ) چون اگر برابر

نباشند، چون  $gt$  هم 1 نیست پس می توان نتیجه گرفت که مقایسه  $a_1 a_0$  و  $b_1 b_0$  بی فایده است) برای انجام  $\{a_1, a_0\} > \{b_1, b_0\}$  یا  $a_1 = b_1$  و  $a_0 > b_0$  که در نتیجه پیاده سازی این عبارات گفته شده به مدار ابتدایی رسیدیم. حال در مدار نهایی، سعی شده با ad-hoc method، delay و cost کم شود. حال معادله delay مدار: با توجه به تأخیرهای بدست آمده (از پدیده اول و دلی بودن مدارهای delay های ترانزیستورها در این پدیده و پدیده اول، برای delay خرجی نیست های مدار final داریم: (صفحه بعد)

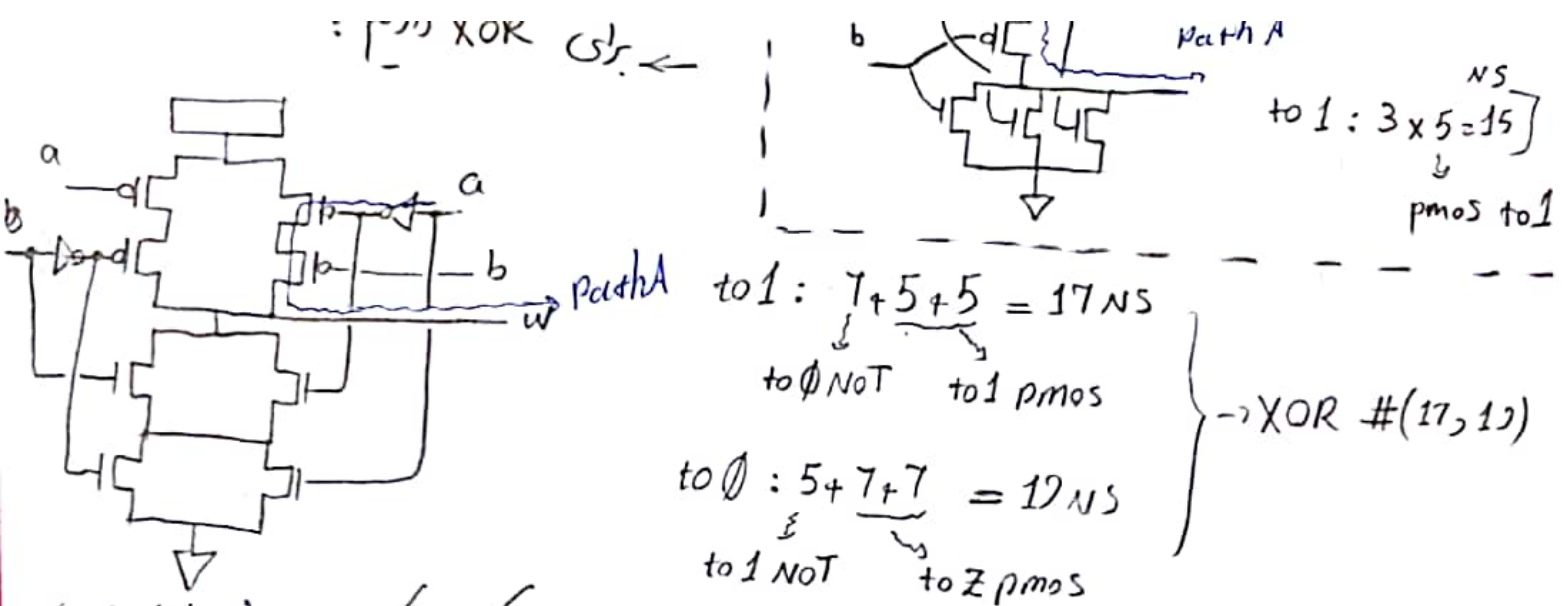
(که به صوت (سی)، به دست آمده اند نه با تست اینج)



NOT #(5,7) / 2 input-NAND #(10,8) / ~~2 in AND #(13,12)~~ / (ارائه توابع کس ۳)  
~~2 in OR #(19,17)~~ / 3 in-NAND #(15,12) / { nmos #(3,4,5)  
 pmos #(5,6,7) } : برای 3in-NOR داریم



برای معادله دلی مدار: چون در system verify assignment استفاده می کنیم از یک مقدار (to 0 delay)  
 دلی گیت ها استفاده می کنیم ۱۲ دلی حاصل ورودی های  $g+$  و  $eq$  و دلی خروجی ها (EQ و GT) برای  
 می کنیم چون در موقع cascade کردن delay حاصل از این دو ورودی بیشتر چشم می آید. در مدار اصلی  
 path A:  $7 + 21 = 28$  NS → EQ delay caused by eq ①  
 داریم:



برای معاینه دلی مدار: چون در systemverilog assignment استفاده می کنند از یک مقدار (to 0 delay) برای کیت ها استفاده می کنند ۲ دلی حاصل ورودی های  $eq$  و  $gt$  دلی خروجی ها (EQ و GT) برای می کنند چون در موقع cascade کردن، delay حاصل از این دو ورودی بیشتر چشم می آید. (در مدار اصلی داریم)

Path A:  $7 + 21 = 28 \text{ NS} \rightarrow \text{EQ delay caused by } eq \text{ (I)}$

to 0 delay: NOT 3in-NOR

Path B:  $8 + 8 = 16 \text{ NS} \rightarrow \text{GT delay caused by } eq \text{ (II)}$

to 0 delay: NOT 2in-NAND

to 0 delay: 2in-NAND

Path C:  $7 + 8 = 15 \text{ NS} \rightarrow \text{GT delay caused by } gt \text{ (III)}$

EQ GT delay 28 16

Q4: در این قسمت با توجه به اطلاعات دست آمده از نت پنیج:

EQ:  $\begin{cases} \text{to } 0 = 124 \text{ NS} \\ \text{to } 1 = 124 \text{ NS} \end{cases} \text{ worst case}$

GT:  $\begin{cases} \text{to } 0 = \cancel{88} \text{ NS} \\ \text{to } 1 = \cancel{88} \text{ NS} \end{cases} \text{ both } 88 \text{ NS}$

Q5: در این قسمت، یک تست بنج برای مقایسه عملکرد و timing دو مدار نوشته شد. مشاهده شد که ورودی در عملکرد یکسانی اند (هر دو یک خروجی را می دهند). از نظر timing، با توجه به تأخیرهای بیت اکده، مشاهده شد که در بیت های سمت راست (بیت های دارای ارزش مکانی کمتری) مدار اول (BCS) با تأخیر کمتری عمل می کند و بهینه تر است. برای مثال:

$a: 1111\ 1111 \rightarrow 1111\ 1110$      $b: 1111\ 1110 \rightarrow 1111\ 1110 \Rightarrow$

EQ1:  $0 \rightarrow 1$ : delay: 29 NS    EQ2:  $0 \rightarrow 1$ : delay 40 NS

ولی تفسیر در بیت های سمت چپ صورت نگیرد، مدار ۲ (TCS) کار را در عمل می کند. (دارای تأخیر کمتری است). همچنین مداری که از ۴ بلوک TCS به دست آید دارای  $4 \times 62 = 248$  ترانزیستور است ولی مداری که از ۸ بلوک BCS به دست آید دارای  $8 \times 34 = 272$  ترانزیستور است. (طبیعی سوال ۲) (طبیعی سوال ۲)

پس در مجموع استفاده از مدار دوم بهتر است. مگر اینکه با داده های بیکی کوچک سروکار داشته باشیم.