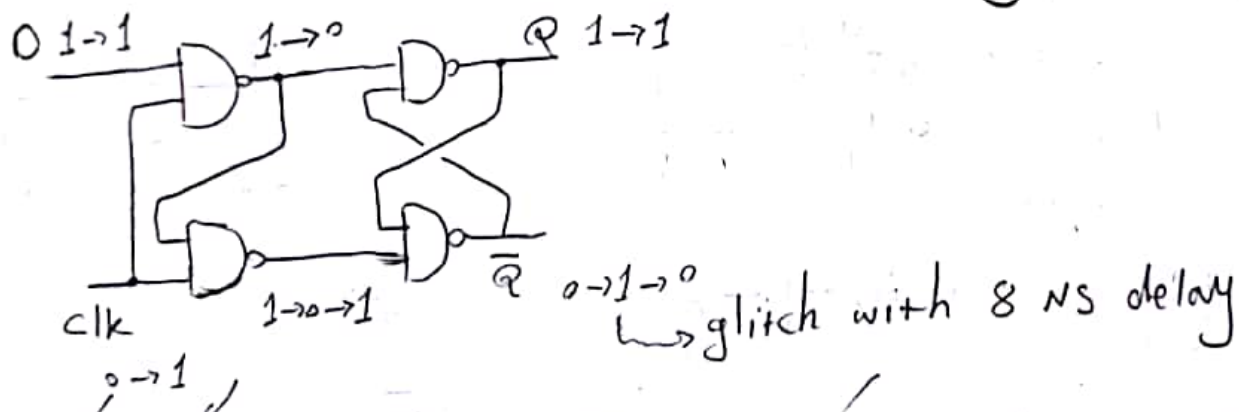


NAND 2 input delay : $2 \times 4 = 8^{ns} \Rightarrow$ NAND 3 input delay : $2, 1 \text{ Q}$
 $\downarrow \quad \downarrow$
 2 seri nmos nmos delay $\therefore 3 \times 4 = 12^{ns}$

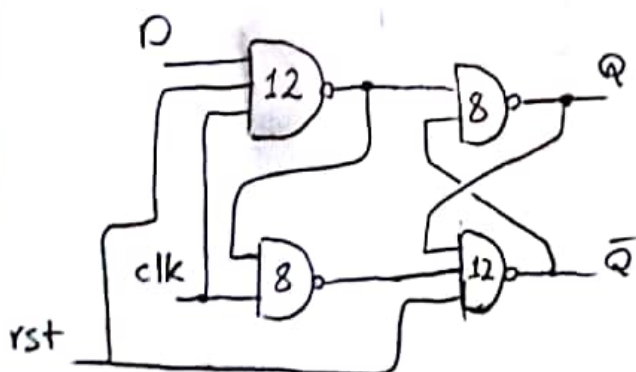
پس برای delay برای nand های ورودی را $\#(8,8)$ ، nand های سه ورودی را $\#(12,12)$ می دهیم (سه ورودی نه سوال ۴ بگاری کنید)

3 Q : پس حدس واجب تست بنج به ادنوع glitch ممکن است برخوریم : زمانی که D و Q هم مقدار هستند و $clk = 0$ است ، وقتی $clk = 1$ تغییر قطعیتی دهد ، ممکن است روی Q یا \bar{Q} hazard رخ دهد . با توجه به تست بنج :



glitch ها های نوع دوم بخاطر رعایت نکردن T setup و T hold هستند . اگر در نزدیکی های فعال شدن clk ($clk \rightarrow 1$) مقدار D را تغییر دهیم ممکن است glitch های ناخواسته و dynamic برخوریم .

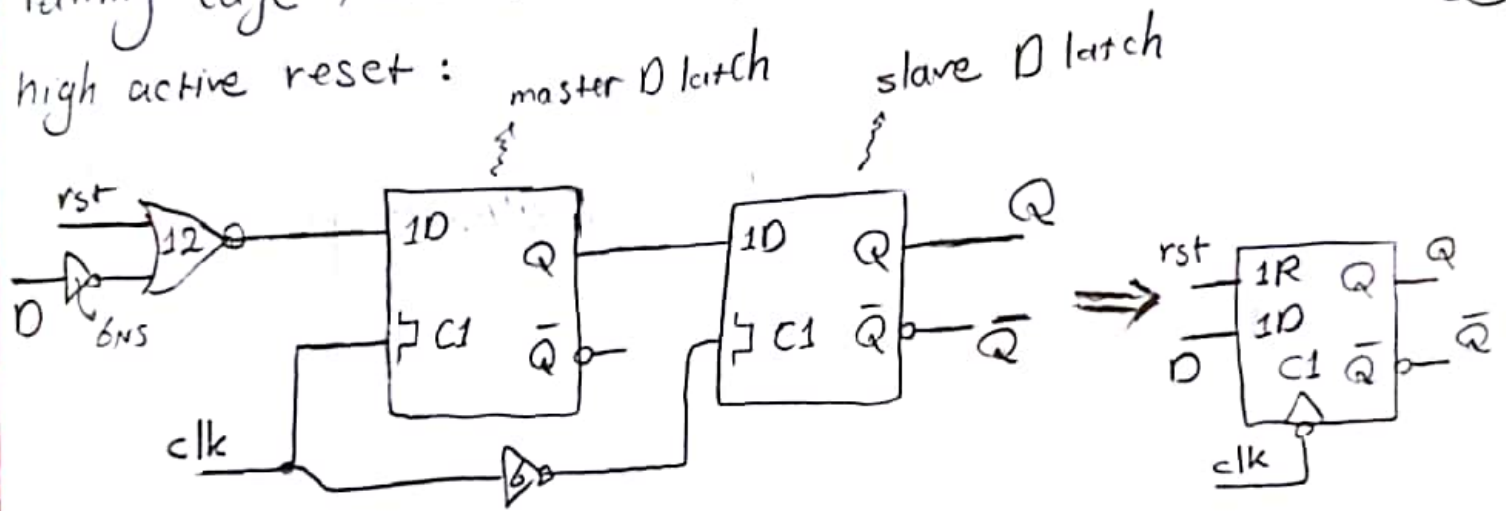
clocked D-latch with asynchronous active low reset :



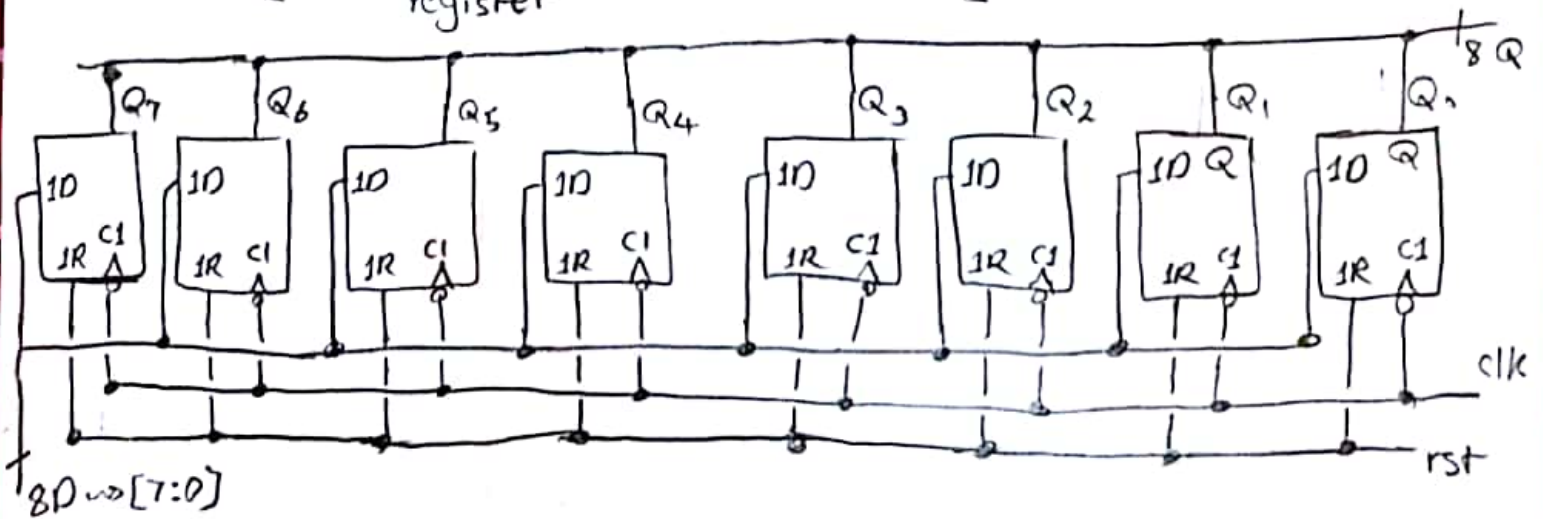
4 Q : همان طور که در سوال 1, 2 بیان شد ، 3 input nand دارای 12^{ns} دلی هستند .

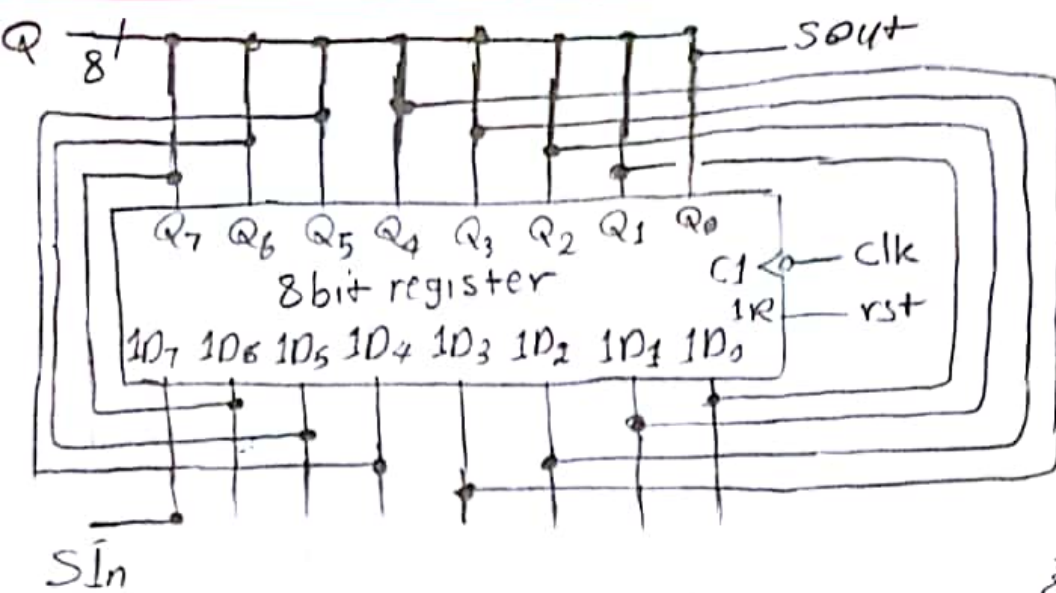
Q 5, 6: علت ایند shift register، با D latch کار می کند، این است که D latch،
 level triggered است. برای همین، برای تمام شدنی که clk، فعال است (high)،
 تمام D latch های shift register فعال هستند برای همین در یک clock cycle بیش از یکبار،
 عملیات shifting داریم. در صورتی که در هر clocking، باید یک shifting داشته باشیم.

Q 7: Falling edge Master-slave D flip-flop with synchronous high active reset:



Q 8: ایند 8 bit register می سازیم و سپس با استفاده از آن یک shifting register می سازیم





ارائه 8 بیت : b

inputs : S_{in} , clk , rst { outputs : $Q[7:0]$, S_{out}

parallel output

serial output

9: برای بخش دلی این قسمت، چون در Master slave، زمان edge trigger لازم هر آنچه ای
 ورودی slave D latch باشد روی خروجی آن (یعنی خروجی اصلی FF) تریتری سیر، دلیخ D latch هم
 صالنه 32^{ns} است (داری FNAND، هر کدام دارای دلی 8 $\Rightarrow 4 \times 8 = 32ns$)، پس delay آن را در وقت
 always، 32^{ns} در تقرصی لیدیم. همچنین فرضی نسیم فر استفاده کنده از این design،
 رعایت کردن Tsetup، Thold (edge triggering) را در تقرصی باشد.

behavioral

10: فرق مدل behavioral، structural این است که در دلی ثابت برای تمام حالت های رخ دادن
 event ای ورودی، در تقرصی نسبت به structural که چون در سطح پایین تر پیاپی شده، برای حالت های
 مختلف دلی های مختلفی دارد، دلی ثابت و سیری دارد (در الگوارقات).