



## معرفی درس

### اصول سیستمهای کامپیوتری

#### جلسه دوم: جبر بول (Boolean Algebra)

• فهرست مطالب:

- عملوندهای جبر بول
- توابع بول
- پیاده سازی یک تابع بول با دروازه های منطقی
- دوگان یک تابع
- جدول کارنو
- حالات بدون تفاوت (Don't Care)

این جلسه مطابق با بخش ۱-۳ و ۱-۴ از کتاب مانو است

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## جبر بول

### • جبر بول (Boolean Algebra)

در جبر بول هر متغیر فقط دو مقدار درست (TRUE) یا غلط (FALSE) را دارد.  
مقدار درست را با یک و مقدار غلط را با صفر نشان می دهند

### • عملگرهای اصلی جبر بول (Boolean Operators)

سه عملگر اصلی جبر بول عبارتند از:

AND

OR

NOT

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



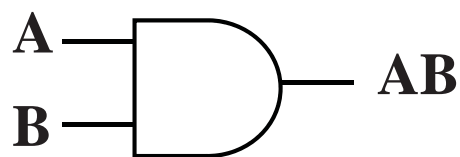
## AND

### • عملگر "و" (AND)

خروجی تابع "و" مقدار درست دارد اگر هر دو عملوند آن درست باشند

A	B	AB
0	0	0
0	1	0
1	0	0
1	1	1

شکل دروازه منطقی AND (AND gate)



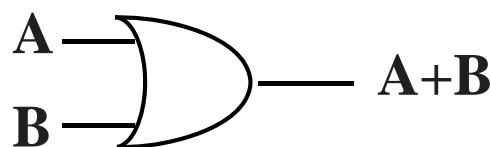
## OR

### • عملگر "یا" (OR)

خروجی تابع "یا" مقدار درست دارد اگر حداقل یکی از دو عملوند آن درست باشند

A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

شکل دروازه منطقی OR (OR Gate)





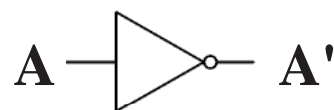
# NOT

## • عملگر "مکمل" (NOT)

خروجی تابع "مکمل" معکوس ورودی آن می باشد

A	A'
0	1
1	0

شکل دروازه (منطقی NOT Gate NOT)



# تابع بول (Boolean Function)

## • تابع بول

یک تابع بول با استفاده از متغیرها و عملگرهای منطقی و پرانتز نوشته می شود  
مثال:

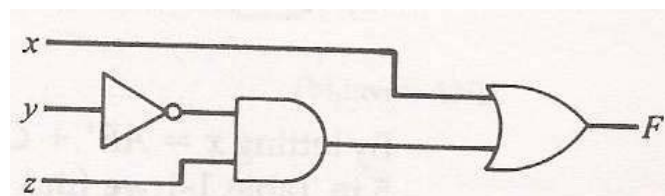
$$F = x + y' z$$

تابع  $F$  برابر ۱ است اگر  $x$  مقدار ۱ داشته باشد یا  $y$  برابر صفر و  $z$  برابر یک باشد

نمایش تابع با جدول درستی

$x$	$y$	$z$	$F$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

نمایش تابع با دروازه های منطقی





## اتحادهای اصلی جبر بول

$$(1) x + 0 = x$$

$$(3) x + 1 = 1$$

$$(5) x + x = x$$

$$(7) x + x' = 1$$

$$(9) x + y = y + x$$

$$(11) x + (y + z) = (x + y) + z$$

$$(13) x(y + z) = xy + xz$$

$$(15) (x + y)' = x'y'$$

$$(17) (x')' = x$$

$$(2) x \cdot 0 = 0$$

$$(4) x \cdot 1 = x$$

$$(6) x \cdot x = x$$

$$(8) x \cdot x' = 0$$

$$(10) xy = yx$$

$$(12) x(yz) = (xy)z$$

$$(14) x + yz = (x + y)(x + z)$$

$$(16) (xy)' = x' + y'$$



## دوگان یک تابع (Duality)

اگر در یک تابع تمام AND ها به OR

تمام OR ها به AND

تمام یک ها به صفر

و تمام صفر ها به یک

تبدیل شوند، دوگان آن تابع به دست می آید

اگر یک تابع درست باشد، دوگان آن نیز درست است

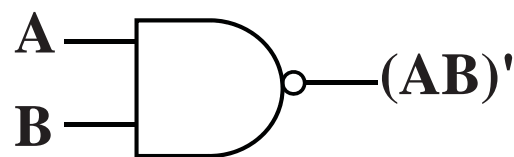


## NAND

اگر خروجی دروازه AND مکمل شود، دروازه NAND بدست می آید  
مزیت NAND این است که تمام مدارات منطقی را می توان با NAND ساخت

A	B	$(AB)'$
0	0	1
0	1	1
1	0	1
1	1	0

شکل دروازه منطقی NAND (NAND gate)

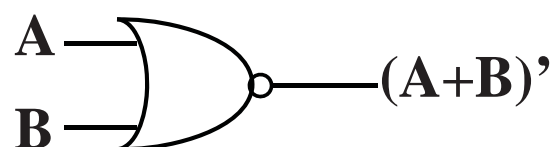


## NOR

اگر خروجی دروازه OR مکمل شود، دروازه NOR بدست می آید  
مزیت NOR این است که تمام مدارات منطقی را می توان با NOR ساخت

A	B	$(A+B)'$
0	0	1
0	1	0
1	0	0
1	1	0

شکل دروازه منطقی NOR (NOR gate)





## ساده سازی عبارات بول

برای ساده سازی عبارات جبر بول از جدول کارنو (Karnaugh Map) استفاده می شود

در جدول کارنو هر خانه معادل یک مینترم می باشد  
هر سطر جدول درستی یا به عبارت دیگر هر ترکیب متغیرها را یک مینترم می نامند  
در جدول کارنو، هر خانه با خانه همسایه آن در مکمل بودن یک متغیر اختلاف دارد



## جدول کارنو ۲ متغیره

2-variable  
Karnaugh map

A \ B	0	1	
	0	1	
0	0	1	$\bar{A}$
1	2	3	A
			$\bar{B}$ B

3-variable  
Karnaugh map

A \ BC	$\bar{C}$	C	$\bar{C}$	
	00	01	11	10
0	0	1	3	2
1	4	5	7	6
	$\bar{B}$		B	

4-variable  
Karnaugh map

AB \ CD	$\bar{D}$	D	$\bar{D}$	D	
	00	01	11	10	
$\bar{A}$	0	1	3	2	$\bar{B}$
01	4	5	7	6	B
11	12	13	15	14	$\bar{B}$
10	8	9	11	10	B
					$\bar{C}$ C



## مثال: جدول کارنو ۲ متغیره

2-variable  
Karnaugh map

A \ B	0	1
0	0	0
1	0	1

$$F = AB$$



## مثال: جدول کارنو ۳ متغیره

3-variable  
Karnaugh map

A \ BC	00	01	11	10
0	0	1	1	0
1	0	1	1	1

$$F = AB + C$$



## مثال: جدول کارنو ۴ متغیره

4-variable  
Karnaugh map

CD \ AB	CD			
	00	01	11	10
00	0	1	0	0
01	0	1	0	0
11	1	1	1	1
10	0	1	0	0

$$F = AB + \bar{C}D$$

16



## مثال: جدول کارنو ۴ متغیره

$$F(A, B, C, D) = \Sigma (0, 2, 3, 4, 6, 8, 10, 11, 12, 14)$$

$F = D' + B'C$

CD \ AB	CD			
	00	01	11	10
00	1		1	1
01	1			1
11	1			1
10	1		1	1

Annotations:  $\bar{B}C$  (pointing to the top-right 2x2 block) and  $\bar{D}$  (pointing to the bottom row).

17





## حاصل ضرب حاصل جمع‌ها (POS)

می‌توان یک تابع جبر بول را به صورت حاصل ضرب حاصل جمع‌ها نوشت

$$\text{POS} = \text{Product Of Sum}$$

در این حالت در جدول کارنو، صفرها ترکیب می‌شوند



## مثال برای حاصل ضرب حاصل جمع‌ها (POS)

$$F(A, B, C) = \Sigma (0, 1, 4, 6, 7) \\ = \Pi(2, 3, 5)$$

$$F = (A + B') (A' + B + C')$$

A \ BC	BC			
	00	01	11	10
0	1	1	0	0
1	1	0	1	1



## حالات بدون تفاوت

- حالات بدون تفاوت (Don't Care) حالاتی است که در آن حالت، یک یا صفر بودن خروجی مدار اهمیت ندارد یا اینکه آن حالت، احتمال وقوع ندارد
- حالات بدون اهمیت را با X در جدول کارنو نمایش می دهیم



## مثال - حالات بدون تفاوت

$$F(A, B, C, D) = \sum m(2, 3, 4, 6, 11, 12) + d(10, 13, 14)$$

AB \ CD	CD			
	00	01	11	10
00	0	0	1	1
01	1	0	0	1
11	1	X	0	X
10	0	0	1	X

$$F = \overline{B}\overline{D} + \overline{B}C$$



## خودآزمایی

۱- کنکور کارشناسی ارشد - ۱۳۷۹

۹- برای تابع بولی ۵ متغیره زیر ساده‌ترین صورت حاصل جمع حاصلضربها کدام است؟

$$F(A, B, C, D, E) = \sum(0, 3, 8, 14, 15, 16, 18, 24, 26, 27, 29) \text{ و } d(6, 7, 9, 19, 22)$$

$$\bar{A}CD + \bar{C}DE + \bar{B}CD + \bar{A}BDE + ABCDE \quad (۲)$$

$$\bar{C}DE + \bar{A}BC + \bar{A}BCE + ABCDE \quad (۱)$$

$$\bar{A}CD + \bar{A}\bar{C} + \bar{A}BCE + ABCDE + \bar{C}DE \quad (۴)$$

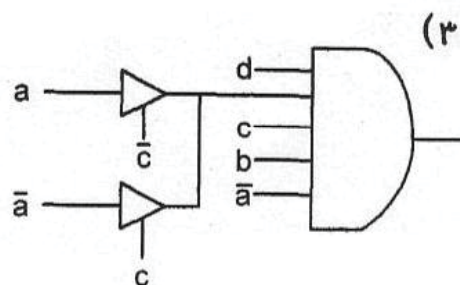
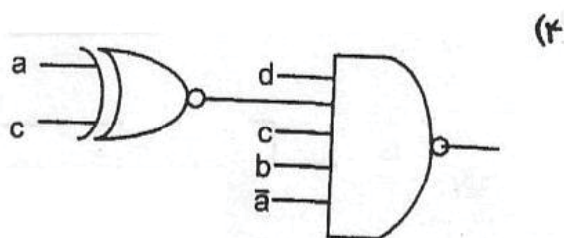
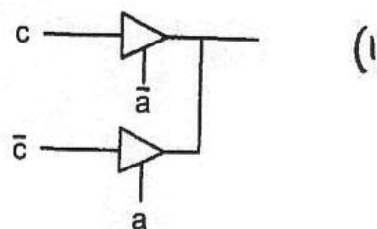
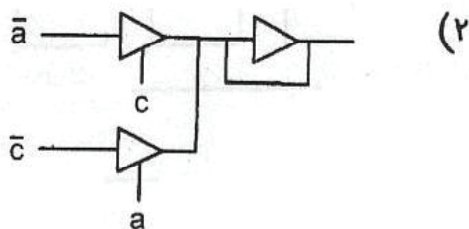
$$\bar{A}CD + \bar{C}DE + \bar{A}CD + \bar{A}BCE + ABCDE \quad (۳)$$



## خودآزمایی

۲- کنکور کارشناسی ارشد - ۱۳۸۰

۱۲- کدامیک از مدارهای زیر، تابع  $(a \oplus c) + \bar{a}bcd$  را پیاده‌سازی می‌نماید؟





## خودآزمایی

۳- کنکور کارشناسی ارشد - ۱۳۸۵

- در SOP داده شده زیر کدام Product Term ها حتماً می بایست در حل مدار شامل شود؟ ( Essential Prime Implicant هستند)

$$W(a,b,c,d) = \sum m(4,6,7,8,9,11,14,15)$$

- 1)  $bc, ab^{\bar{}}d, ab^{\bar{}}d^{\bar{}}$
- 2)  $bc, ab^{\bar{}}c^{\bar{}}, acd$
- 3)  $bc, ab^{\bar{}}c^{\bar{}}, a^{\bar{}}bd^{\bar{}}$
- 4)  $bc, ab^{\bar{}}c^{\bar{}}, ab^{\bar{}}d^{\bar{}}, ab^{\bar{}}d$

۶۳- در SOP داده شده زیر کدام Product Term ها حتماً می بایست در حل مدار شامل شود؟

$$W(a,b,c,d) = \sum m(4,6,7,8,9,11,14,15)$$

(۱)  $bc, ab^{\bar{}}d, ab^{\bar{}}d^{\bar{}}$  (۲)  $bc, ab^{\bar{}}c^{\bar{}}, acd$  (۳)  $bc, ab^{\bar{}}c^{\bar{}}, a^{\bar{}}bd^{\bar{}}$  (۴)  $bc, ab^{\bar{}}c^{\bar{}}, ab^{\bar{}}d^{\bar{}}, ab^{\bar{}}d$

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## خودآزمایی

۴- کنکور کارشناسی ارشد - ۱۳۸۵

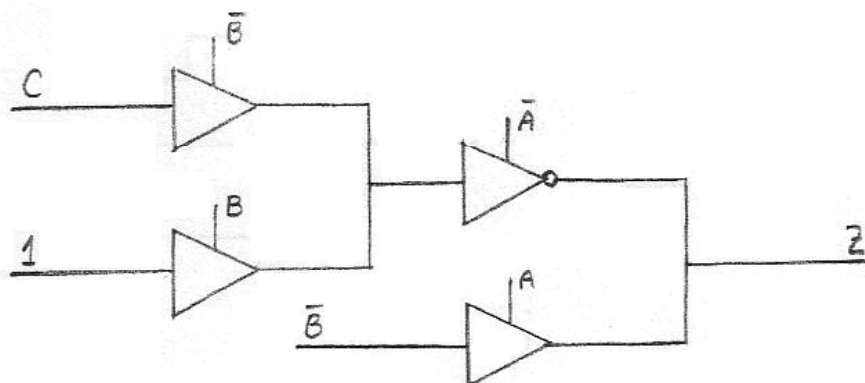
۶۴- کدام گزینه تابع خروجی مدار شکل مقابل را نمایش می دهد؟

(۱)  $z = 1$

(۲)  $z = A + \bar{B}\bar{C}$

(۳)  $z = \bar{A}B + BC$

(۴)  $z = A\bar{B} + \bar{B}\bar{C}$



دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



# معرفی درس

## اصول سیستمهای کامپیوتری

### جلسه سوم: مدارات ترکیبی (Combinational Logic)

فهرست مطالب:

- تعریف مدارات ترکیبی
- نیم جمع کننده (Half Adder)
- تمام جمع کننده (Full Adder)
- کد گشا (Encoder)
- کد گذار (Decoder)
- مالتی پلکسر (Multiplexer)

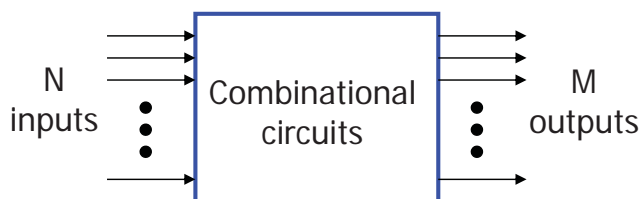
این جلسه مطابق با بخش های ۱-۵ و ۲-۲ و ۳-۲ از کتاب مانو است

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



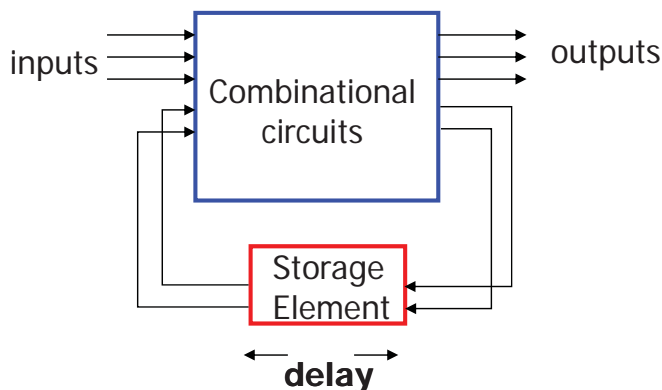
## دسته بندی مدارات منطقی

### مدارات ترکیبی (Combinational Logic)



در مدارات ترکیبی، خروجی در هر لحظه فقط تابع ورودی در همان لحظه می باشد به عبارت دیگر سیستم حافظه ندارد

### مدارات ترتیبی (Sequential Logic)



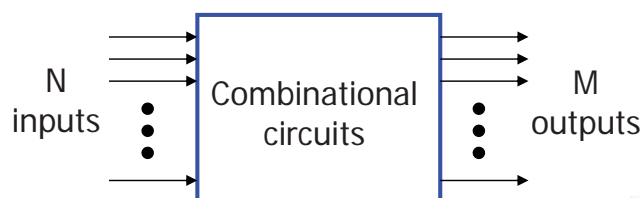
در مدارات ترتیبی، خروجی علاوه بر ورودی در همان لحظه به ورودیهای قبلی نیز وابسته می باشد یعنی سیستم دارای حافظه است و وضعیت سیستم حفظ می شود

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## مدارات ترکیبی

یک مدار ترکیبی با تعدادی دروازه منطقی ساخته شده و تعدادی ورودی و تعدادی خروجی دارد هر کدام از خروجی‌ها را می‌توان توسط یک رابطه جبر بول بر اساس ورودی‌ها نوشت همچنین می‌توان عملکرد یک مدار ترکیبی را با جدول درستی نشان داد



دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

4



## مراحل طراحی یک مدار ترکیبی

• طراحی شامل مراحل زیر است:

- ۱- تعریف دقیق مساله
- ۲- مشخص کردن تعداد ورودی‌ها و خروجی‌ها
- ۳- نام گذاری ورودی‌ها و خروجی‌ها (معمولا با استفاده از حروف)
- ۴- بدست آوردن جدول درستی مدار
- ۵- ساده کردن تابع مربوط به هر خروجی
- ۶- رسم مدار

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

5



## اهداف طراحی

• در طراحی موارد زیر مورد نظر است

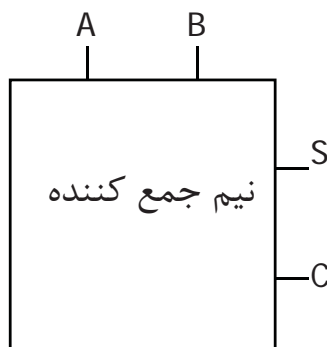
- ۱- استفاده از حداقل سخت افزار (حداقل مدار مجتمع)
- ۲ - حداقل زمان تاخیر در مدار
- ۳ - حداقل اتصالات



## نیم جمع کننده (Half Adder)

• نیم جمع کننده

مدار ترکیبی که جمع دو بیت را انجام می دهد  
A و B ورودی های مدار و S حاصل جمع و C بیت نقلی می باشد

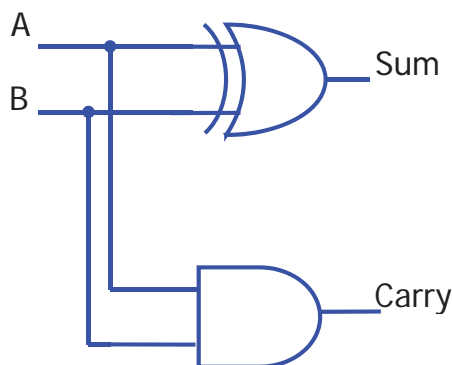


A	B	C (Carry)	S (Sum)
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



## نیم جمع کننده (Half Adder)

A	B	C (Carry)	S (Sum)
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



$$S = \overline{A}B + A\overline{B} = A \oplus B$$

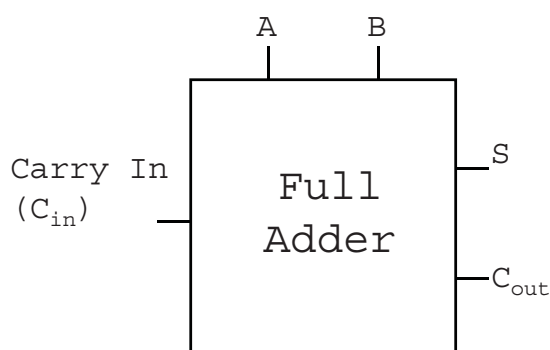
$$C = AB$$



## تمام جمع کننده (Full Adder)

### • تمام جمع کننده

مدار ترکیبی که جمع دو بیت و بیت نقلی مرحله قبلی را انجام می دهد. A و B ورودی های مدار،  $C_{in}$  بیت نقلی مرحله قبل، S حاصل جمع و  $C_{out}$  بیت نقلی خروجی می باشد



$C_{in}$	A	B	$C_{out}$	S (Sum)
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1





## تمام جمع کننده (Full Adder)

Cin	AB			
	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$\begin{aligned}
 S &= C_{in} \overline{A} \overline{B} + \overline{C_{in}} \overline{A} B + C_{in} A \overline{B} + \overline{C_{in}} A B \\
 &= C_{in} (\overline{A} \overline{B} + A B) + \overline{C_{in}} (\overline{A} B + A \overline{B}) \\
 &= C_{in} (A \oplus B) + \overline{C_{in}} (A \oplus B) \\
 &= C_{in} \oplus A \oplus B
 \end{aligned}$$

Cin	AB			
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$C_{out} = AB + C_{in} A + C_{in} B$$

Or

Cin	AB			
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$C_{out} = AB + C_{in} (A \oplus B)$$

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

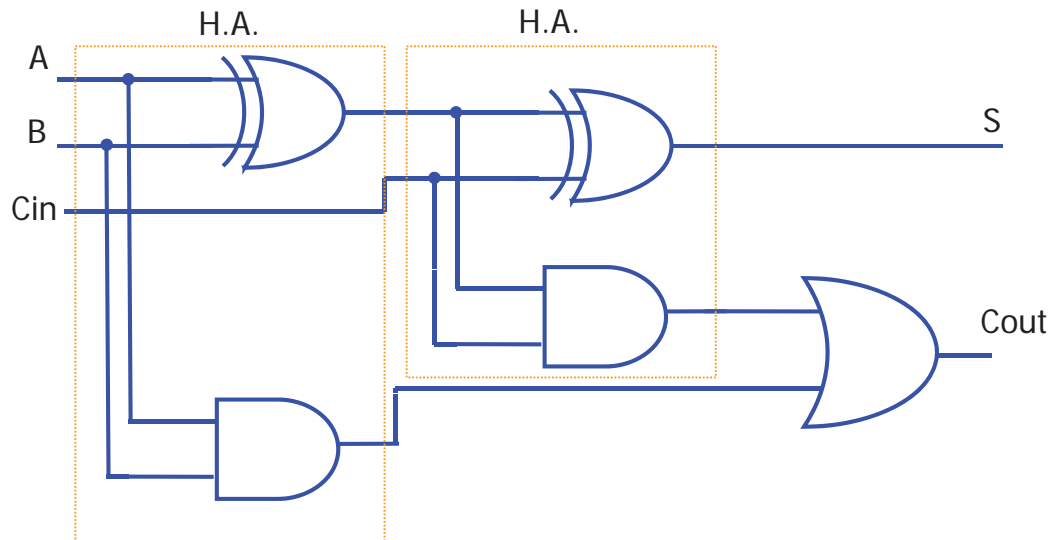
10



## تمام جمع کننده (Full Adder)

$$S = C_{in} \oplus A \oplus B$$

$$C_{out} = AB + C_{in} (A \oplus B)$$

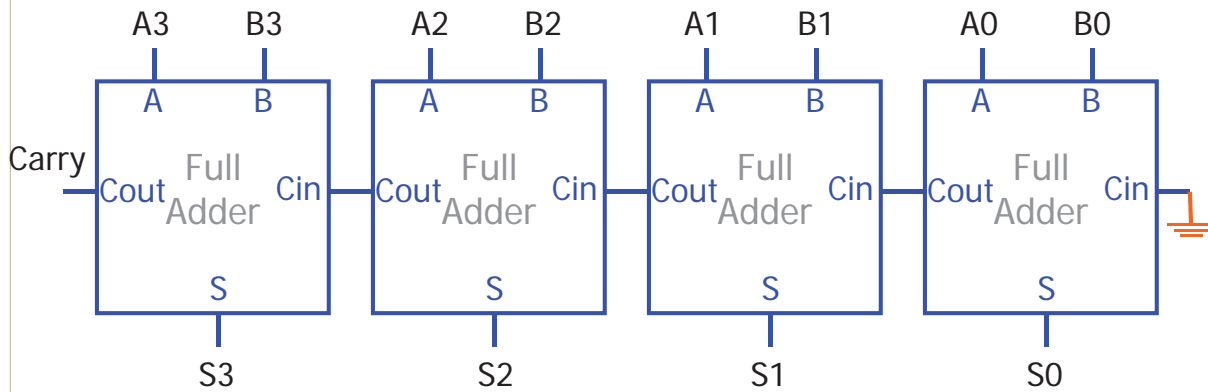


دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

11



## جمع کننده چهار بیتی

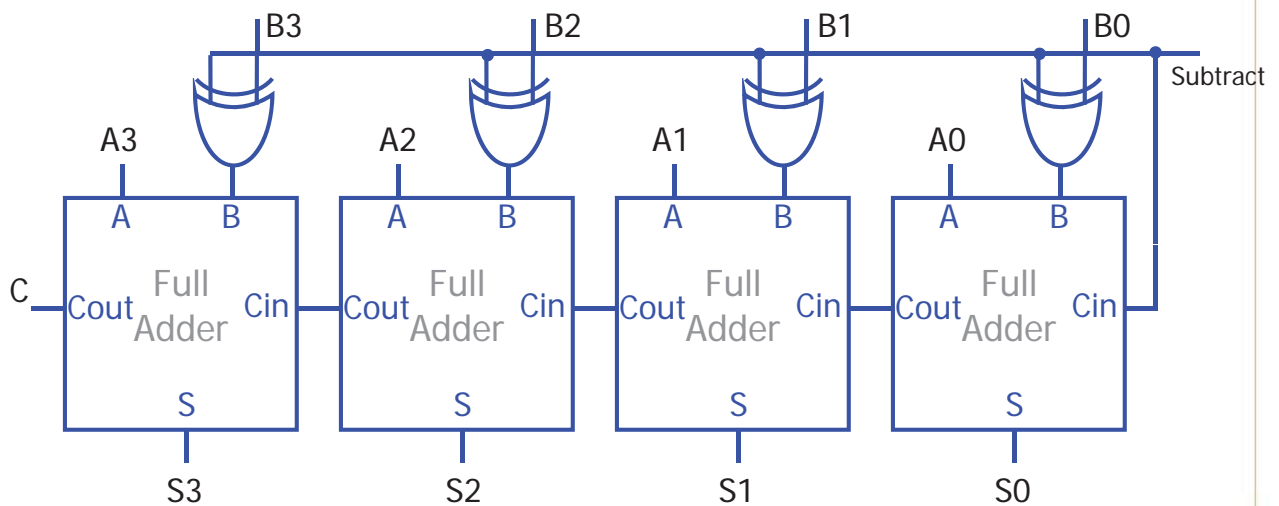


12



## تفریق کننده . جمع کننده

- برای تفریق B از A
- $B - (B \text{ مکمل})$  را با A جمع می کنیم



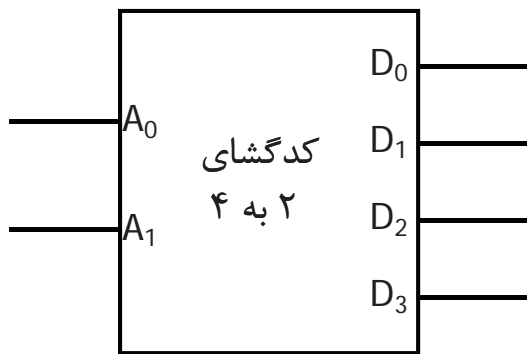
13



## کد گشا (Decoder)

### • کد گشا

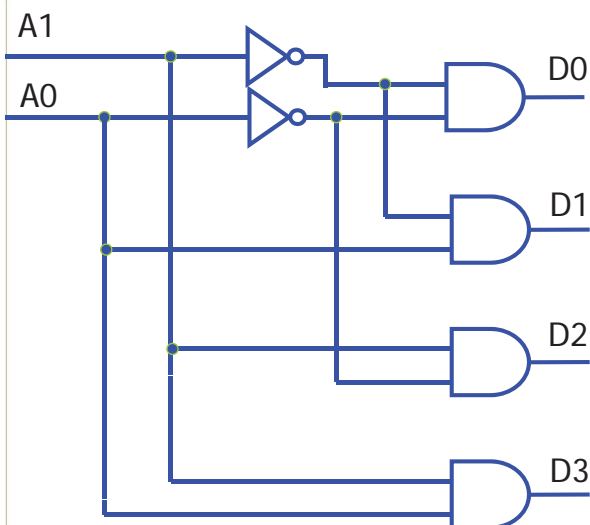
کد گشا یک مدار ترکیبی است که  $n$  ورودی و حداکثر  $2^n$  خروجی دارد  
متناسب با ورودی‌ها، هر لحظه فقط یک خروجی فعال است



A1	A0	D3	D2	D1	D0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0



## کد گشای ۲ به ۴



A1	A0	D3	D2	D1	D0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$D_0 = \overline{A_1} A_0$$

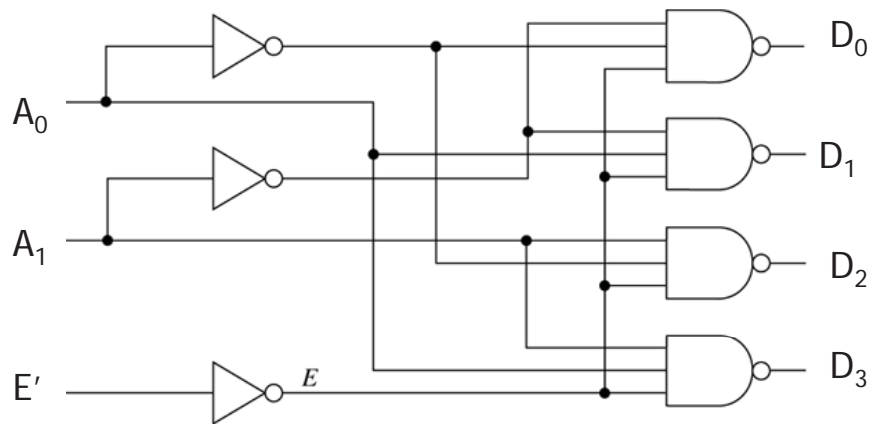
$$D_1 = A_1 A_0$$

$$D_2 = A_1 \overline{A_0}$$

$$D_3 = \overline{A_1} \overline{A_0}$$



## کدگشای ۲ به ۴ با دروازه NAND



16



## کدگشای ۳ به ۸ با ورودی فعال ساز

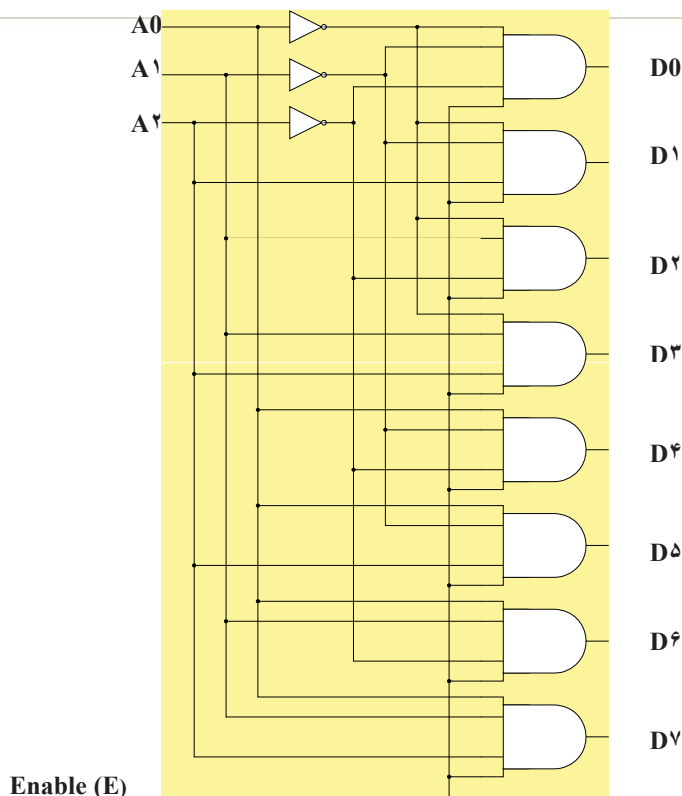
جدول درستی (Truth Table)

E	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	X	X	X	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	0	1	0
1	0	1	0	0	0	0	0	1	0	0	0
1	0	1	1	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	1	0	0	0	0
1	1	0	1	0	0	1	0	0	0	0	0
1	1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

17



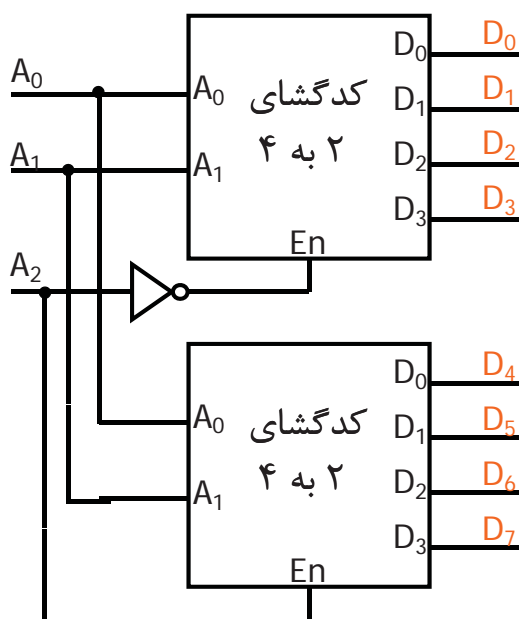
## کدگشای ۳ به ۸ با ورودی فعال ساز



18



## توسعه کدگشاها



می توان با ترکیب دو یا چند  
کدگشای دارای ورودی  
فعال ساز، یک کدگشای بزرگتر  
ساخت، مثلاً با ترکیب دو  
کدگشای ۲ به ۴ می توان یک  
کدگشای ۳ به ۸ ساخت

19



## کدگذار (EnCoder)

### • کدگذار

کدگذار عمل عکس کدگشا را انجام می‌دهد  
کدگذار یک مدار ترکیبی است که حداکثر  $2^n$  ورودی و  $n$  خروجی دارد  
خطوط خروجی کد دودویی متناظر با ورودی‌ها می‌باشد.



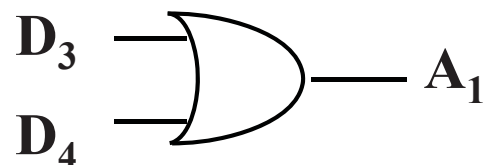
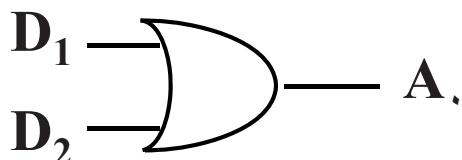
## کدگذار ۴ به ۲

D3	D2	D1	D0	A1	A0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

$$A0 = D1 + D3$$

$$A1 = D2 + D3$$

کدگذار ۴ به ۲ را می‌توان با دو دروازه OR پیاده سازی کرد





## کدگذار ۸ به ۳

D7	D6	D5	D4	D3	D2	D1	D0	A2	A1	A0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

$$A0 = D1 + D3 + D5 + D7$$

$$A1 = D2 + D3 + D6 + D7$$

$$A2 = D4 + D5 + D6 + D7$$

کد گذار ۸ به ۳ را می‌توان با سه دروازه OR پیاده سازی کرد

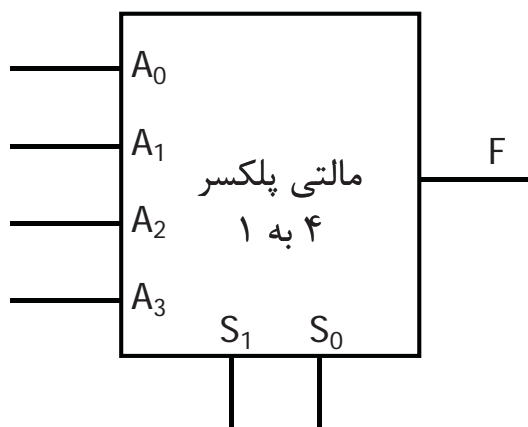
دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

22



## مالتی پلکسر (Multiplexer)

### • مالتی پلکسر



مالتی پلکسر یک مدار ترکیبی است که اطلاعات یکی از  $2^n$  خط داده ورودی را به یک خط خروجی هدایت می‌کند

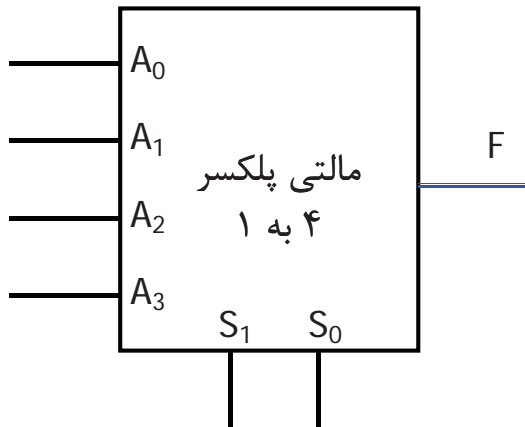
دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

23



## مالتی پلکسر ۴ به ۱ (4 to 1 Multiplexer)

جدول مالتی پلکسر ۴ به ۱ به صورت زیر است

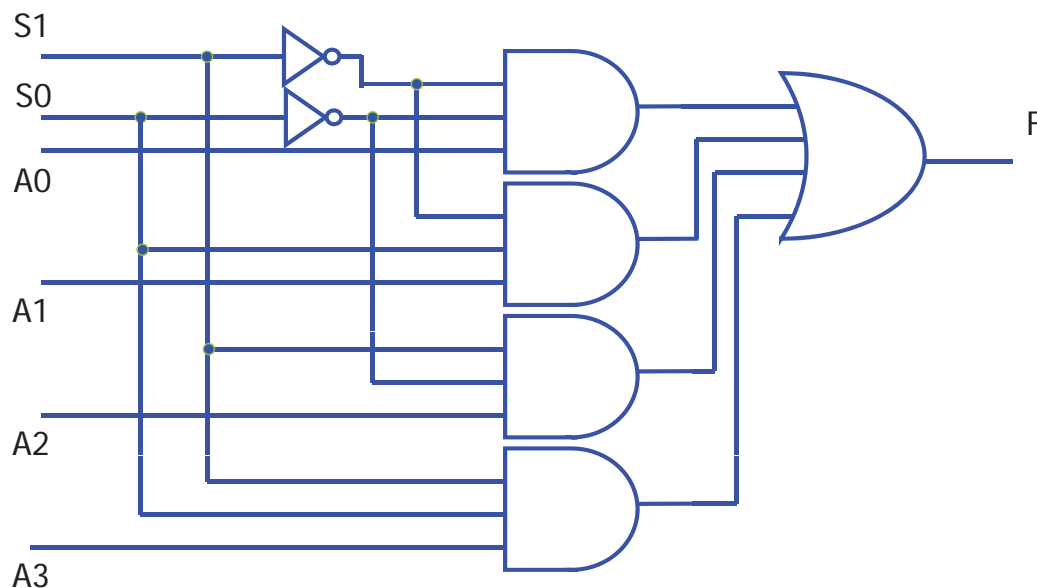


S1	S0	F
0	0	A0
0	1	A1
1	0	A2
1	1	A3



## نمودار مالتی پلکسر ۴ به ۱

نمودار یک مالتی پلکسر ۴ به ۱ به صورت زیر است

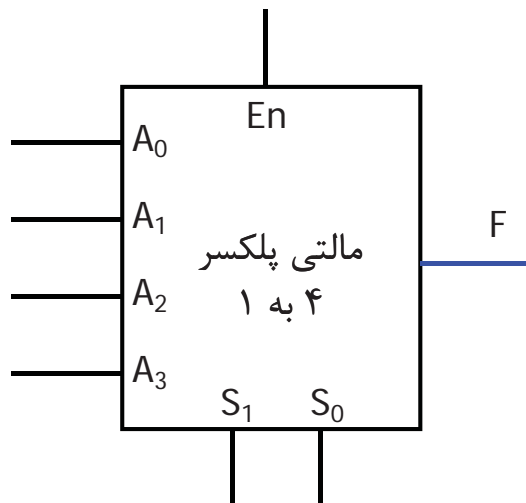






## مالتی پلکسر ۴ به ۱ با فعال ساز

جدول مالتی پلکسر ۴ به ۱ با ورودی فعال ساز به صورت زیر است



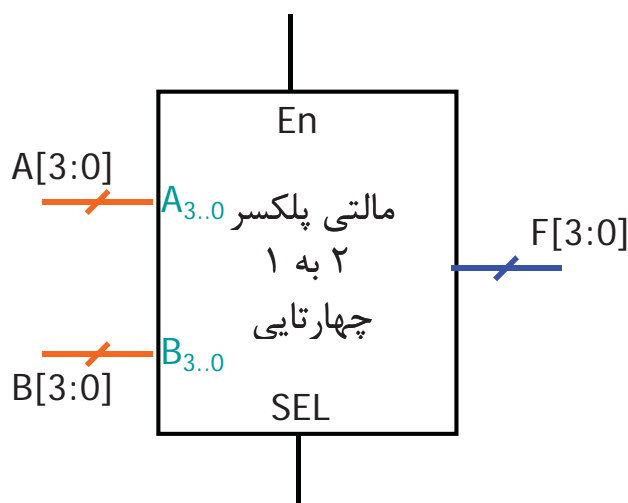
En	S1	S0	F
0	X	X	0
1	0	0	A0
1	0	1	A1
1	1	0	A2
1	1	1	A3

26



## ۴ مالتی پلکسر ۲ به ۱ مجتمع

معمولا ۴ مالتی پلکسر ۲ به ۱ با ورودی فعال ساز در یک مدار مجتمع قرار داده می شوند

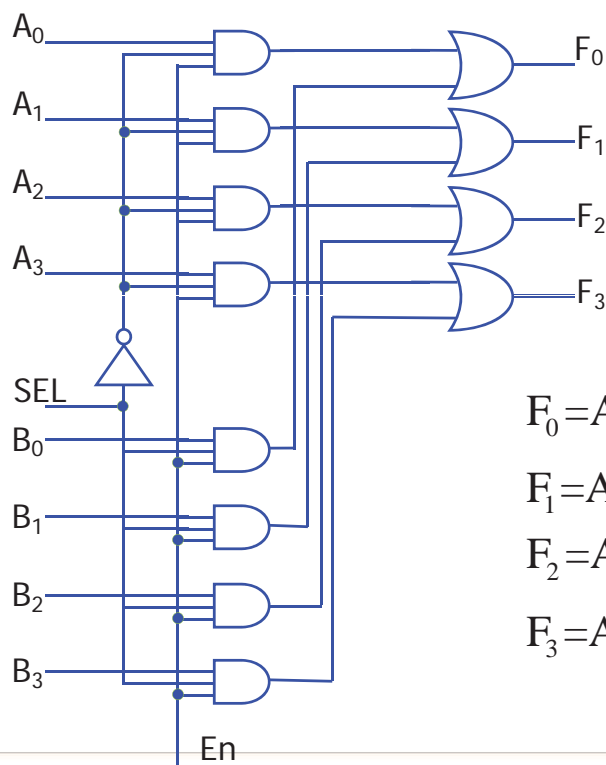


En	SEL	F[3:0]
0	X	0000
1	0	A[3:0]
1	1	B[3:0]

27



## مدار ۴ مالتی پلکسر ۲ به ۱ مجتمع



En	SEL	F[3:0]
0	X	0000
1	0	A[3:0]
1	1	B[3:0]

$$F_0 = A_0 \cdot \overline{En} \cdot \overline{SEL} + B_0 \cdot En \cdot SEL$$

$$F_1 = A_1 \cdot \overline{En} \cdot \overline{SEL} + B_1 \cdot En \cdot SEL$$

$$F_2 = A_2 \cdot \overline{En} \cdot \overline{SEL} + B_2 \cdot En \cdot SEL$$

$$F_3 = A_3 \cdot \overline{En} \cdot \overline{SEL} + B_3 \cdot En \cdot SEL$$

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

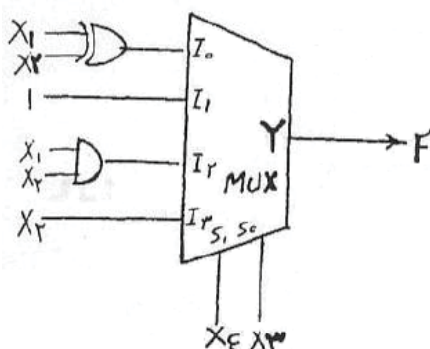
28



## خودآزمایی

۱- کنکور کارشناسی ارشد - ۱۳۷۹

۱۱- تابع خروجی برای مدار روبرو به چه صورت است؟



$$F(X_4, X_3, X_2, X_1) = \sum m(1, 2, 4, 5, 6, 7, 11, 14, 15) \quad (1)$$

$$F(X_4, X_3, X_2, X_1) = \sum m(1, 4, 5, 9, 10, 11, 12, 13, 15) \quad (2)$$

$$F(X_4, X_3, X_2, X_1) = \sum m(0, 3, 4, 5, 6, 7, 10, 11, 15) \quad (3)$$

$$F(X_4, X_3, X_2, X_1) = \sum m(1, 2, 3, 4, 5, 7, 11, 13, 15) \quad (4)$$

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

29

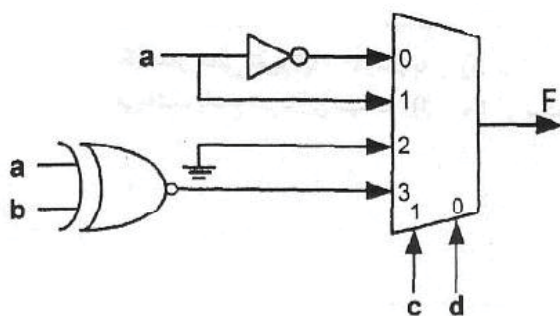
29



## خودآزمایی

۲- کنکور کارشناسی ارشد - ۱۳۸۰

۱۰- مدار زیر، پیاده‌سازی کدام رابطه است؟



$$f(a, b, c, d) = \sum 0, 1, 3, 5, 7 \quad (۱)$$

$$f(a, b, c, d) = \sum 1, 3, 5, 7, 11, 15 \quad (۲)$$

$$f(a, b, c, d) = \sum 0, 3, 4, 9, 13, 15 \quad (۳)$$

$$f(a, b, c, d) = \sum 0, 3, 5, 7, 13, 15 \quad (۴)$$

30

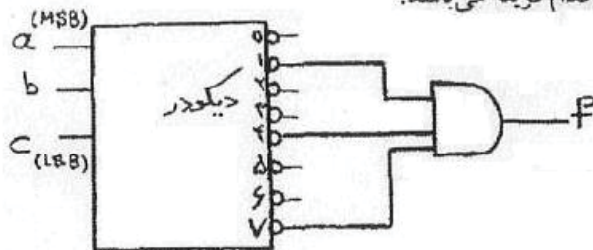
30



## خودآزمایی

۳- کنکور کارشناسی ارشد - ۱۳۸۲

۶۳- تابع  $f$  که توسط مدار مقابل ایجاد می‌شود معادل کدام گزینه می‌باشد؟



$$f = \sum m(1, 2, 4, 7) \quad (۱)$$

$$f = \prod M(1, 2, 5, 7) \quad (۲)$$

$$f = \prod M(0, 2, 3, 5, 6) \quad (۳)$$

$$f = \sum m(0, 2, 3, 5, 6) \quad (۴)$$

31

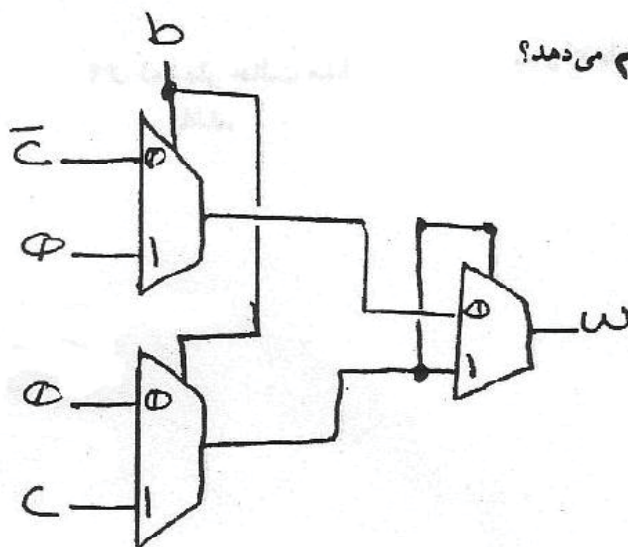
31



## خودآزمایی

۴- کنکور، کارشناسی، ارشد - ۱۳۸۳

۶۵. مدار زیر کدام تابع را انجام می‌دهد؟



$$w = \bar{b}c \quad (1)$$

$$w = b \oplus c \quad (2)$$

$$w = \bar{b} \oplus c \quad (3)$$

$$w = \bar{b} + \bar{c} \quad (4)$$

32

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران

32



## منابع

در تهیه این پاورپوینت از منابع زیر استفاده شده است:

- ۱- امیر صادقی - معماری سیستمهای کامپیوتری - نوشته موریس مانو - مرکز نشر دانشگاهی - چاپ اول ۱۳۷۴ - چاپ پنجم ۱۳۸۴

<http://iup.ac.ir/index.aspx?pid=297&productID=1002>

- ۲- سایت درس دکتر لی در دانشگاه جورجیا تک

<http://users.ece.gatech.edu/~leehs/ECE2030/>

- ۳- مجموعه سوالات کنکور کارشناسی ارشد

<http://sharif.edu/~ghodsi/grad-exams/index.html>



33

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## جلسه چهارم: طراحی مدارات ترکیبی (Combinational Logic Design)

### • فهرست مطالب:

- پیاده سازی یک تابع جبر بول با دروازه های منطقی
- متمم یک تابع
- پیاده سازی یک مدار با NAND
- پیاده سازی یک مدار با NOR

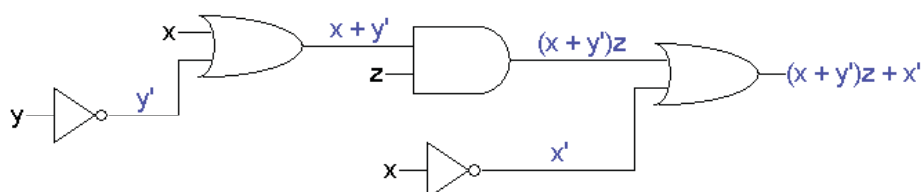
این جلسه مطابق با بخش های ۱-۳ و ۱-۴ از کتاب مانو است



## پیاده سازی توابع جبر بول

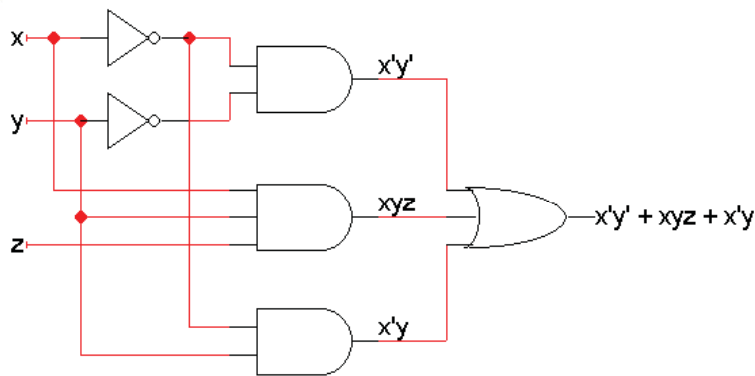
یک تابع جبر بول را می توان با دروازه های منطقی پیاده سازی کرد  
معمولا تابع را ساده کرده و سپس مدار ساده شده پیاده سازی می شود  
هر تابع را می توان با دروازه های AND و OR و NOT پیاده سازی کرد  
مثال

$$(x + y')z + x'$$



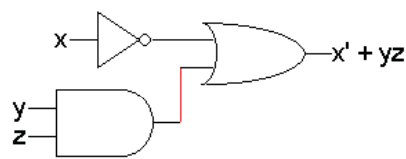


## ساده کردن مدار



مدار قبل از ساده کردن

مدار پس از ساده کردن



با ساده شدن مدار می توان مدار را  
با سخت افزار کمتری ساخت



## مکمل یک تابع

برای بدست آوردن مکمل یک تابع  
با استفاده از قضیه دمورگان  
باید تمام AND را به OR  
تمام OR را به AND  
و یک را به صفر  
و صفر را به یک  
و تمام متغیرها را مکمل کرد  
مثال

$$f(x,y,z) = x(y'z' + yz)$$

$$f'(x,y,z) = x' + (y + z)(y' + z')$$

مکمل



## مکمل یک تابع

برای بدست آوردن مکمل یک تابع در جدول درستی آن باید خروجی را مکمل کرد  
مثال

x	y	z	f(x,y,z)
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0



x	y	z	f'(x,y,z)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

$$f(x,y,z) = x' + yz'$$

$$f'(x,y,z) = x(y' + z) = xy' + xz$$

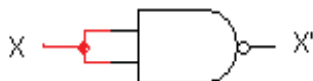


## پیاده سازی مدار با NAND

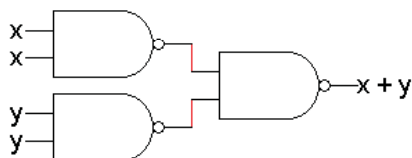
تمام مدارات منطقی را می توان با NAND ساخت

- پیاده سازی دروازه های پایه با NAND

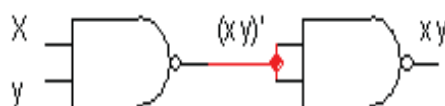
۱- پیاده سازی NOT



۲- پیاده سازی OR



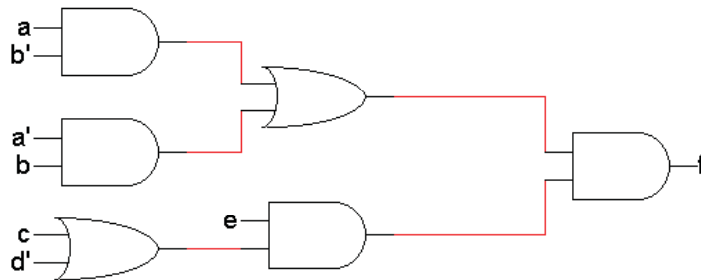
۳- پیاده سازی AND





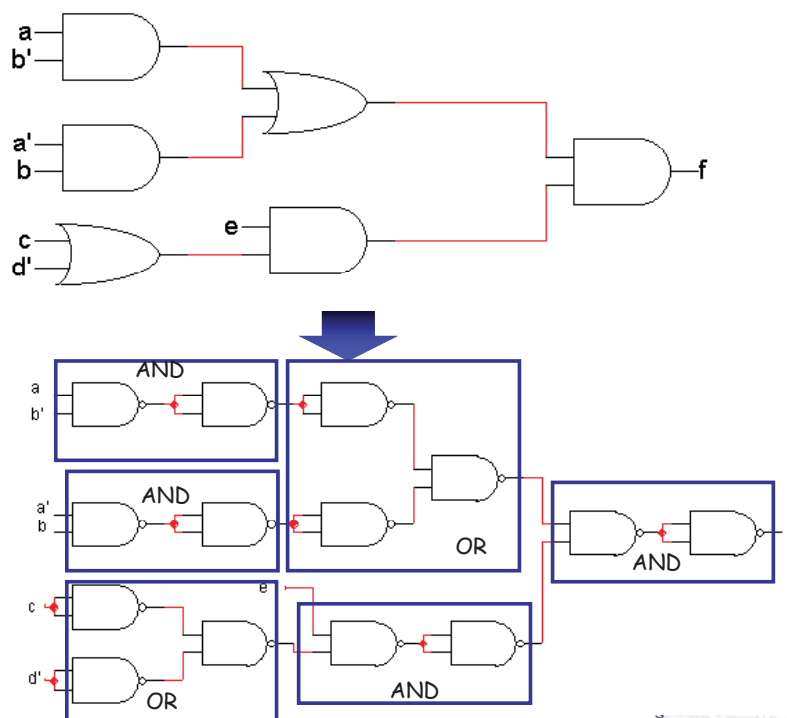
## پیاده سازی مدار با NAND

برای پیاده سازی یک مدار با NAND مدار را با دروازه‌های AND و OR ساخته، سپس هر دروازه با مدار NAND معادل جایگزین شده و در نهایت مکمل‌های متوالی حذف می‌شوند  
مثال: مدار اولیه



## پیاده سازی مدار با NAND

• جایگزینی هر دروازه با مدار معادل NAND

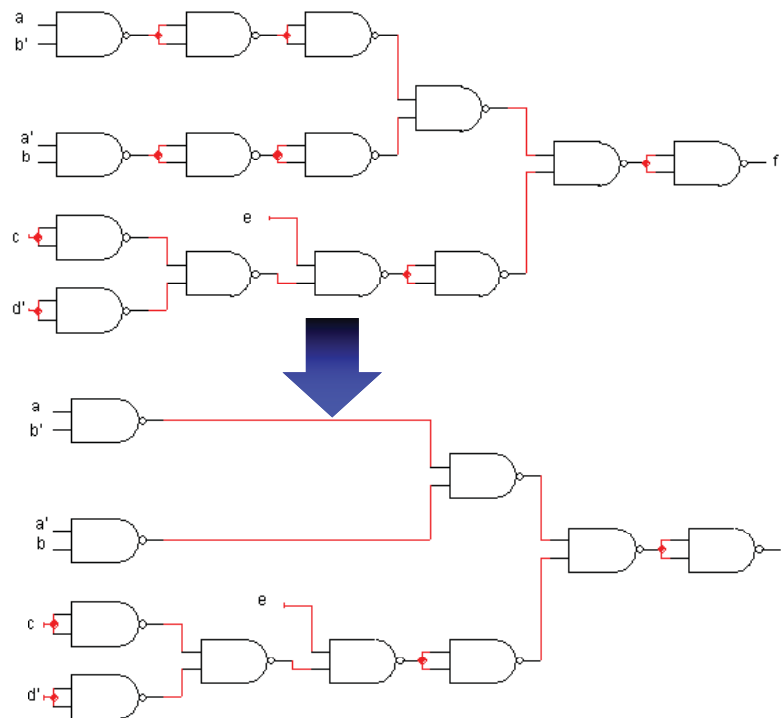






## پیاده سازی مدار با NAND

- حذف معکوس کننده های متوالی



10

امیرکبیر  
پایه هفتم



## پیاده سازی مدار با NOR

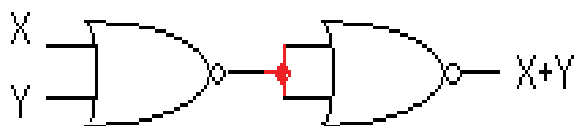
تمام مدارات منطقی را می توان با NOR ساخت

- پیاده سازی دروازه های پایه با NOR

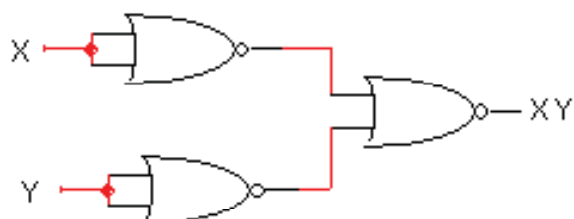
۱- پیاده سازی NOT



۲- پیاده سازی OR



۳- پیاده سازی AND



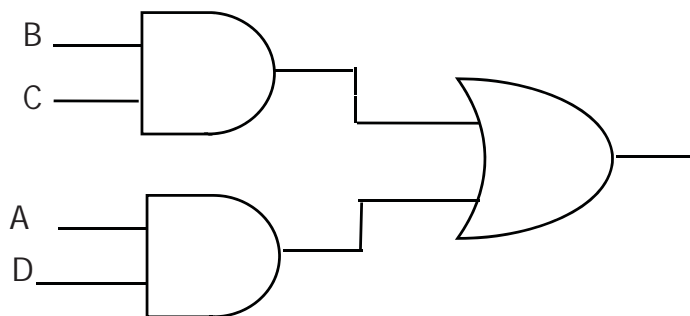
11

دانشگاه صنعتی  
امیرکبیر  
پایه هفتم



## پیاده سازی مدار با NOR

برای پیاده سازی یک مدار با NOR مدار را با دروازه‌های AND و OR ساخته، سپس هر دروازه با مدار NOR معادل جایگزین شده و در نهایت مکمل‌های متوالی حذف می‌شوند  
مثال : مدار اولیه

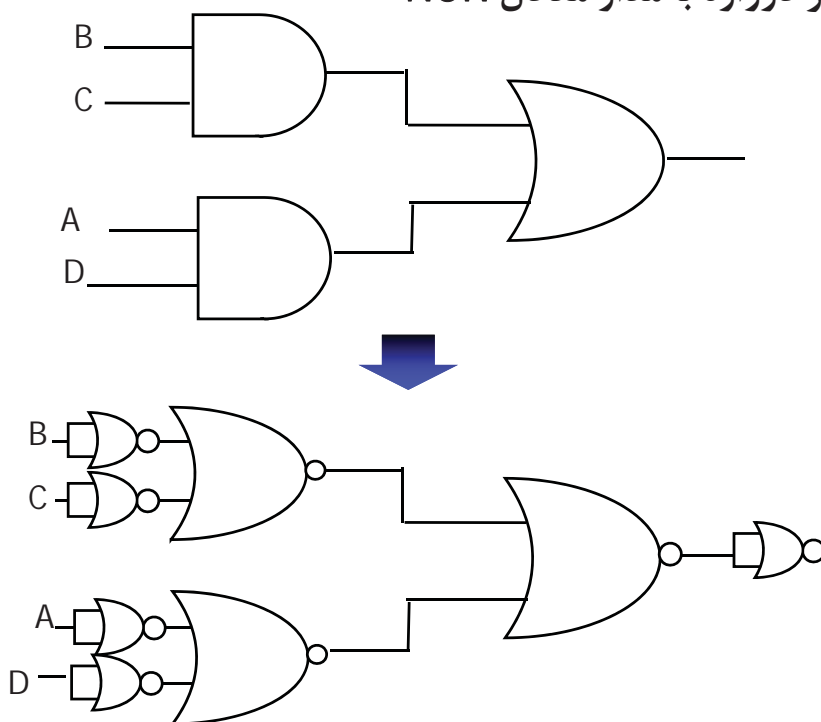


12



## پیاده سازی مدار با NOR

• جایگزینی هر دروازه با مدار معادل NOR



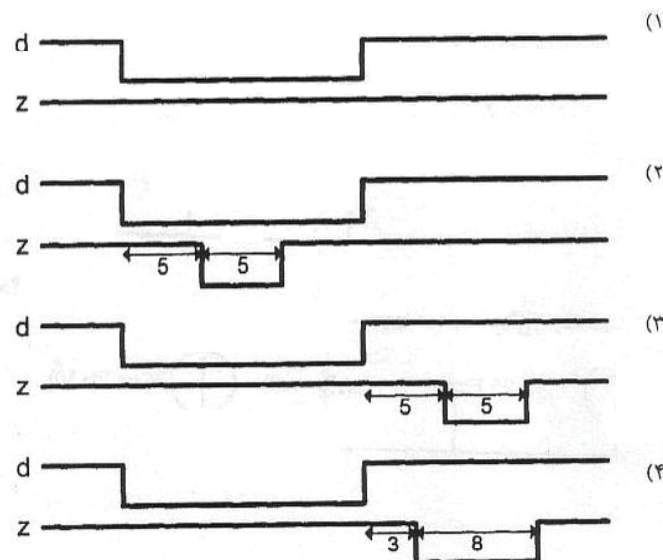
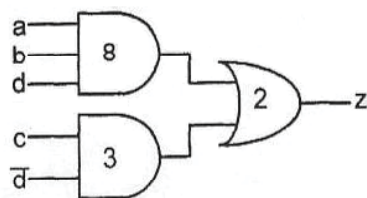
13



## خودآزمایی

### ۱- کنکور کارشناسی ارشد - ۱۳۸۰

۱۱- در مدار زیر، تأخیر گیت‌ها در داخل آنها نوشته شده است. در زمانی که  $a = b = c = 1$  است،  $d$  از یک به صفر و دوباره به یک برمی‌گردد در خروجی  $z$  کدام موج دیده خواهد شد؟ (زمانها به نانو ثانیه است.)



دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## خودآزمایی

### ۲- کوئیز تعاملی

جهت خودآزمایی به سایت دانشگاه ساری به آدرس زیر مراجعه کرده و کوئیز موجود را حل کنید

<http://www.ee.surrey.ac.uk/Projects/Labview/gatesfunc/QuizFrameSet.htm>

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## معرفی درس

### اصول سیستمهای کامپیوتری

#### جلسه پنجم: مدارات ترتیبی – فلیپ فلاپ

- فهرست مطالب:

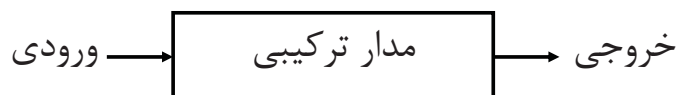
- معرفی مدارات ترتیبی
  - لچ (Latch)
  - فلیپ فلاپ
  - انواع مختلف فلیپ فلاپ
- هدف اصلی این جلسه آشنایی با اجزای پایه مدارات ترتیبی است.  
این جلسه مطابق با بخش ۱-۶ از کتاب مانو است.



## مدارات ترکیبی

- مدارات منطقی ترکیبی (Combinational Circuit)

در مدارات ترکیبی در هر لحظه، خروجی فقط بستگی به ورودی در همان لحظه داشته و به ورودیهای قبلی بستگی ندارد.  
به عبارت دیگر این مدارات فاقد حافظه هستند.

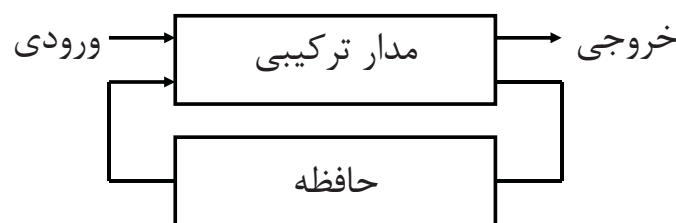




## مدارات ترتیبی

### • مدارات منطقی ترتیبی (Sequential Circuit)

در مدارات ترتیبی در هر لحظه، خروجی علاوه بر ورودی در همان لحظه به ورودیهای قبلی نیز بستگی دارد.  
به عبارت دیگر این مدارات حافظه دارند.  
به عبارت دیگر، حالت یا وضعیت (state) سیستم نیز در خروجی تاثیر دارد.  
وضعیت بعدی مدار نیز بستگی به وضعیت فعلی و ورودی فعلی دارد.



## مثال برای مدارات ترتیبی

اکثر مدارات منطقی که با آنها سروکار داریم، مدارات ترتیبی هستند:

۱- چراغ راهنمایی



مدار کنترل کننده یک چراغ راهنمایی یک مدار ترتیبی است.

۲- آسانسور



مدار کنترل کننده یک آسانسور نیز یک مدار ترتیبی است.  
یعنی در هر لحظه باید بداند که آسانسور در چه طبقه ای قرار دارد  
و جهت حرکت آن به طرف پایین یا بالا است

۳ - کامپیوتر



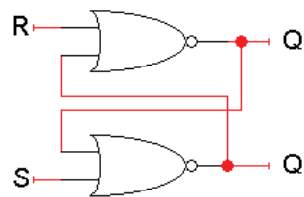
هر کامپیوتر را می توان یک مدار ترتیبی پیچیده در نظر گرفت



## مدار حافظه پایه

### • مدار حافظه پایه (Basic Memory Circuit)

با دو عدد دروازه NOR می توان یک مدار حافظه پایه ساخت



اگر ورودی R برابر یک و S برابر صفر باشد، خروجی Q برابر صفر و خروجی Q' برابر یک می شود.

حال اگر ورودی R و S هر دو صفر شوند، خروجیها بدون تغییر باقی می ماند.

اگر ورودی S برابر یک و R برابر صفر باشد، خروجی Q برابر یک و خروجی Q' برابر صفر می شود.

حال اگر ورودی R و S هر دو صفر شوند، خروجیها بدون تغییر باقی می ماند.

به این مدار لچ SR می گویند.



## جدول درستی برای مدار حافظه پایه

### • جدول ساده برای لچ SR

S	R	Q
0	0	No change
0	1	0 (reset)
1	0	1 (set)

یعنی فعال شدن ورودی R باعث صفر شدن (Reset)

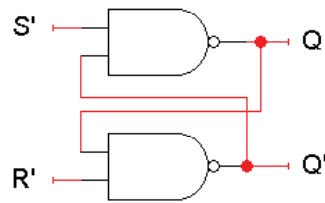
و فعال شدن ورودی S باعث یک شدن (Set) خروجی Q می شود.

اگر هر دو ورودی R و S غیر فعال باشند، خروجی Q وضعیت خود را حفظ می کند.



## مدار لچ با NAND

• می توان با دو دروازه NAND نیز یک لچ ساخت:



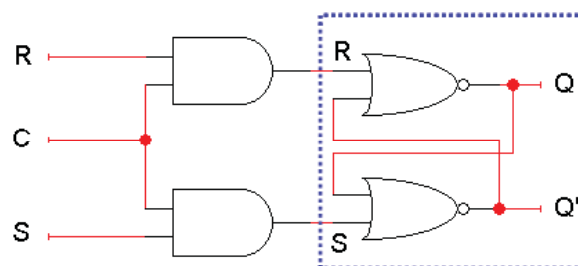
جدول درستی برای این لچ

S'	R'	Q
1	1	No change
1	0	0 (reset)
0	1	1 (set)



## مدار لچ با ورودی کنترل

در مدار لچ هر زمان که ورودی تغییر کند، خروجی نیز تغییر می کند  
ولی می توان مدار را به شکلی طراحی کرد که فقط زمانی که ورودی کنترل آن یک  
باشد تغییر کند

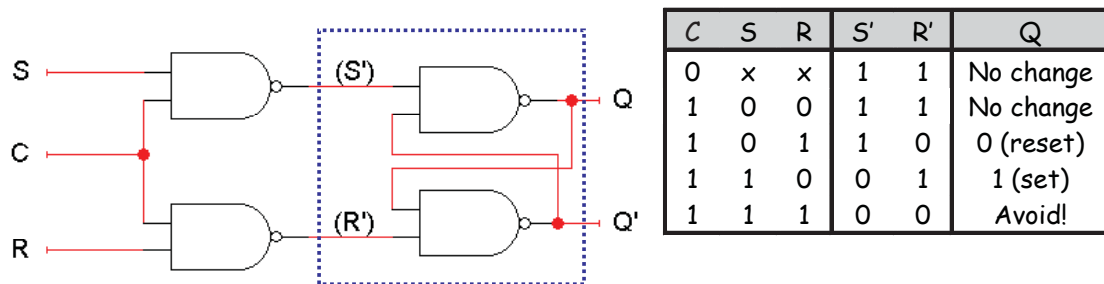


در این مدار اگر ورودی C برابر یک باشد، مدار می تواند تغییر حالت دهد.



## مدار لچ با ورودی کنترل

مدار لچ با ورودی کنترل را می‌توان با دروازه NAND نیز ساخت

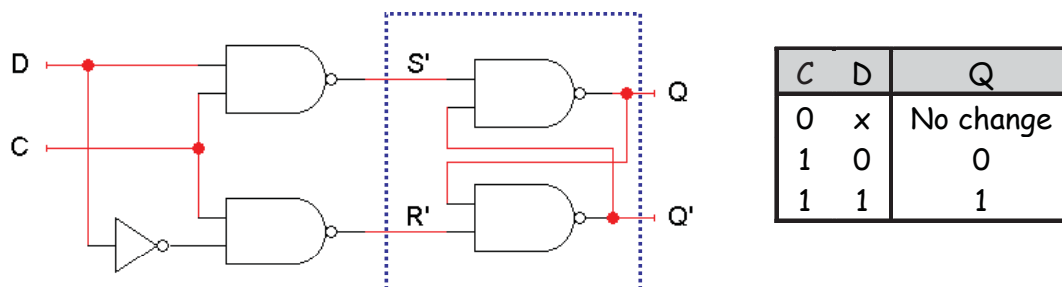


10



## مدار لچ داده (D Latch)

• مدار لچ داده یا D Latch به صورت زیر است:



اگر ورودی کنترل یک باشد، ورودی D وارد لچ می‌شود و با صفر شدن ورودی کنترل این داده در لچ باقی می‌ماند

11





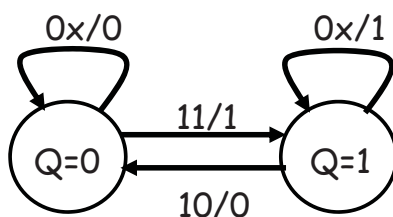
## دیاگرام حالت

برای توصیف مدارات ترتیبی از دیاگرام حالت استفاده می‌شود.

در دیاگرام حالت (State Diagram)، هر حالت یا وضعیت مدار با یک دایره و انتقال از یک حالت به حالت دیگر با یک کمان برچسب دار نشان داده می‌شود.

مثلاً دیاگرام حالت لچ داده (D Latch) به صورت زیر است:

برچسب هر یال در این دیاگرام نمایش دهنده ورودی و خروجی است. مثلاً 0x/1 به معنای این است که ورودی C مقدار یک و ورودی D بدون اهمیت بوده و خروجی مقدار صفر دارد.



## فلیپ فلاب

فلیپ فلاب مانند لچ می‌باشد

با این تفاوت که فقط در زمانهای مشخصی که با سیگنال کلاک یا ساعت مشخص می‌شود، تغییر می‌کند.

فلیپ فلاب می‌تواند فعال با سطح یا فعال با لبه سیگنال ساعت باشد.

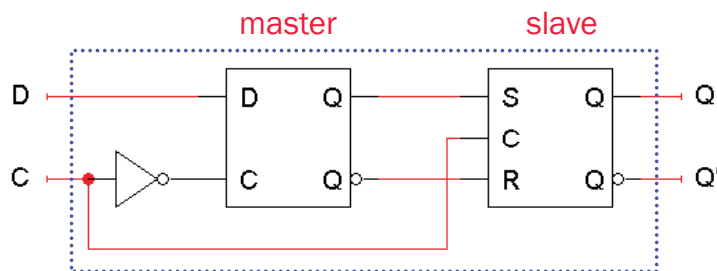


## فلیپ فلاپ Master-Slave

### • فلیپ فلاپ Master-Slave

این فلیپ فلاپ که به تابع - متبوع یا حاکم - پیرو یا ارباب - برده معروف است، در زمانی که سیگنال کنترل یا پالس ساعت مقدار صفر دارد از ورودی نمونه برداری کرده و با یک شدن سیگنال کنترل، خروجی تغییر می‌کند.

پس خروجی فقط در لحظه تغییر حالت کلاک از صفر به یک تغییر می‌کند.

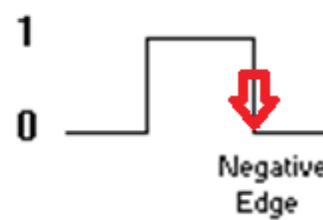


## فلیپ فلاپ فعال با لبه

• فلیپ فلاپ فعال با لبه (Edge Triggered) فقط در لبه پالس ساعت تغییر حالت دارد.

• اگر در لبه صفر به یک تغییر کند به آن لبه مثبت (Positive) می‌گویند

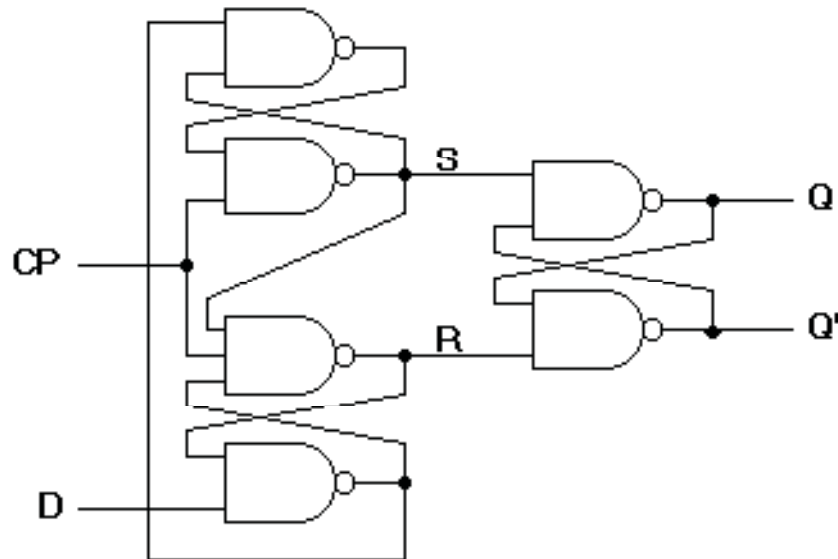
• اگر در لبه یک به صفر تغییر کند به آن لبه منفی (Negative) می‌گویند





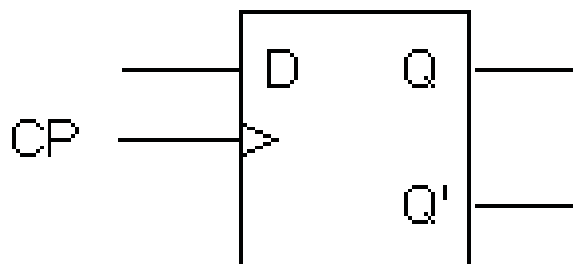
## فلیپ فلاپ D فعال با لبه

- فلیپ فلاپ D فعال با لبه (Edge Triggered D Flip) در شکل زیر نشان داده شده است.



## شکل مرسوم فلیپ فلاپ D فعال با لبه

- معمولاً فلیپ فلاپ D فعال با لبه (Edge Triggered D Flip) به شکل زیر نشان داده می شود.
- در این شکل CP مخفف پالس ساعت (Clock Pulse) است

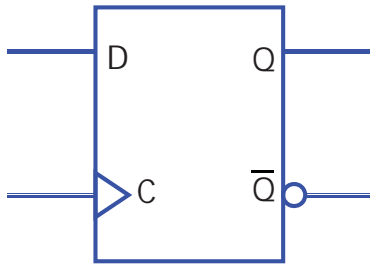




## انواع فلیپ فلاپ D فعال با لبه

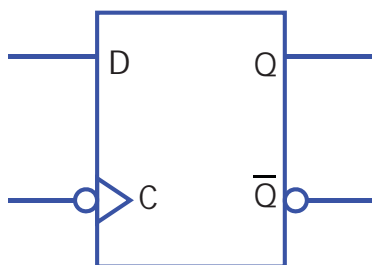
- فلیپ فلاپ D فعال با لبه مثبت

(Positive Edge Triggered D Flip Flop)



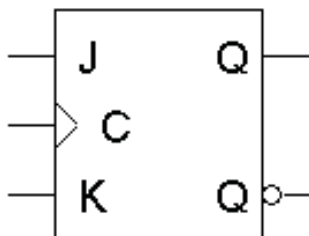
- فلیپ فلاپ D فعال با لبه منفی

(Negative Edge Triggered D Flip Flop)



## فلیپ فلاپ JK

- فلیپ فلاپ JK مشابه RS می باشد با این تفاوت که فعال شدن همزمان J و K باعث مکمل شدن فلیپ فلاپ می شود.

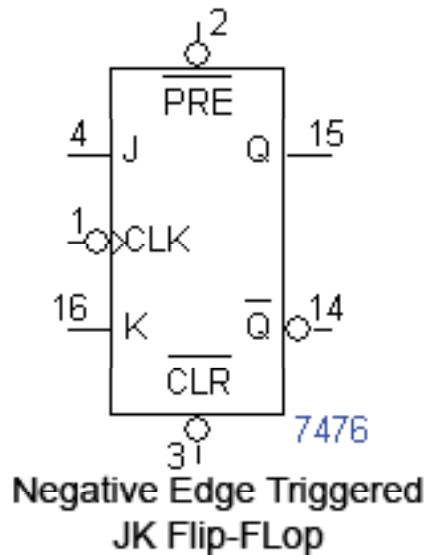


C	J	K	Q <sub>next</sub>
0	x	x	No change
↑	0	0	No change
↑	0	1	0 (reset)
↑	1	0	1 (set)
↑	1	1	Q' <sub>current</sub>



## ورودی مستقیم در فلیپ فلاپ

- معمولا در فلیپ فلاپ های موجود به صورت مدارات مجتمع ورودیهای مستقیمی برای صفر یا یک کردن فلیپ فلاپ به صورت مستقل از کلاک نیز وجود دارد. این ورودیها معمولا Set و Clear نامیده می شوند. مثلا مدار مجتمع 7476 به شکل زیر است.

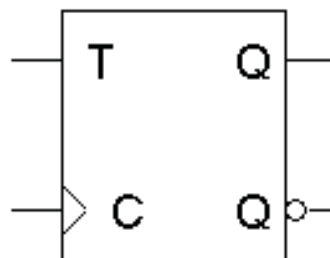


20



## فلیپ فلاپ T

- در فلیپ فلاپ T فعال شدن ورودی T باعث مکمل شدن فلیپ فلاپ می شود.



C	T	$Q_{next}$
0	x	No change
↑	0	No change
↑	1	$Q'_{current}$

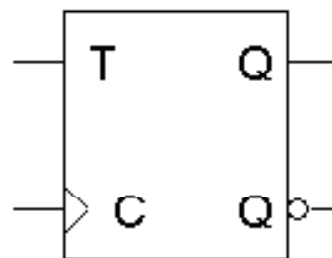
21



## جدول تحریک فلیپ فلاپ T

- جدول تحریک برای تغییر حالت فلیپ فلاپ T به صورت زیر است

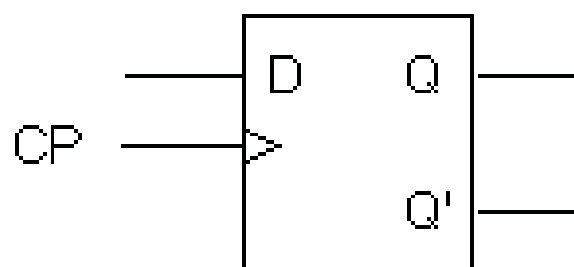
ورودی مورد نیاز T	حالت بعدی $Q(t+1)$	حالت فعلی $Q(t)$
0	0	0
1	1	0
1	0	1
0	1	1



## جدول تحریک فلیپ فلاپ D

- جدول تحریک برای تغییر حالت فلیپ فلاپ D به صورت زیر است

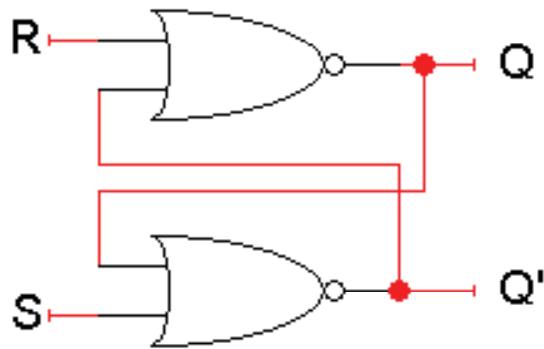
ورودی مورد نیاز D	حالت بعدی $Q(t+1)$	حالت فعلی $Q(t)$
0	0	0
1	1	0
0	0	1
1	1	1





## جدول تحریک فلیپ فلاپ SR

- جدول تحریک برای تغییر حالت فلیپ فلاپ SR به صورت زیر است

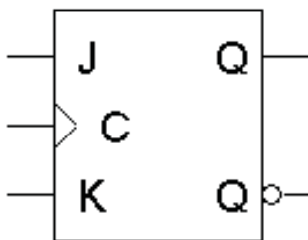


حالت فعلی $Q(t)$	حالت بعدی $Q(t+1)$	ورودی مورد نیاز S	ورودی مورد نیاز R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0



## جدول تحریک فلیپ فلاپ JK

- جدول تحریک برای تغییر حالت فلیپ فلاپ JK به صورت زیر است



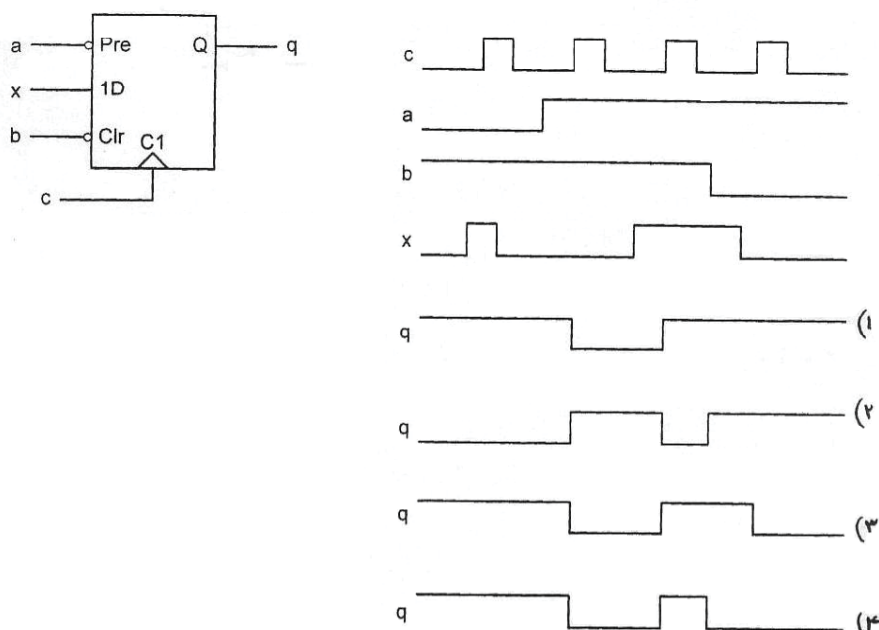
حالت فعلی $Q(t)$	حالت بعدی $Q(t+1)$	ورودی مورد نیاز J	ورودی مورد نیاز K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0



## خودآزمایی

### ۱- کنکور کارشناسی ارشد - ۱۳۸۰

۱۴- با در نظر گرفتن شکل موج نشان داده شده روی a، b، c و x، موج روی خروجی q کدام است؟



26

امیرکبیر

پایه هفتم - تهران



## خودآزمایی

### ۲- کوئیز تعاملی

جهت خودآزمایی به سایت دانشگاه ساری به آدرس زیر مراجعه کرده و کوئیز موجود را حل کنید

<http://www.ee.surrey.ac.uk/Projects/Labview/Sequential/Course/06-FlipFlops/quiz.htm>

27

دانشگاه صنعتی  
امیرکبیر

پایه هفتم - تهران

27





## معرفی درس

### اصول سیستمهای کامپیوتری جلسه ششم: ادامه مدارات ترتیبی

#### • فهرست مطالب:

- معرفی مدارات ترتیبی
- جدول و نمودار حالت
- طراحی یک مدار ترتیبی
- ثبات
- ثبات انتقالی
- شمارنده

هدف اصلی این جلسه آشنایی با انواع متداول مدارات ترتیبی است.  
این جلسه مطابق با بخشهای ۱-۷ و ۲-۴ و ۲-۵ و ۲-۶ از کتاب مانو است.

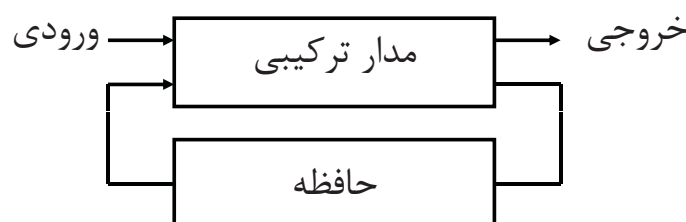
دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## مدارات ترتیبی

### • مدارات منطقی ترتیبی (Sequential Circuit)

در مدارات ترتیبی در هر لحظه، خروجی علاوه بر ورودی در همان لحظه به ورودیهای قبلی نیز بستگی دارد.  
به عبارت دیگر این مدارات حافظه دارند.  
به عبارت دیگر، حالت یا وضعیت (state) سیستم نیز در خروجی تاثیر دارد.  
وضعیت بعدی مدار نیز بستگی به وضعیت فعلی و ورودی فعلی دارد.



دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## انواع مدارات ترتیبی

- مدارات ترتیبی به دو دسته همزمان و غیرهمزمان تقسیم می‌شوند
- مدارات ترتیبی همزمان یا سنکرون (Synchronous)  
تغییر حالت مدار توسط یک پالس ساعت هماهنگ می‌شود
- مدارات ترتیبی غیرهمزمان یا آسنکرون (Asynchronous)  
با تغییر ورودی مدار، بلافاصله مدار تغییر حالت می‌دهد

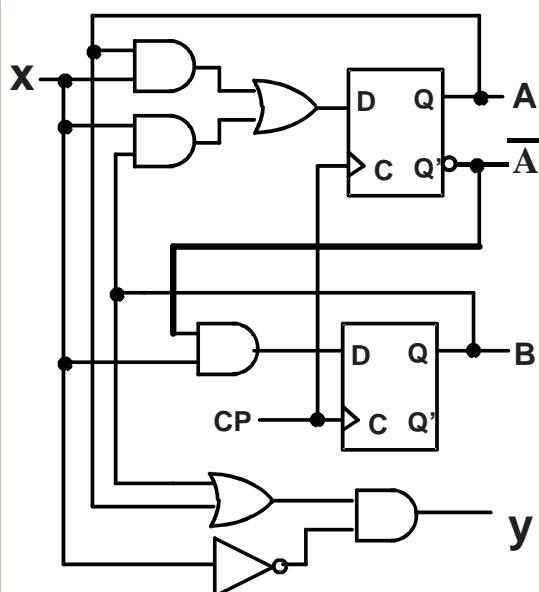
در این درس فقط مدارات همزمان را مطالعه می‌کنیم



## مثال برای مدارات ترتیبی (شکل ۱-۲۵ کتاب)

### مثالی از یک مدار ترتیبی

(شکل ۱-۲۵ کتاب مانو با کمی تغییر)



ورودی مدار  $X(t)$

خروجی مدار  $y(t)$

حالات مدار  $A(t) B(t)$



## مثالی از یک مدار ترتیبی

## معادله فلیپ فلاپ A

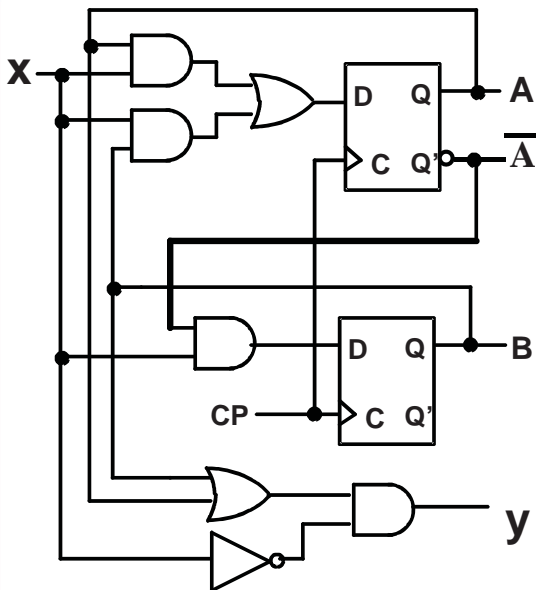
$$A(t+1) = A(t)x(t) + B(t)x(t)$$

## B معادله فلیپ فلاپ

$$B(t+1) = \bar{A}(t)x(t)$$

## معادله خروجی مدار $y(t)$

$$y(t) = \bar{x}(t)(B(t) + A(t))$$



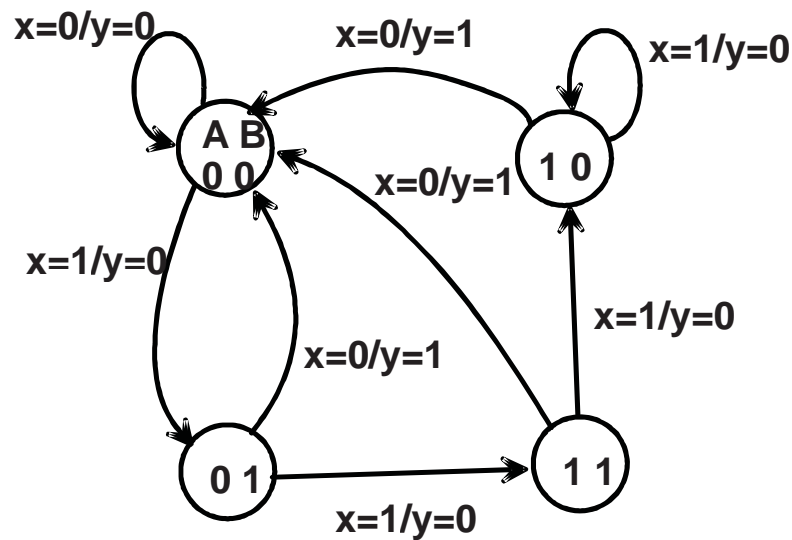
- رفتار یک مدار ترتیبی را می‌توان با جدول حالت نشان داد
- این جدول خروجی مدار و حالت بعدی آن را با توجه به ورودی و حالت فعلی نشان می‌دهد
- جدول حالت مربوط به شکل ۱-۲۵ کتاب

Present State	Input	Next State	Output
A(t) B(t)	x(t)	A(t+1) B(t+1)	y(t)
0 0	0	0 0	0
0 0	1	0 1	0
0 1	0	0 0	1
0 1	1	1 1	0
1 0	0	0 0	1
1 0	1	1 0	0
1 1	0	0 0	1
1 1	1	1 0	0



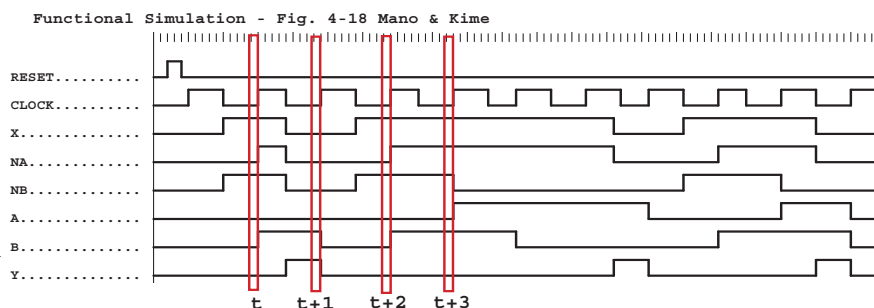
## نمودار حالت (State Diagram)

جدول حالت یک مدار ترتیبی را می‌توان با یک نمودار حالت نشان داد  
نمودار حالت مربوط به مثال کتاب (شکل ۱-۲۶ کتاب مانو با کمی تغییر)



## دیاگرام زمانی یک مدار ترتیبی

عملکرد یک مدار ترتیبی را می‌توان با یک دیاگرام زمانی نشان داد  
دیاگرام زمانی مربوط به مدار شکل ۱-۲۵ به صورت زیر است  
این مدار در لبه مثبت پالس ساعت تغییر حالت می‌دهد





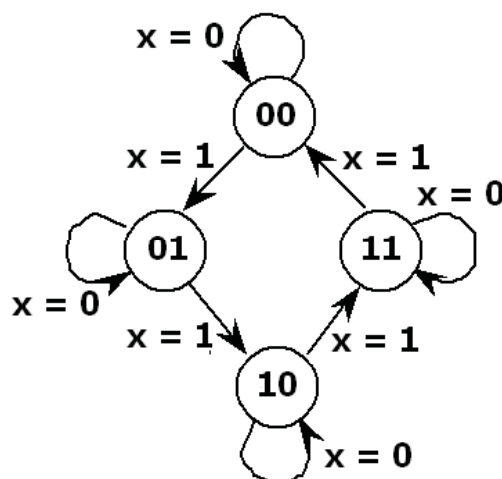
## طراحی مدار ترتیبی همزمان

- مراحل طراحی یک مدار ترتیبی همزمان (سنکرون)
  - ۱ - تعریف دقیق مساله
  - ۲ - رسم جدول حالت
  - ۳ - اگر فقط ورودی-خروجی مدار اهمیت دارد، ساده کردن جدول حالت
  - ۴ - تخصیص مقادیر باینری به هر حالت
  - ۵ - تعیین تعداد فلیپ فلاپ مورد نیاز و نام گذاری آنها
  - ۶ - انتخاب نوع فلیپ فلاپ
  - ۷ - تعیین مدارهای تغییر وضعیت و جدول خروجی از روی جدول حالت
  - ۸ - ساده کردن توابع مربوط به ورودی فلیپ فلاپ ها و خروجی مدار
  - ۹ - رسم دیاگرام مدار



## مثال طراحی یک شمارنده

به عنوان مثال یک شمارنده دودویی (باینری) دو بیتی را طراحی می کنیم  
نمودار حالت این شمارنده به شکل زیر است (شکل ۱-۲۷ کتاب)





## مثال طراحی یک شمارنده (ادامه)

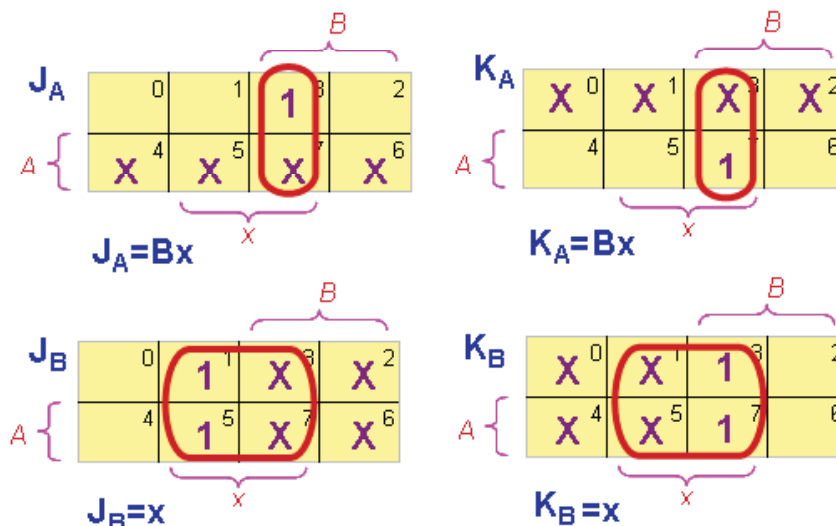
- جدول تحریک این شمارنده برای فلیپ فلاپ JK بصورت زیر است

Present State		Input	Next State		F/F Input Equ.			
A	B	x	A	B	$J_A$	$K_A$	$J_B$	$K_B$
0	0	0	0	0	0	x	0	x
0	0	1	0	1	0	x	1	x
0	1	0	0	1	0	x	x	0
0	1	1	1	0	1	x	x	1
1	0	0	1	0	x	0	0	x
1	0	1	1	1	x	0	1	x
1	1	0	1	1	x	0	x	0
1	1	1	0	0	x	1	x	1



## مثال طراحی یک شمارنده (ادامه)

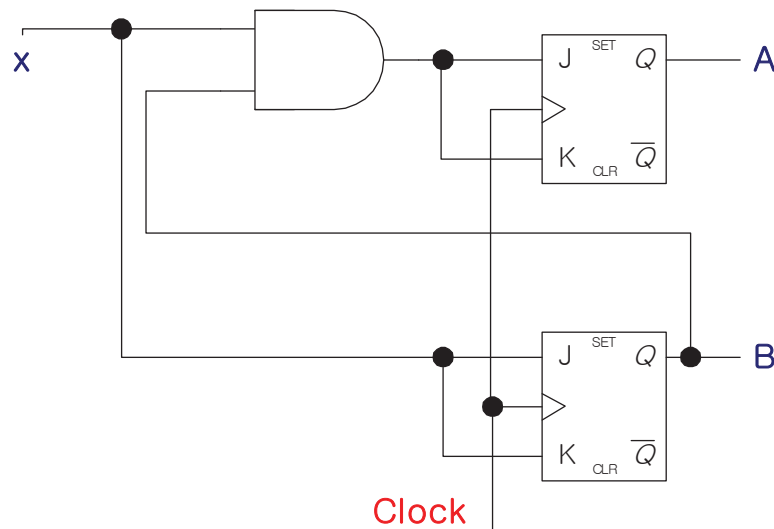
توابع مربوط به ورودی فلیپ فلاپ ها را ساده می کنیم





## مثال طراحی یک شمارنده (ادامه)

نمودار منطقی این شمارنده به شکل زیر است (شکل ۱-۲۹ کتاب)



## ثبات (Register)

گروهی از فلیپ فلاپ‌ها که هر فلیپ فلاپ یک بیت اطلاعات را ذخیره می‌کند  
مثال - یک ثبات ۴ بیتی (شکل ۲ - ۶ کتاب)

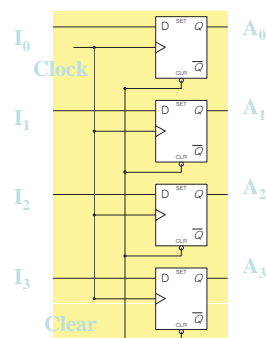
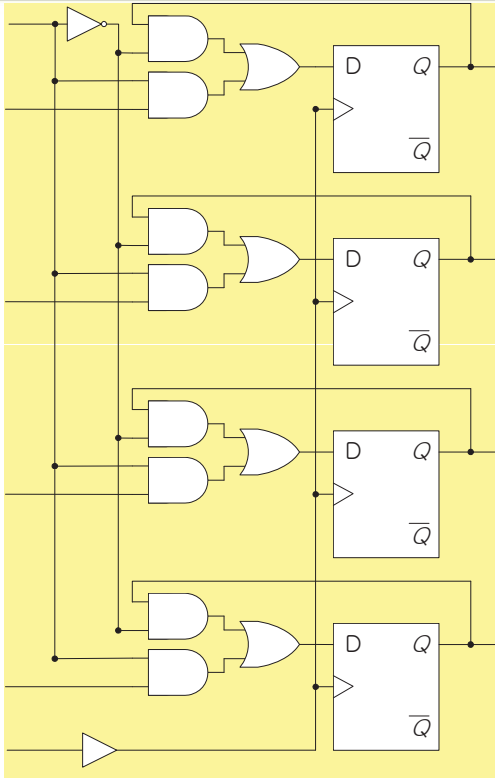


Fig. 2-6 4-bit register



## ثبات با باردهی موازی (Register with parallel load)

- ثبات با امکان باردهی موازی
- مثال - یک ثبات ۴ بیتی با امکان باردهی موازی (شکل ۲ - ۷ کتاب)

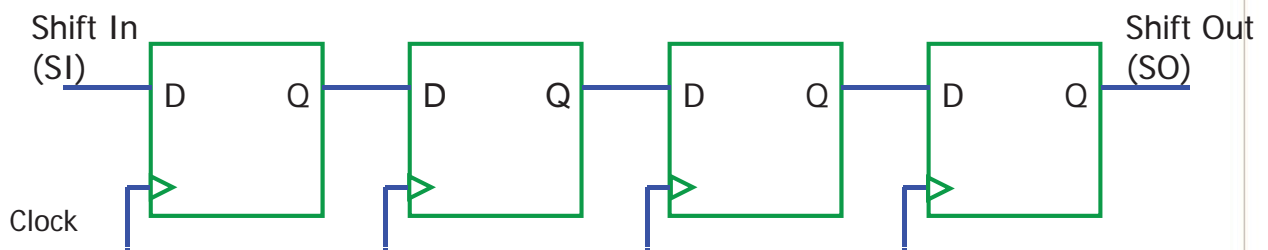


16



## ثبات انتقالی (Shift Register)

- ثباتی که قادر به انتقال اطلاعات به سمت چپ یا راست باشد
- مثال - یک ثبات انتقالی ۴ بیتی (شکل ۲ - ۸ کتاب)



17



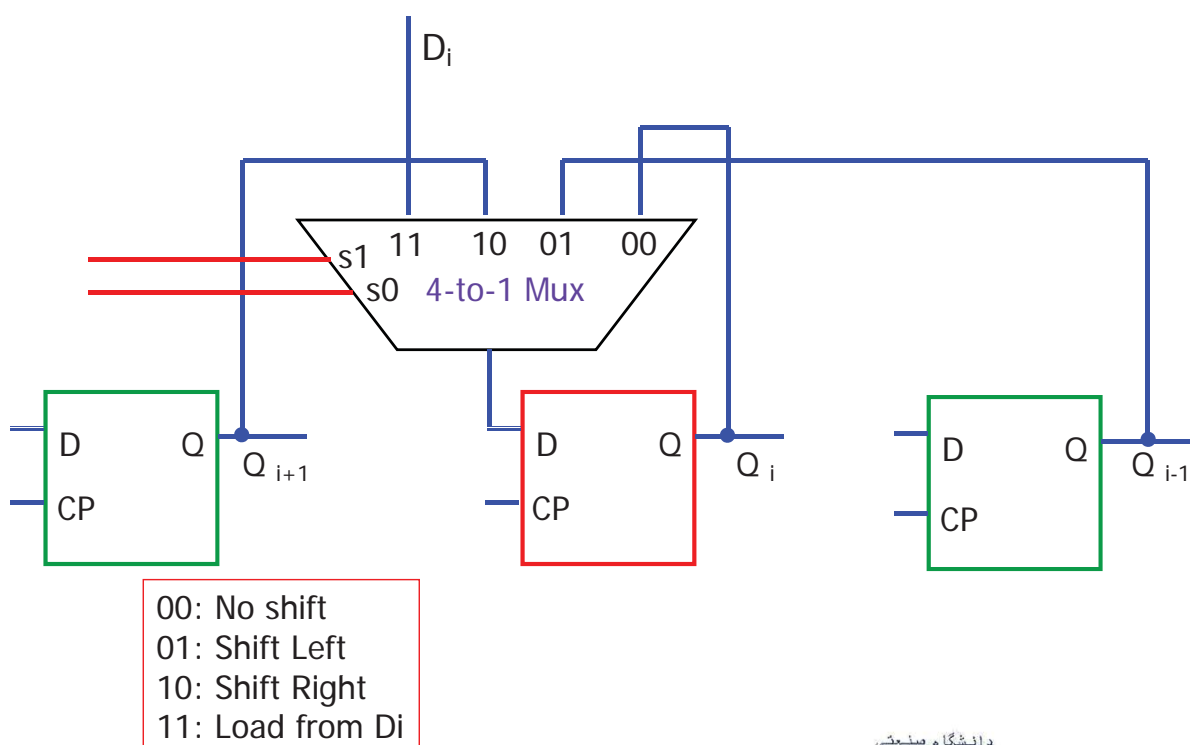


## ثبات انتقالی دوطرفه با امکان باردهی موازی

- ثباتی که قادر به انتقال اطلاعات به سمت چپ و راست باشد و امکان بارشدن موازی نیز داشته باشد
- در ورودی هر ثبات یک مالتی پلکسر (انتخاب کننده) چهار به یک قرار می گیرد



## ثبات انتقالی دوطرفه با امکان باردهی موازی





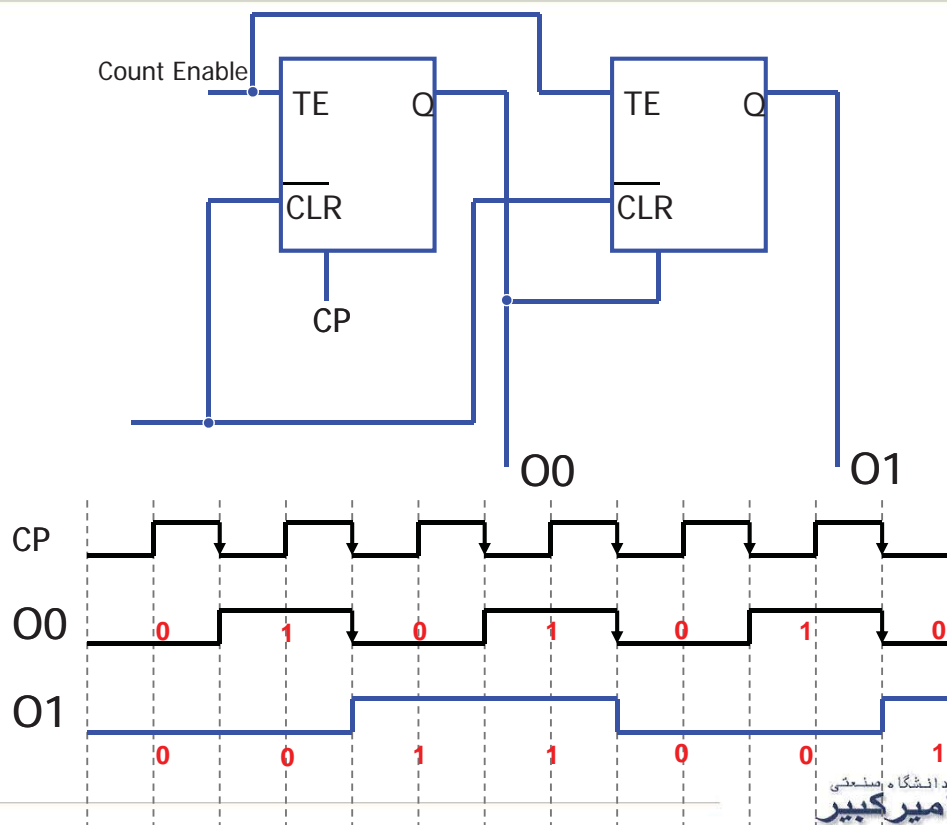
## شمارنده دودویی (Binary Counter)

- یک مدار ترتیبی که دنباله‌ای از حالات را تکرار کند
- شمارنده غیر همزمان (Ripple counter)
- شمارنده همزمان یا سنکرون

20



## شمارنده غیر همزمان (Ripple counter)

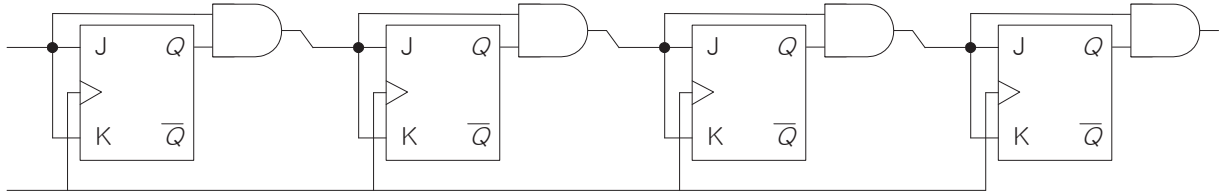


21



## شمارنده دودویی (Binary Counter)

- شمارنده همزمان یا سنکرون ۴ بیتی با فلیپ فلاپ JK
- شکل ۲-۱۰ کتاب مانو

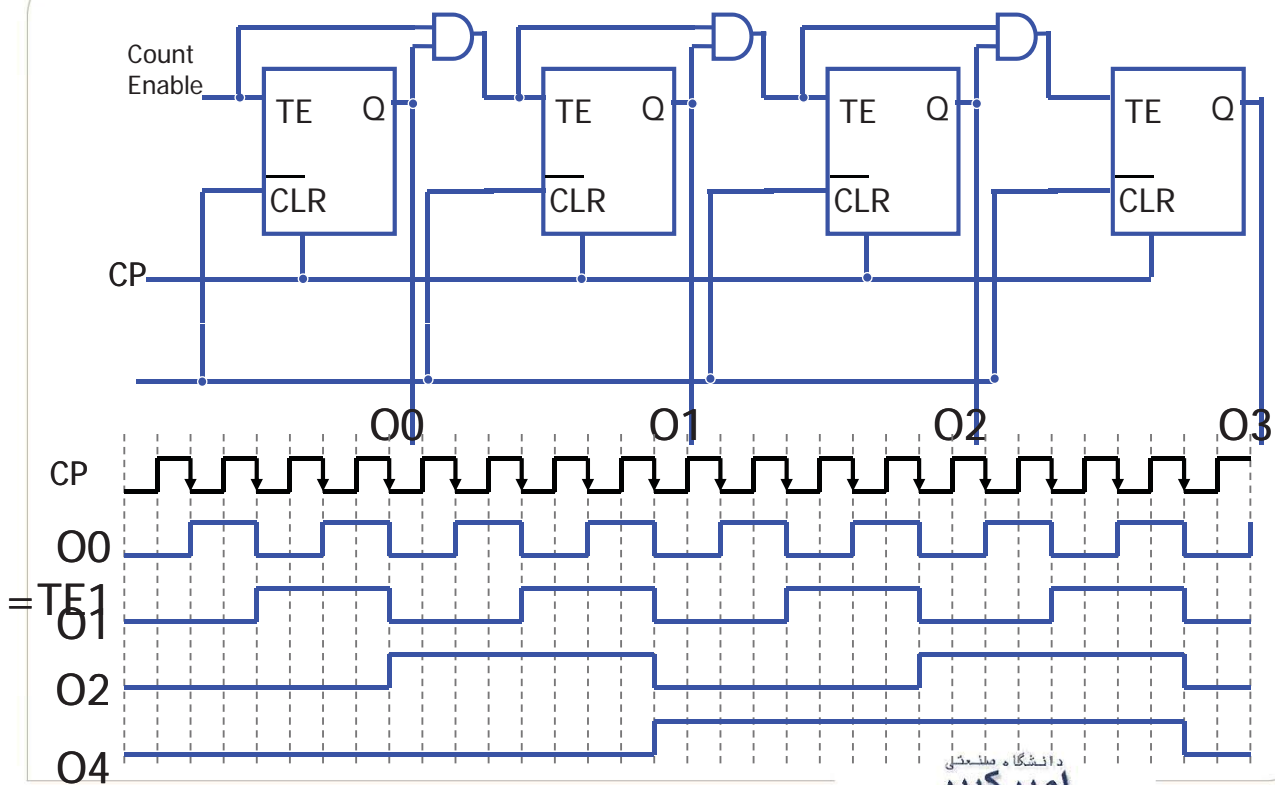


22

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## شمارنده همزمان (Synchronous Counter)

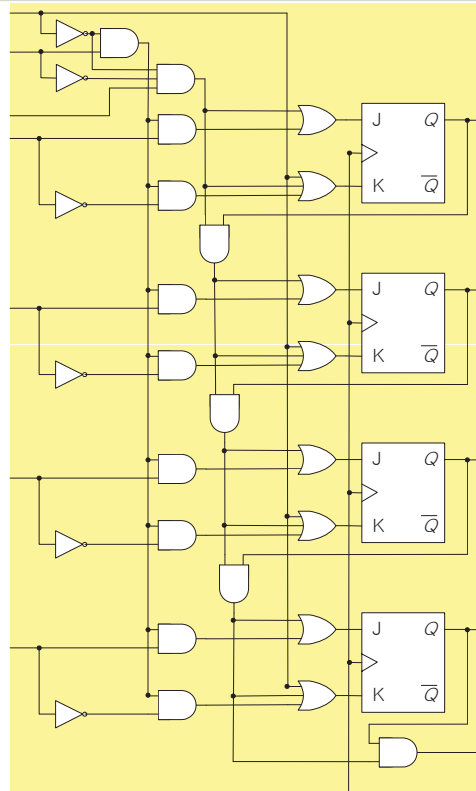


23

دانشگاه صنعتی  
امیرکبیر  
پلی تکنیک تهران



## شمارنده همزمان با امکان باردهی موازی



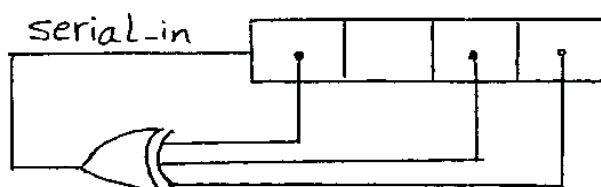
24



## خودآزمایی

۱- کنکور کارشناسی ارشد - ۱۳۸۶

۶۲- شکل زیر یک شیفت رجیستر را نشان می‌دهد که در هر clock یک بیت محتوای خود را به راست شیفت می‌دهد. اگر مقدار اولیه این شیفت رجیستر ۰۰۰۱ باشد، دوره تناوب این شیفت رجیستر چند clock cycle است؟



۶ (۱)

۸ (۲)

۱۵ (۳)

۱۶ (۴)

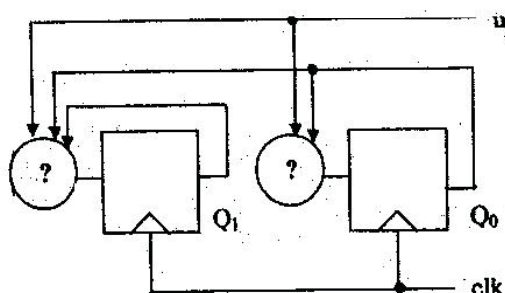
25



## خودآزمایی

۲- کنکور کارشناسی ارشد - ۱۳۸۷

۶۸- برای ساخت یک شمارنده باینری up/down با ورودی  $u$  برای بالا شمردن و  $u = 1$  برای پایین شمردن، دایره‌های نشان داده شده در مدار زیر چه باید باشند؟



$$\begin{aligned} D_1 &= Q_1 \oplus u & D_1 &= \bar{Q}_1 \oplus u \\ D_0 &= Q_0 \oplus u & D_0 &= \bar{Q}_0 \end{aligned} \quad (1)$$

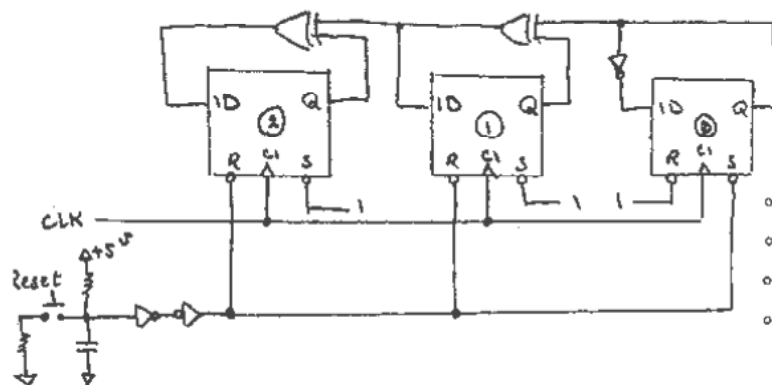
$$\begin{aligned} D_1 &= Q_1 \oplus Q_0 \oplus u & D_1 &= Q_1 \oplus Q_0 \oplus u \\ D_0 &= Q_0 \oplus u & D_0 &= \bar{Q}_0 \end{aligned} \quad (2)$$



## خودآزمایی

۳- کنکور کارشناسی ارشد - ۱۳۸۸

۶۶- در مدار زیر، پس از Reset کامل مدار شمارش به چه گونه است؟ (تمامی اعداد بر اساس  $Q_2Q_1Q_0$  می باشد)



$001 \rightarrow 110 \rightarrow 011 \rightarrow 000 \rightarrow 001$  (۱)  
 $001 \rightarrow 010 \rightarrow 011 \rightarrow 000 \rightarrow 001$  (۲)  
 $000 \rightarrow 001 \rightarrow 110 \rightarrow 011 \rightarrow 000$  (۳)  
 $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 000$  (۴)



## معرفی درس

### اصول سیستمهای کامپیوتری جلسه هفتم: نمایش داده ها

#### • فهرست مطالب:

- نمایش داده ها در کامپیوتر
- نمایش اعداد علامت دار
- نمایش اعداد اعشاری
- کد گری
- کد تصحیح خطا

این جلسه مطابق با فصل سوم از کتاب مانو است.



## نمایش داده ها در کامپیوتر

کوچکترین واحد اطلاعات در کامپیوتر بیت (bit) می باشد.  
یک بیت می تواند صفر یا یک باشد

$$B = \{0, 1\}$$

با یک فلیپ فلاپ می توان یک بیت اطلاعات را نگهداری کرد  
به هشت بیت اطلاعات یک بایت (byte) می گویند

01000001

معمولا ظرفیت حافظه یک کامپیوتر یا یک دیسک بر حسب بایت بیان می شود  
برای راحتی از نمادهای زیر استفاده می شود:

کیلو =  $1024$  = حدود هزار

مگا =  $1024 \times 1024$  = حدود یک میلیون

گیگا =  $1024 \times 1024 \times 1024$  = حدود یک میلیارد

ترا =  $1024 \times 1024 \times 1024 \times 1024$  = حدود یک هزار میلیارد



## سیستم اعداد

### • نمایش اعداد در مبنای ۱۰

ارزش هر عدد در مبنای ۱۰ با ضرب هر رقم در ارزش مکانی آن رقم بدست می‌آید  
مثال:

$$724.5 = 7 \times 10^2 + 2 \times 10^1 + 4 \times 10^0 + 5 \times 10^{-1}$$

### • در کامپیوتر معمولاً از مبنای ۲ (دودویی یا باینری) استفاده می‌شود

ارزش هر عدد در مبنای ۲ نیز با ضرب هر رقم در ارزش مکانی آن رقم بدست می‌آید  
مثال:

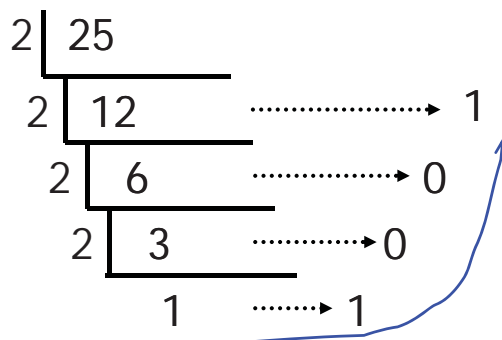
$$101101 = 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$

$$(101101)_2 = (45)_{10} \quad \text{بنابراین:}$$



## تبدیل از مبنای ۱۰ به مبنای ۲

• برای تبدیل یک عدد از مبنای ۱۰ به مبنای ۲ از تقسیم متوالی استفاده می‌کنیم  
مثال:



$$(11001)_2 = (25)_{10} \quad \text{بنابراین:}$$



## مبنای ۸ و ۱۶

در اکثر موارد به جای اعداد مبنای ۲ از مبنای ۱۶ (هگزا دسیمال) و به ندرت از مبنای ۸ استفاده می‌شود

تبدیل اعداد از مبنای ۲ به مبنای ۸ یا ۱۶ (و برعکس آن) به سادگی انجام می‌شود ولی خواندن و نوشتن اعداد مبنای ۸ یا ۱۶ ساده تر از اعداد مبنای ۲ است



## مبنای ۸ و مبنای ۱۶

### • مبنای ۱۶ یا هگزا دسیمال

در اکثر موارد به جای اعداد مبنای ۲ از مبنای ۱۶ و به ندرت از مبنای ۸ استفاده می‌شود

مبنای ۲	مبنای ۸	مبنای ۱۶	مبنای ۲	مبنای ۱۶
0000	0	0	8	1000
0001	1	1	9	1001
0010	2	2	a	1010
0011	3	3	b	1011
0100	4	4	c	1100
0101	5	5	d	1101
0110	6	6	e	1110
0111	7	7	f	1111





## نمایش اعداد اعشاری

برای نمایش اعداد اعشاری دو روش ممیز ثابت و ممیز شناور وجود دارد  
در روش ممیز ثابت قسمت صحیح و اعشاری بصورت جداگانه نمایش داده می شوند  
مثال : عدد  $۴۱ / ۶۸۷۵$  را به مبنای ۲ تبدیل کنید.

ابتدا قسمت صحیح را با تقسیمات متوالی به مبنای ۲ تبدیل می کنیم:

$$۴۱$$

$$۲۰ : ۱$$

$$۱۰ : ۰$$

$$۵ : ۰$$

$$۲ : ۱$$

$$۱ : ۰$$

$$۰ : ۱$$

$$(41)_{10} = (101001)_2$$



## نمایش اعداد اعشاری (ادامه)

سپس قسمت اعشاری را با ضرب متوالی به مبنای ۲ تبدیل می کنیم

$$0.6875 * 2 = 1.3750$$

$$0.375 * 2 = 0.750$$

$$0.75 * 2 = 1.5$$

$$0.5 * 2 = 1.0$$

$$(0.6875)_{10} = (0.1011)_2$$

پس در نهایت عدد  $41.6875$  در مبنای ۱۰ برابر با  $101001.1011$  در مبنای ۲ است



## نمایش اعداد اعشاری (مبنای ۸)

$$(736.4)_8 = 7 \times 8^2 + 3 \times 8^1 + 6 \times 8^0 + 4 \times 8^{-1} = (478.5)_{10}$$

$$(736.4)_8 = (111011110.100)_2$$



## نمایش BCD اعداد

- در روش BCD هر رقم مبنای ۱۰ با ۴ بیت نشان داده می شود

مثال:

$$(125)_{10} = (0001\ 0010\ 0101)_{BCD}$$



## کد اسکی (ASCII Code)

برای نمایش کاراکترها و حروف از کد استاندارد اسکی استفاده می‌شود  
مثال:

کد اسکی A برابر 0100 0001 است

کد اسکی a برابر 0110 0001 است

کد اسکی استاندارد ۷ بیتی است

ولی امروزه معمولاً برای کد اسکی از ۸ بیت استفاده می‌شود



## نمایش اعداد علامت دار

• برای نمایش اعداد علامت دار سه روش وجود دارد:

۱- روش اندازه - علامت

۲- روش مکمل  $r-1$

۳- روش مکمل  $r$

$r$  مبنای عدد است



## روش اندازه علامت

- در روش اندازه علامت، هر عدد بصورت علامت و قدر مطلق نشان داده می شود

مثال : (نمایش عدد ۱۴ و ۱۴- با ۸ بیت در مبنای ۲)

$$(+14)_{10} = (0\ 000\ 1110)_2$$

$$(-14)_{10} = (1\ 000\ 1110)_2$$



## روش مکمل r-1

- در روش مکمل r-1، برای مکمل کردن یک عدد هر رقم آن عدد از r-1 کسر می شود

مثال : (نمایش عدد ۱۴ و ۱۴- با ۸ بیت در مبنای ۲)

$$(+14)_{10} = (0\ 000\ 1110)_2$$

$$(-14)_{10} = (85)_{10}'\text{'s complement}$$

$$= (1\ 111\ 0001)_{10}'\text{'s complement}$$



## روش مکمل r

- در روش مکمل r، برای مکمل کردن یک عدد هر رقم آن عدد از  $r-1$  کسر شده و در نهایت عدد با یک جمع می‌شود
- مثال : (نمایش عدد ۱۴ و ۱۴- با ۸ بیت در مبنای ۲)

$$\begin{aligned}
 (+14)_{10} &= (0\ 000\ 1110)_2 \\
 (-14)_{10} &= (86)_{10}'\text{'s complement} \\
 &= (1\ 111\ 0010)_2'\text{'s complement}
 \end{aligned}$$



## تفریق

- برای تفریق می‌توان عدد اول را با مکمل عدد دوم جمع کرد

$$A - B = A + (-B)$$

مثال : تفریق دو عدد مبنای ۱۰ با استفاده از مکمل ۱۰

$$72532 - 13250 = 72532 + (-13250)$$

$$(-13250) = 86750 \quad \text{مکمل ۱۰}$$

$$72532 + (-13250)$$

$$= 72532 + (86750)$$

$$= 1\ 59282$$

از رقم آخر صرف نظر می‌شود، بنابر این

$$72532 - 13250 = 59282$$



## جمع دو عدد علامت دار (مکمل ۲)

- جمع دو عدد علامت دار (مکمل ۲) بصورت جمع معمولی دو عدد انجام می شود

مثال: جمع چند عدد مبنای ۲ (مکمل ۲)

$$\begin{array}{r} (+ 6) \ 0000 \ 0110 \\ + (+ 13) \ 0000 \ 1101 \\ \hline (+ 19) \ 0001 \ 0011 \end{array}$$

$$\begin{array}{r} (+ 6) \ 0000 \ 0110 \\ + (- 13) \ 1111 \ 0011 \\ \hline (- 7) \ 1111 \ 1001 \end{array}$$

$$\begin{array}{r} (- 6) \ 1111 \ 1010 \\ + (+ 13) \ 0000 \ 1101 \\ \hline (+ 7) \ 0000 \ 0111 \end{array}$$

$$\begin{array}{r} (- 6) \ 1111 \ 1010 \\ + (- 13) \ 1111 \ 0011 \\ \hline (- 19) \ 1110 \ 1101 \end{array}$$



## سرریز (overflow)

- اگر مجموع دو عدد n رقمی، n+1 رقم داشته باشد، سرریز رخ می دهد

مثال: جمع دو عدد ۸ بیتی علامت دار

بیت نقلی 01

$$\begin{array}{r} (+ 70) \ 0100 \ 0110 \\ + (+ 80) \ 0101 \ 0000 \\ \hline \end{array}$$

$$(- 106) \ 1001 \ 0110$$

بیت نقلی 10

$$\begin{array}{r} (- 70) \ 1011 \ 1010 \\ + (- 80) \ 1011 \ 0000 \\ \hline \end{array}$$

$$(+106) \ 0110 \ 1010$$

$$\text{Overflow} = C_n \text{ XOR } C_{n-1}$$



## نمایش ممیز شناور (Floating Point)

- در روش ممیز شناور اعداد بصورت زیر نمایش داده می شوند

$$m \times r^e$$

که به  $r$  پایه، به  $m$  مانتیس و به  $e$  نما گفته می شود

در کامپیوتر پایه توان را 2 در نظر می گیرند

مانتیس را عددی بین صفر تا یک و توان را یک عدد مثبت یا منفی در نظر می گیرند

مثال:

$$m \times r^e = 0.1001110_2 \times 2^{+4} = 9.75_{10}$$



## کد گری (Gray Code)

- در کد گری هر دو عدد متوالی فقط در یک بیت اختلاف دارند

کد گری ۴ بیتی				
معادل دهدهی	کد گری		معادل دهدهی	کد گری
8	1100		0	0000
9	1101		1	0001
10	1111		2	0011
11	1110		3	0010
12	1010		4	0110
13	1011		5	0111
14	1001		6	0101
15	1000		7	0100



## کد کشف خطا (Error Detection Code)

- در هنگام انتقال یا ذخیره سازی اطلاعات ممکن است اطلاعات خراب شوند  
برای کشف خطا، یک سری اطلاعات اضافی به اطلاعات اضافه می شود  
به کمک این اطلاعات اضافی می توان خطا را کشف یا حتی تصحیح کرد
- بیت توازن (Parity Bit)  
ساده ترین روش استفاده از بیت توازن می باشد  
در بیت توازن بیت های 1 شمارش شده و با اضافه کردن یک بیت توازن تعداد 1 را فرد (یا زوج) قرار می دهیم.  
مثال: اگر داده 0111 باید ارسال شود و توازن زوج در نظر باشد، یک بیت توازن 1 همراه داده ارسال می شود



## بیت توازن

- جدول بیت توازن برای ۴ بیت داده
- ABCD داده های مورد نظر
- E بیت توازن زوج
- O بیت توازن فرد

A	B	C	D	E	O
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1



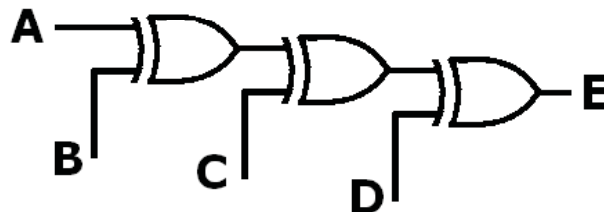


## بیت توازن

- جدول کارنو برای بیت توازن زوج

$$E = A \oplus B \oplus C \oplus D$$

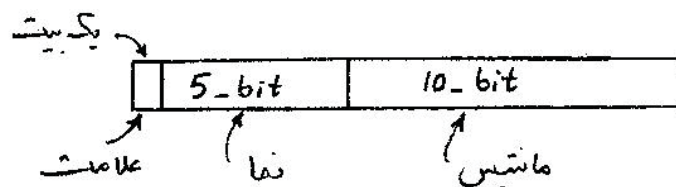
		C		
	0	1	3	2
	4	5	7	6
A	12	13	15	14
	8	9	11	10
		D		
				B



## خودآزمایی

۱- کنکور کارشناسی ارشد - ۱۳۸۷

۷۲- محدوده‌ی دقت نمایش اعداد ممیز شناور با ساختار زیر را نشان دهید. فرض کنید که اعداد علامتدار نما را با مقدار ۱۶ بایاس می‌کنیم.



$$(۱) \quad 2^{-26} \leq \text{دقت} \leq 2^5$$

$$(۲) \quad 2^{-15} \leq \text{دقت} \leq 2^{-10}$$

$$(۳) \quad 2^{-5} \leq \text{دقت} \leq 2^{10}$$

$$(۴) \quad 2^{-1} \leq \text{دقت} \leq 2^{-10}$$