



به نام خدا
دانشگاه تهران
پردیس دانشکده‌های فنی
دانشکده مهندسی برق و کامپیوتر



درس الکترونیک III

نیمسال دوم (01-00)

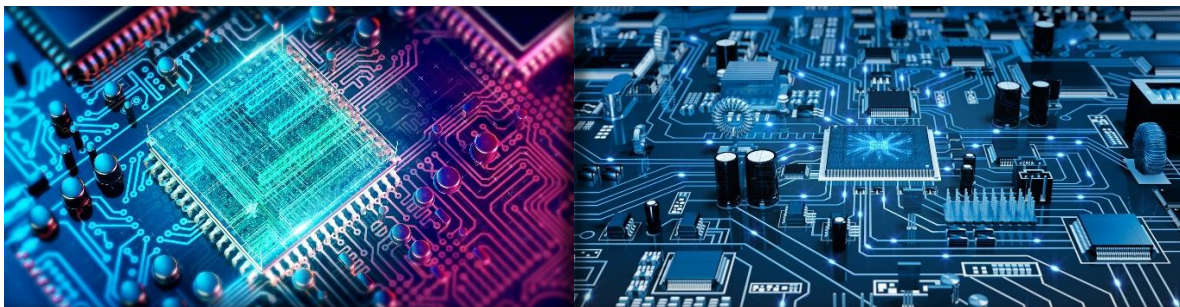
استاد درس: دکتر شعاعی

پروژه نهایی :

طراحی و شبیه‌سازی تقویت‌کننده دو طبقه در محیط کیدنس

محمد مهدی عبدالحسینی

810 198 434



E l e c t r o n i c s III

فهرست مطالب

بخش اول : طراحی تقویت کننده..... 1.

1..... محاسبات و تحلیل های دستی :

بخش دوم : شبیه سازی تقویت کننده طراحی شده..... 6

6..... سوال 1 : گوشه tt27

9..... سوال 2 : گوشه tt27

9..... سوال 3 : گوشه tt27

10..... سوال 1 : گوشه ss85

12..... سوال 2 : گوشه ss85

12..... سوال 3 : گوشه ss85

13..... سوال 1 : گوشه ff-20

15..... سوال 2 : گوشه ff-20

15..... سوال 3 : گوشه ff-20

16..... سوال 4 : گوشه tt27

16..... سوال 5 : گوشه tt27

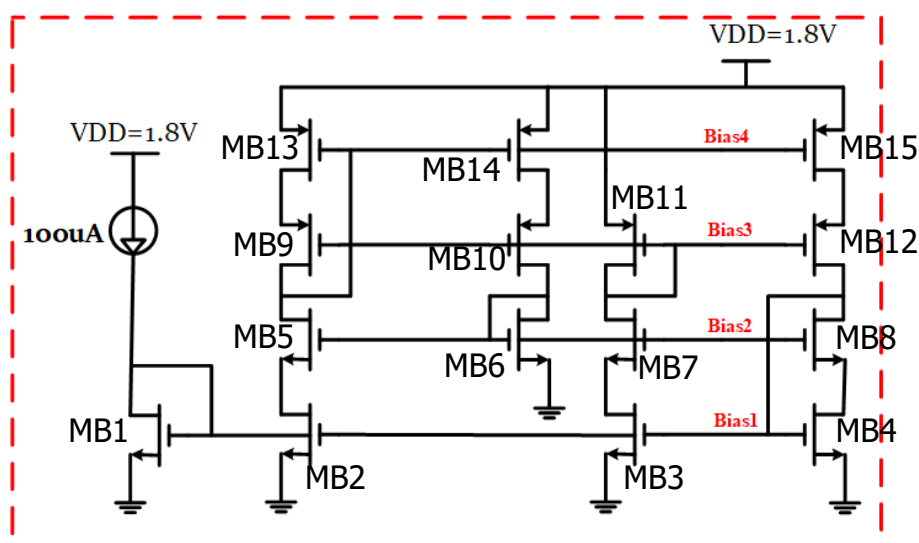
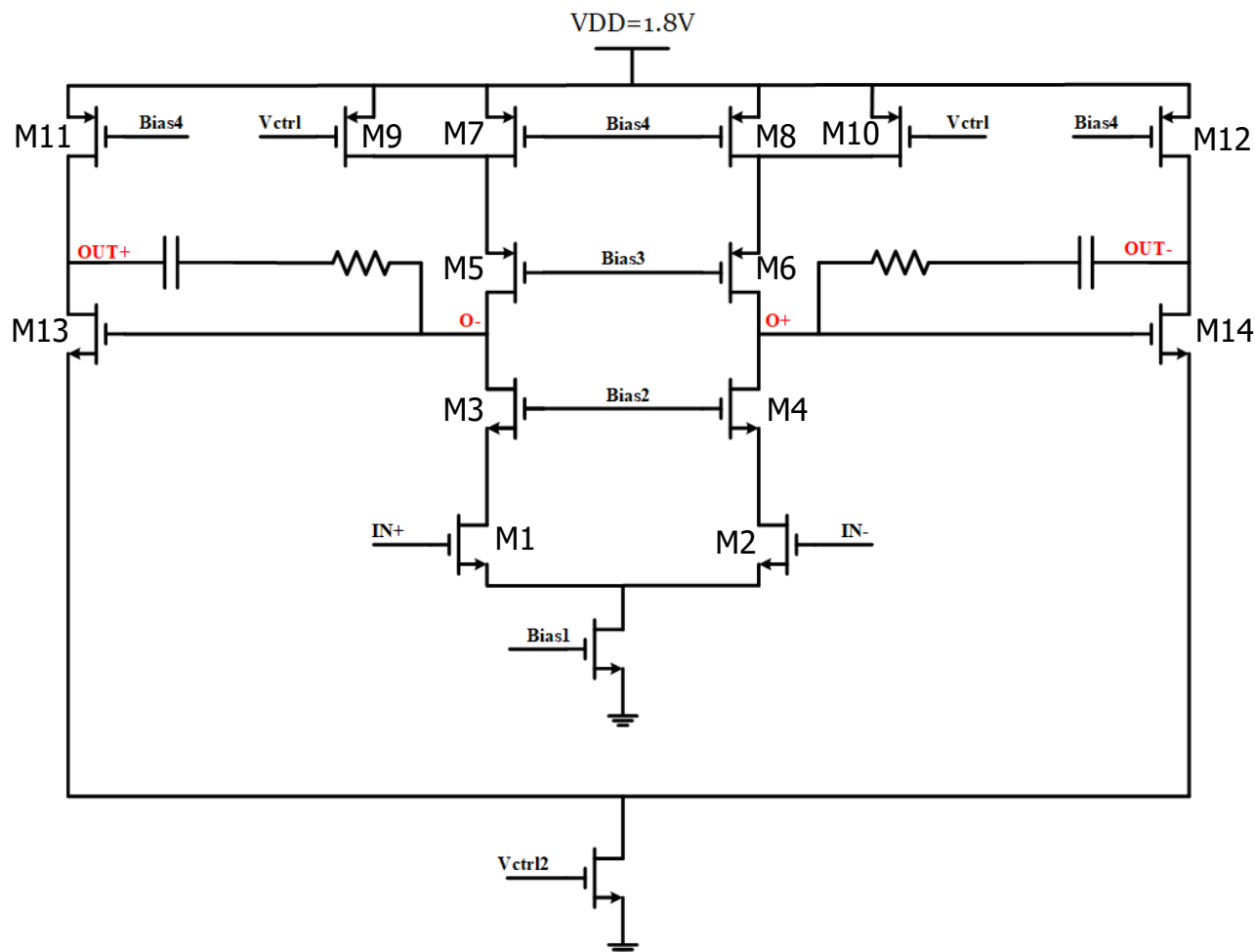
17..... سوال 6 : گوشه tt27

17..... سوال 7 : گوشه tt27

18..... سوال 8 : گوشه tt27

بخش اول : طراحی تقویت کننده

محاسبات و تحلیل های دستی :

**Bias Circuit**

$$DC \text{ Gain (dB)} > 75 \rightarrow A_o > 10^{75/20} = 5625$$

بهره A_o با توجه به شش‌تک تقویت‌کننده دو طبقه به صورت زیر محاسبه می‌شود.

$$A_o = g_{m1} R_o g_{m13} R_{out}$$

R_o : مقاومت دیده شده در گره O

R_{out} : مقاومت دیده شده در گره out

$$R_o = g_{m5} r_{ds5} (r_{ds7} \parallel r_{ds9}) \parallel g_{m3} r_{ds3} r_{ds1}$$

$$R_{out} = r_{ds11} \parallel r_{ds13}$$

$$g_m = \sqrt{2 \mu C_{ox} \left(\frac{W}{L}\right) I_D} = \mu C_{ox} \left(\frac{W}{L}\right) V_{ov} = \frac{2 I_D}{V_{ov}}$$

$$r_{ds} = \frac{1}{\lambda I_D} \quad ; \quad \lambda L = 0.08 \mu m/V \xrightarrow{L=0.18 \mu m} 1/\lambda = 2.25$$

$$\mu_n C_{ox} = 270 \mu A/V^2 \quad ; \quad \mu_p C_{ox} = 70 \mu A/V^2$$

$$\rightarrow \frac{\mu_n C_{ox}}{\mu_p C_{ox}} \approx 4$$

با توجه به شش‌تک تقویت‌کننده دو طبقه، جریان عبوری از ترانزیستورهای $M1$ ، $M3$ و $M5$ یکسان

می‌باشد. بنابراین داریم:

$$I_{D1} = I_{D3} = I_{D5}$$

$$\rightarrow r_{ds1} = r_{ds3} = r_{ds5} \quad ; \quad g_{m1} = g_{m3} = \sqrt{\frac{\mu_n C_{ox}}{\mu_p C_{ox}}} g_{m5} = 2 g_{m5}$$

* تا این مرحله، $\frac{W}{L}$ ترانزیستورهای $M1$ تا $M6$ را یکسان در نظر گرفتیم.

$$UGBW = \omega_t = A_o \omega_{p1} = \frac{g_{m1}}{C_c} \quad \left(\omega_{p1} = \frac{1}{g_{m13} R_o R_{out} C_c} \right)$$

می‌خواهیم $UGBW$ بزرگتر از 800 MHz شود. فرض می‌کنیم C_c برابر با 1 pF باشد. داریم:

$$UGBW > 800 \text{ MHz} \rightarrow g_{m1} > 800 \text{ MHz} \times 1 \text{ pF}$$

بنابراین عامل اصلی در طراحی برای تعیین $UGBW$ و افزایش آن، g_{m1} می‌باشد.

$$\text{Phase Margin} = 68^\circ$$

$$\Phi_M = 180^\circ - \tan^{-1}\left(\frac{\omega_t}{\omega_{p1}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{p2}}\right) + \tan^{-1}\left(\frac{\omega_t}{\omega_z}\right)$$

از آن جا که گره های 0 و out ، high impedance هستند ، نسبت به سایر قطب ها غالب می باشند بنابراین تنها آن ها را برای محاسبه Φ_M نوشتیم .

$$\omega_{p2} = \frac{g_{m13}}{C_o + C_{out}}$$

C_o : خازن های متصل به گره 0

C_{out} : خازن های متصل به گره out

با توجه به اینکه C_L برابر با 1pF می باشد ، در مقایسه با مجموع خازن های پارازیتی ترانزیستورها ، خیلی بزرگتر است . بنابراین از تقریب زیر استفاده می کنیم .

$$C_o + C_{out} = C_L + C_{\text{خازن پارازیتی}} \approx C_L$$

$$\rightarrow \omega_{p2} \approx \frac{g_{m13}}{C_L}$$

$$\omega_z = \frac{-1}{C_c \left(\frac{1}{g_{m13}} - R_c \right)}$$

$$\Rightarrow \Phi_M = 180^\circ - 90^\circ - \tan^{-1}\left(\frac{\frac{g_{m1}}{C_c}}{\frac{g_{m13}}{C_L}}\right) + \tan^{-1}\left(\frac{\frac{g_{m1}}{C_c}}{\frac{-1}{C_c \left(\frac{1}{g_{m13}} - R_c \right)}}\right)$$

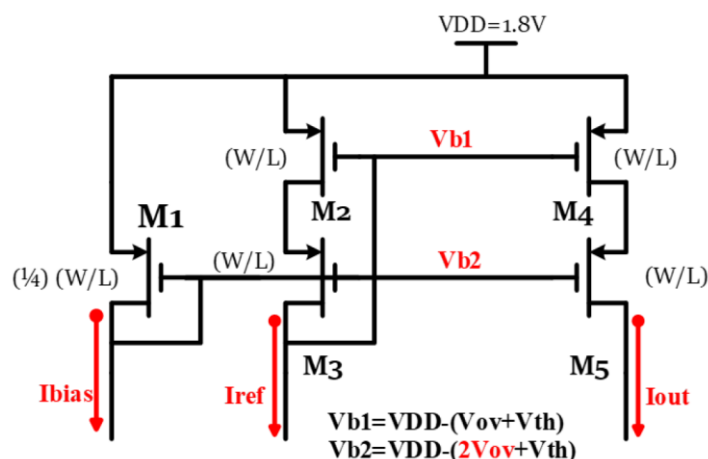
$$\Phi_M = 90^\circ - \tan^{-1}\left(\frac{g_{m1}}{g_{m13}}\right) + \tan^{-1}\left(-g_{m1} \left(\frac{1}{g_{m13}} - R_c\right)\right)$$

فرض می کنیم مقدار g_{m1} برای برآورده ساختن شرط U_{GBW} ، set کردیم .

برای سادگی کار g_{m13} را نزدیک به g_{m1} در نظر می گیریم . یعنی فرض می کنیم جریان و $\frac{W}{L}$ یکسان داشته باشند .

بنابراین عامل اثرگذار در Φ_M ، R_c خواهد بود ، که با افزایش آن Φ_M افزایش ، و با کاهش آن Φ_M کاهش می یابد .

$$\omega_z = \alpha \omega_t \rightarrow \frac{-1}{C_c \left(\frac{1}{g_{m13}} - R_c \right)} = \alpha \frac{g_{m1}}{C_c} \Rightarrow R_c = \frac{1}{g_{m13}} + \frac{1}{\alpha g_{m1}}$$



با توجه به مدار بالا و مقایسه آن با شماتیک مدار بایاس داده شده، میتوان گفت اگر W/L ترانزیستورهای $MB1$ ، $MB6$ و $MB11$ ، تقریباً بین $1/4$ تا $1/6$ مقدار W/L سایر ترانزیستورهای مدار بایاس باشد، به مقادیر مطلوبی برای ولتاژهای بایاس 1 تا 4 میرسیم.

اگر W/L ترانزیستور $MB1$ ، $1/6$ مقدار W/L سایر ترانزیستورهای مدار بایاس باشد، جریان آینه شده بر روی آنها، 6 برابر جریان $MB1$ ، که همان جریان منبع جریان میباشد، خواهد بود. (دقت شود که منبع جریان $0.1mA$ میباشد.)

تا این مرحله ابعاد ترانزیستورهای مدار تقویت کننده دو طبقه بصورت زیر خواهد بود.

M1	M2	M3	M4	M5	M6	M7	M8	M9	M10
$2*W/L$	$2*W/L$	$2*W/L$	$2*W/L$	$2*W/L$	$2*W/L$?	?	$2*W/L$	$2*W/L$

M11	M12	M13	M14	M15	M16
?	?	$2*W/L$	$2*W/L$?	$2*W/L$

تا این مرحله ابعاد ترانزیستورهای مدار بایاس بصورت زیر خواهد بود.

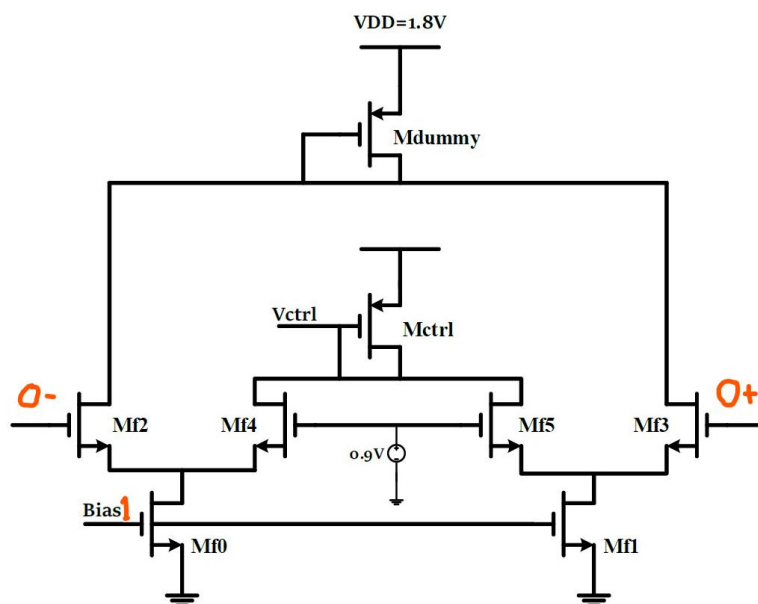
MB1	MB2	MB3	MB4	MB5	MB6	MB7	MB8	MB9	MB10
$1/6*W/L$	W/L	W/L	W/L	W/L	$1/5*W/L$	W/L	W/L	W/L	W/L

MB11	MB12	MB13	MB14	MB15	MB16
$1/4*W/L$	W/L	W/L	W/L	W/L	W/L

علت دو برابر قرار دادن W/L ها در مدار تقویت کننده دو طبقه نسبت به مدار بایاس، کاملاً شهودی میباشد. ما میخواهیم g_m ترانزیستورهای مدار تقویت کننده دو طبقه زیاد باشد به گونه‌ای که شرط $Gain$ و $UGBW$

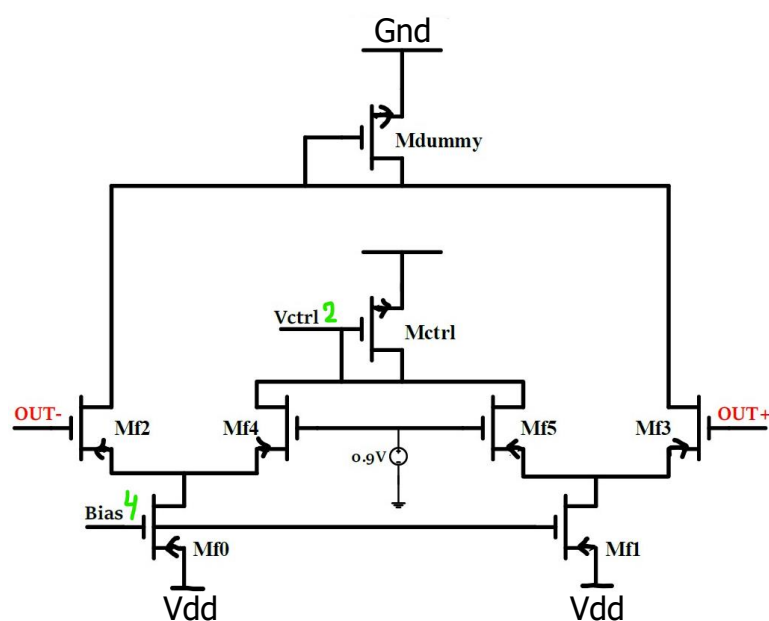
برآورده شود. بنابراین جریان بیشتری را در مدار تقویت کننده دو طبقه درایو می‌کنیم. همچنین به دلیل مشابه برای عملکرد بهتر مدار فیدبک ، مقادیر آنها را نیز بصورت زیر وارد می‌کنیم.

مدار فیدبک طبقه اول :



Mf0	Mf1	Mf2	Mf3	Mf4	Mf5	Mctrl	Mdum
$1/4 \cdot W/L$	$1/4 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$

مدار فیدبک طبقه دوم :



Mf0	Mf1	Mf2	Mf3	Mf4	Mf5	Mctrl	Mdum
$4 \cdot W/L$	$4 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$	$2 \cdot W/L$

ابعاد نهایی ترانزیستورهای مدار تقویت کننده دو طبقه بصورت زیر خواهد بود.

M1	M2	M3	M4	M5	M6	M7	M8	M9	M10
2*W/L	2*W/L	2*W/L	2*W/L	2*W/L	2*W/L	1/4*W/L	1/4*W/L	2*W/L	2*W/L

M11	M12	M13	M14	M15	M16
W/L	W/L	2*W/L	2*W/L	3*W/L	2*W/L

ابعاد ترانزیستور M15 جهت افزایش جریان آینه شده، 3 برابر ابعاد مدار بایاس قرار گرفته است. همچنین ابعاد ترانزیستور M11 و M12 جهت افزایش بهره و تنظیم UGBW، برابر با ابعاد مدار بایاس، و ابعاد ترانزیستور M7 و M8 یک چهارم ابعاد مدار بایاس در نظر گرفته شده است.

با توجه به اینکه لازم است جریانی مناسبی را به مدار بدهیم، مقدار W/L را به اندازه کافی بزرگ در نظر میگیریم. به ازای $V_{ov} = 0.15V$ و جریان $I = 0.5mA$ داریم:

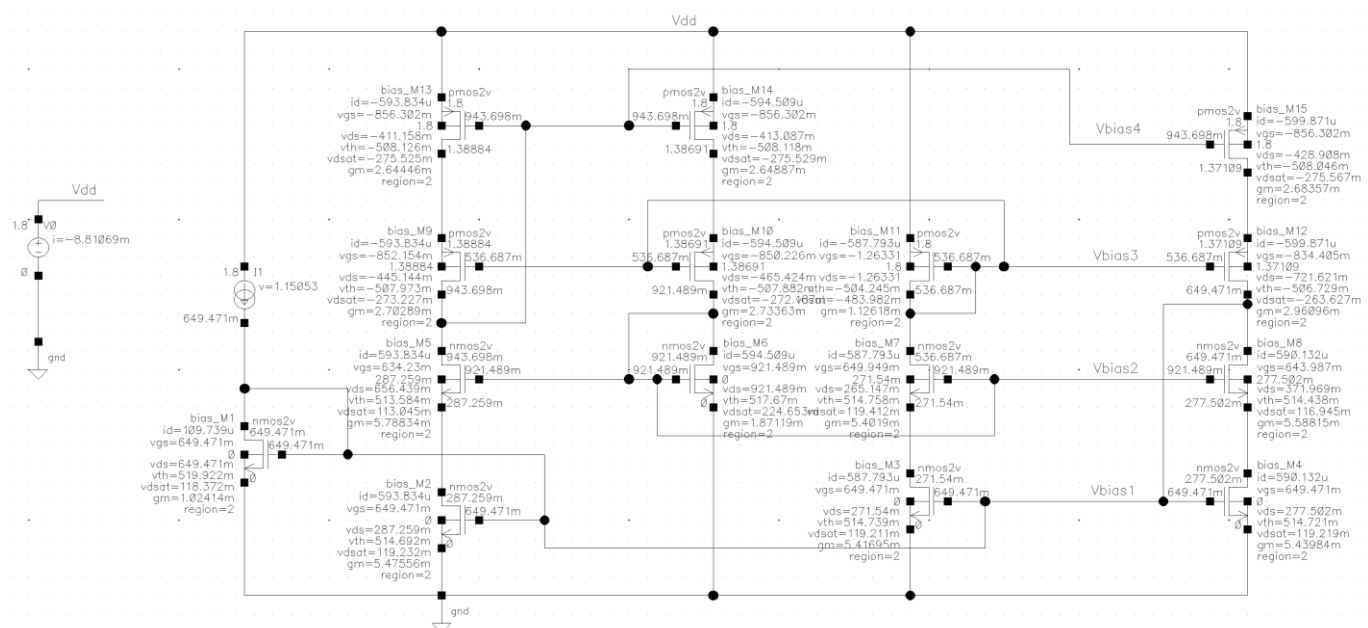
$$I = \frac{1}{2} \cdot \mu C_{ox} \cdot W/L \cdot V_{ov}^2 \Rightarrow (W/L)_{pmos} > 95 \text{ ; فرضی : } W/L = 100$$

بخش دوم : شبیه سازی تقویت کننده طراحی شده

سوال 1 : گوشه tt27

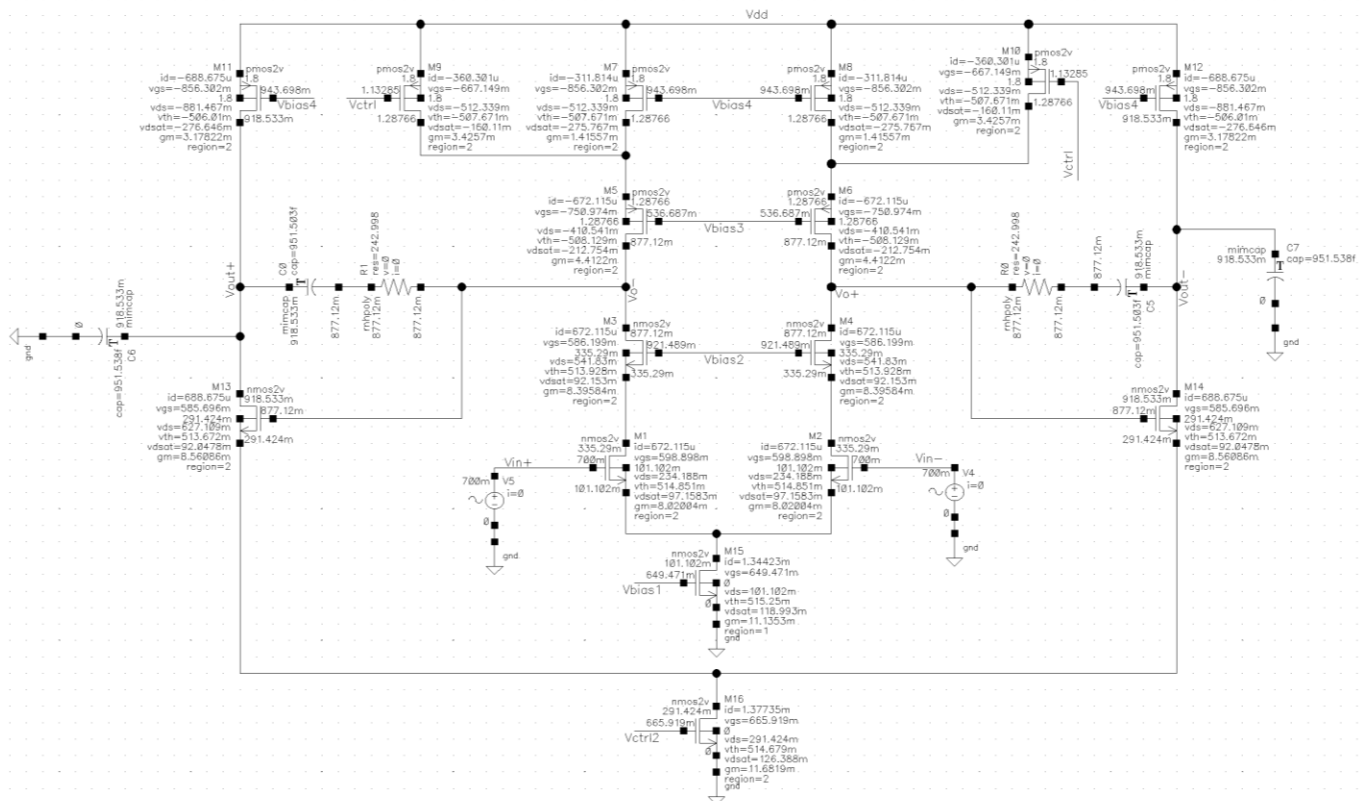
(1) مدار مورد نظر را در محیط Cadence شبیه سازی DC کرده و نقطه کار ترانزیستورها، ولتاژ تمامی گره ها و جریان تمام شاخه های مدار را گزارش کنید.

مدار بایاس :



با توجه به نتایج شبیه‌سازی، ولتاژهای بایاس صورت $b1=0.65, b2=0.92, b3=0.54, b4=0.94$ ولت می‌باشد.

مدار تقویت کننده دو طبقه :



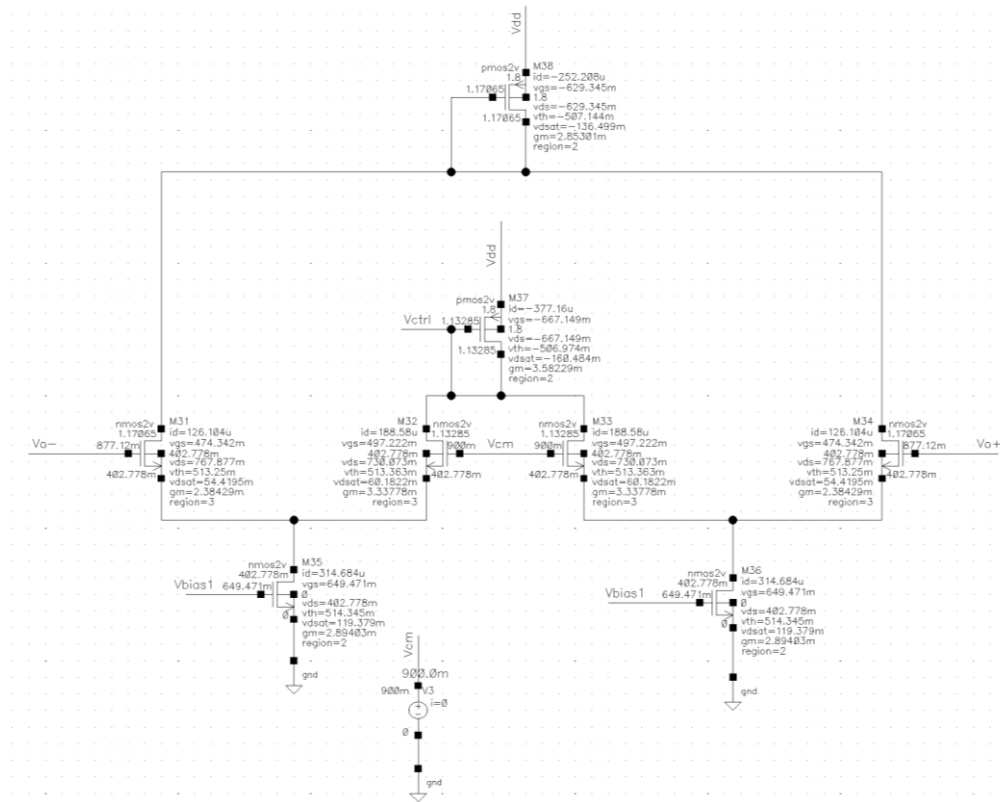
مطابق شبیه‌سازی همانگونه که در تحلیل دستی به آن اشاره شد، می‌خواهیم gm ترانزیستورها، به خصوص ترانزیستورهای $M1$ و $M2$ و $M13$ و $M14$ ، به اندازه کافی بزرگ باشد تا شرط $Gain$ و $UGBW$ با توجه به توضیحات بخش اول برقرار باشد. همانطور که مشاهده می‌شود و انتظار داشتیم، $gm3$ و $gm4$ زیاد و تقریباً دو برابر $gm5$ و $gm6$ شده است. علت اینکه می‌خواهیم gm های این ناحیه نیز زیاد باشد، افزایش مقاومت گره کسکود O ، جهت افزایش بهره طبق اول می‌باشد. و همچنین با توجه به روابط بدست آمده تئوری، برای بزرگ بودن $UGBW$ ، نیاز است $gm1$ بزرگ باشد، و در شبیه‌سازی هم این شرط برقرار شده است.

همچنین همانطور که می‌بینیم، مقادیر $gm1$ و $gm13$ را نزدیک به هم رساندیم تا برقراری شرط حاشیه فاز، بیشتر وابسته به مقدار Rc باشد. مقدار Rc را هم مطابق تحلیل دستی برابر با $(1/gm13 + 1/a \cdot gm1)$ قرار می‌دهیم.

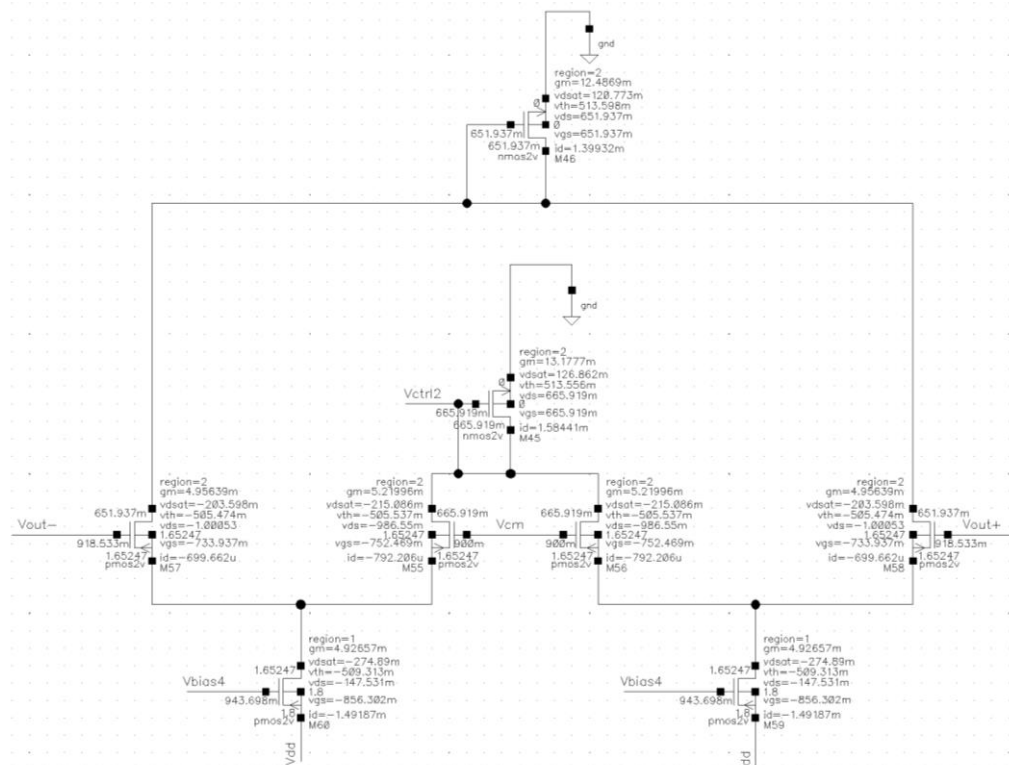
$$Rc = (1/gm13 + 1/a \cdot gm1) = 1/8.56 + 1/(1 \cdot 8.02) = 242 \text{ ohm}$$

مقدار dc گره خروجی OUT و گره O را نیز با استفاده از مدار فیدبک، تقریباً روی $0.9V$ ، set کرده‌ایم. مقدار dc گره O برابر با $0.877mV$ و گره OUT برابر با $0.918mV$ شده است.

مدار فیدبک طبقه اول :



مدار فیدبک طبقه دوم :



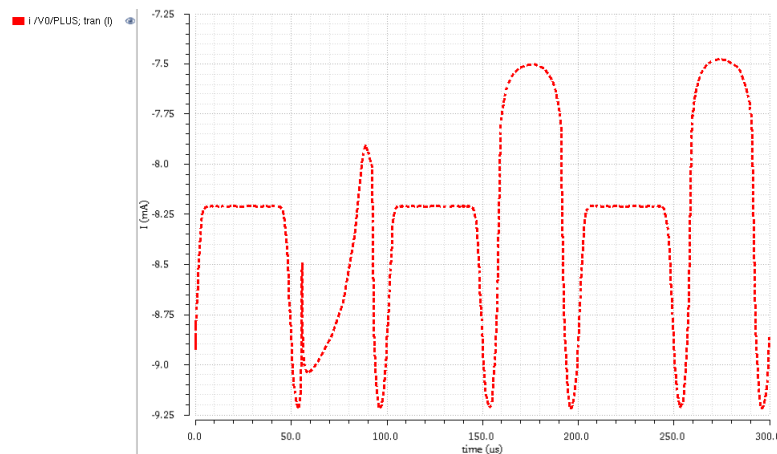
سوال 2 : گوشه tt27

(۲) توان مصرفی تقویت کننده را گزارش کنید. (شکل موج جریان کشیده شده از منبع تغذیه را در گزارش خود بیاورید.)

$$P = iv = 8.8 \times 1.8 = 15.84 \text{ mWatt}$$

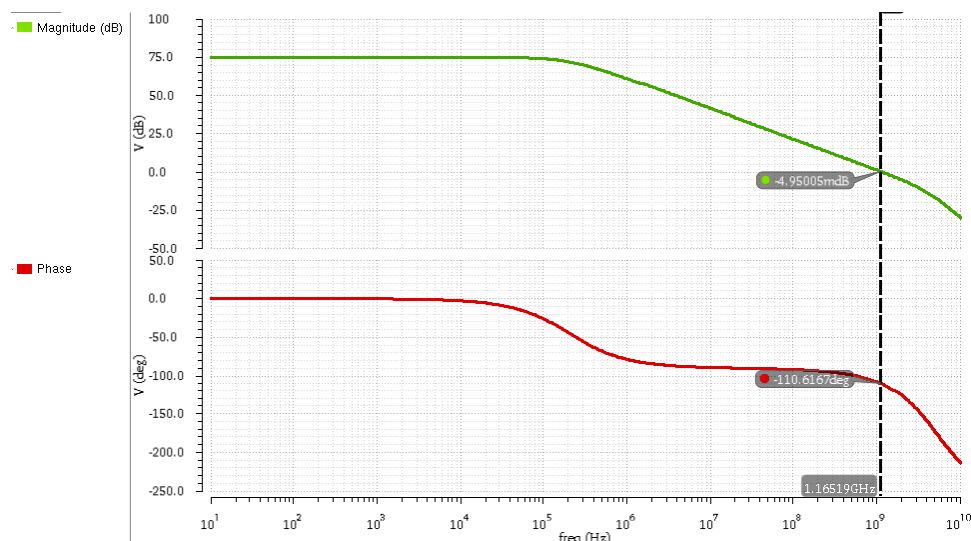
متأسفانه در طراحی به کاهش توان توجه لازم نشده است و توان مصرفی بالاتر از حد مجاز 10mWatt میباشد. جهت کاهش توان مصرفی لازم است جریان‌های درایو شده در ترانزیستورهای مدار تقویت کننده دو طبقه و مدار فیدبک ، مقداری کاهش یابد. اما توجه شود این کاهش مقدار باید به گونه‌ای باشد که همچنان شرط Gain و UGBW برقرار باشد.

نمودار جریان کشیده شده از منبع ولتاژ 1.8Vdc بصورت زیر میباشد.



سوال 3 : گوشه tt27

(۳) تقویت کننده طراحی شده را در محیط Cadence شبیه سازی AC کرده و بهره ac، UGBW و حاشیه فاز را گزارش کنید. پاسخ فرکانسی (هر دو نمودار بهره و فاز) به دست آمده از شبیه سازی را با مشخص کردن بهره ac، UGBW و حاشیه فاز در گزارش خود بیاورید.

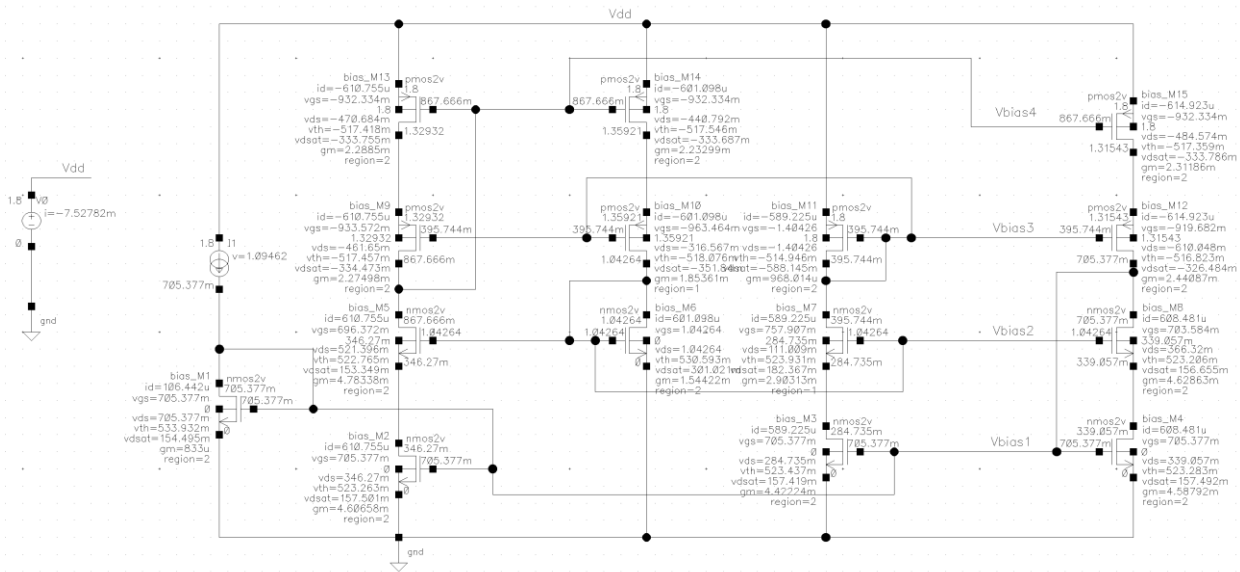


1	Gain	75.1371
2	PM	69.3964
3	UGBW	1.16462G

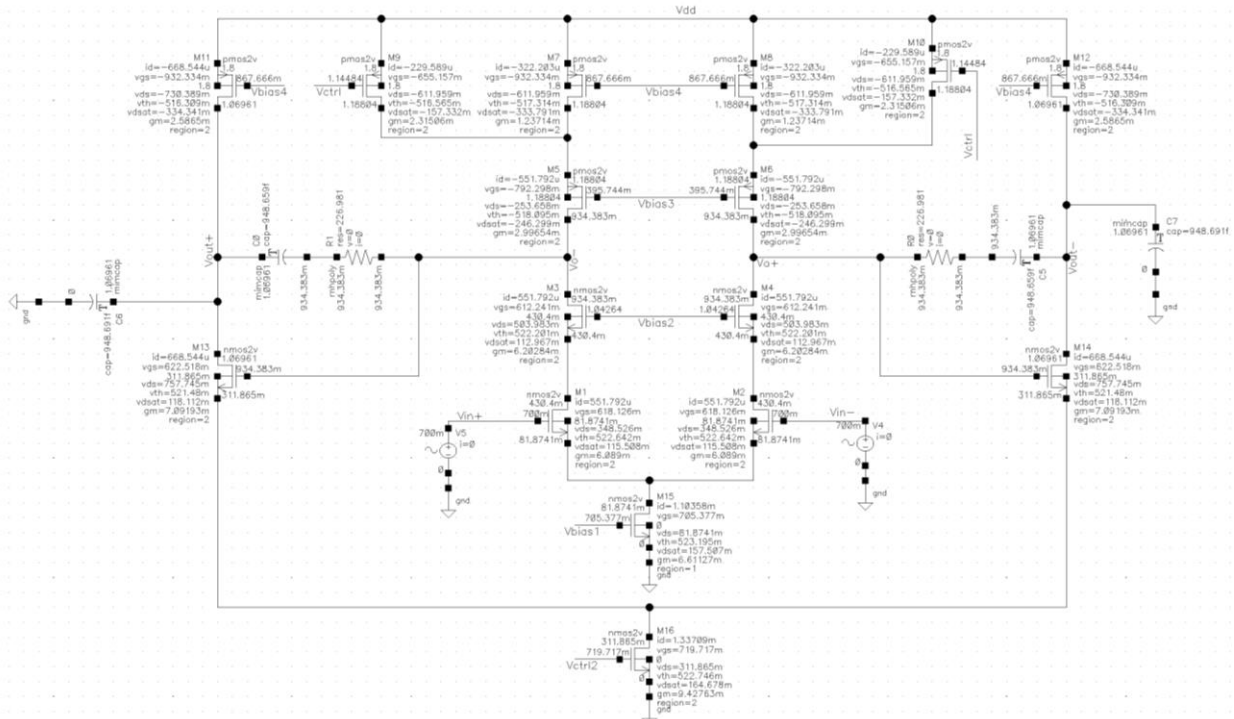
سوال 1: گوشه ss85

(۱) مدار مورد نظر را در محیط Cadence شبیه سازی DC کرده و نقطه کار ترانزیستورها، ولتاژ تمامی گره ها و جریان تمام شاخه های مدار را گزارش کنید.

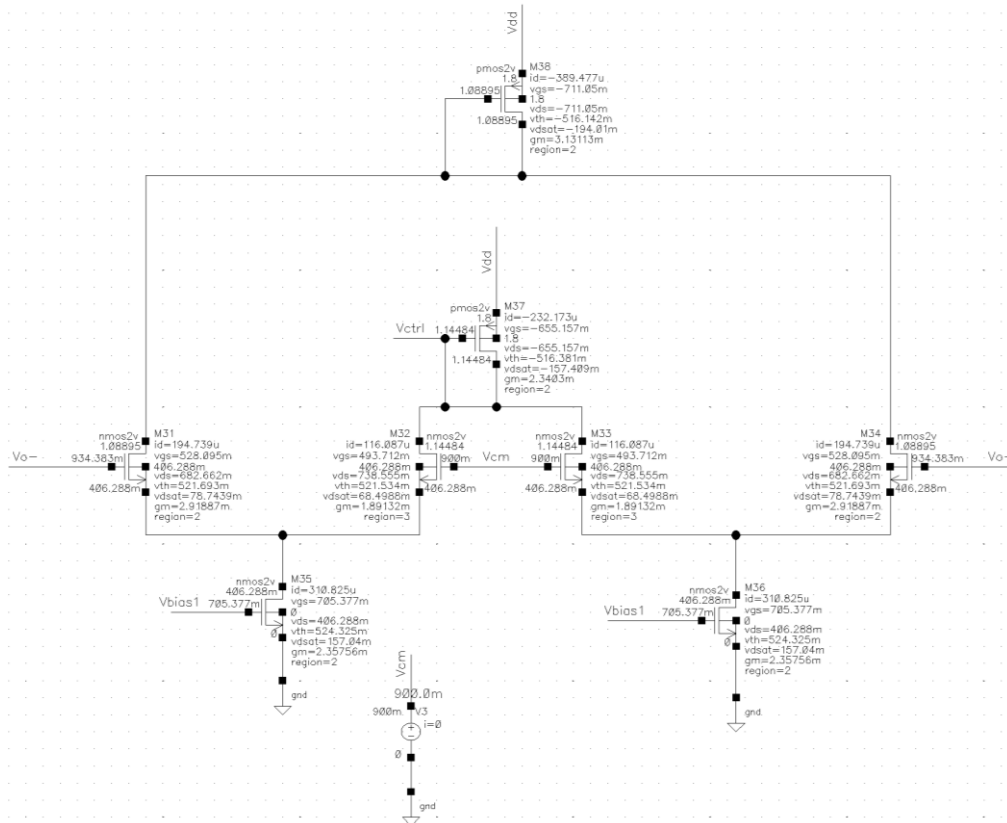
مدار بایاس :



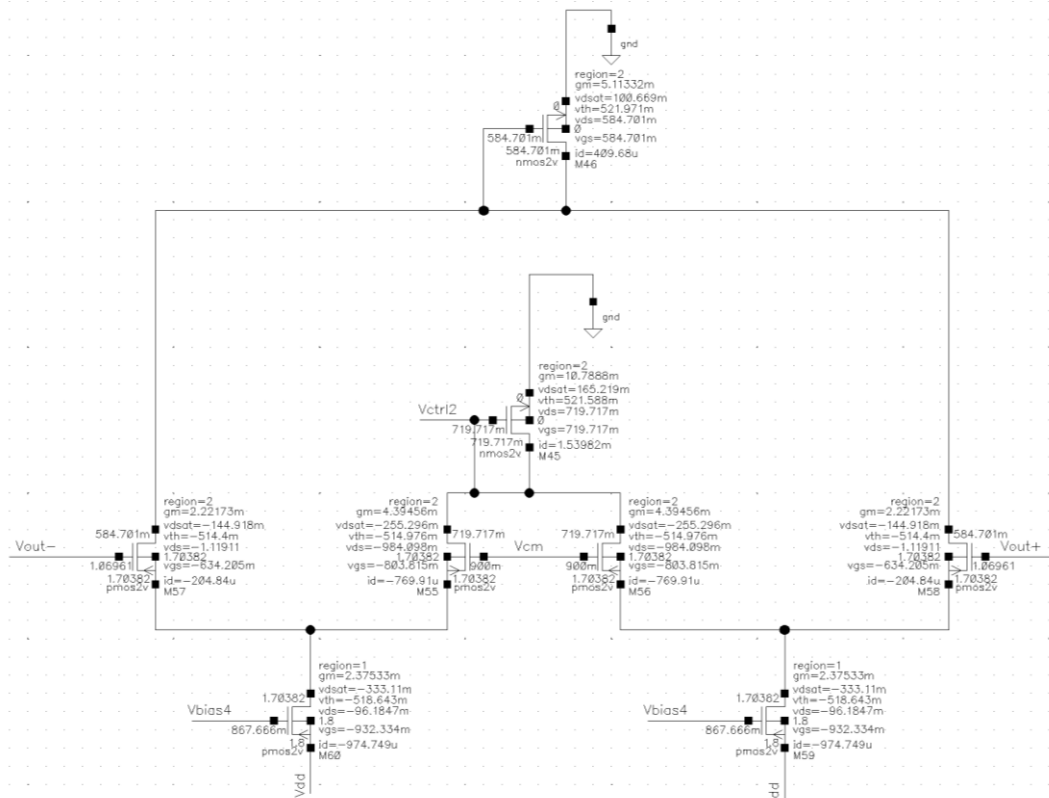
مدار تقویت کننده دو طبقه :



مدار فیدبک طبقه اول :



مدار فیدبک طبقه دوم :



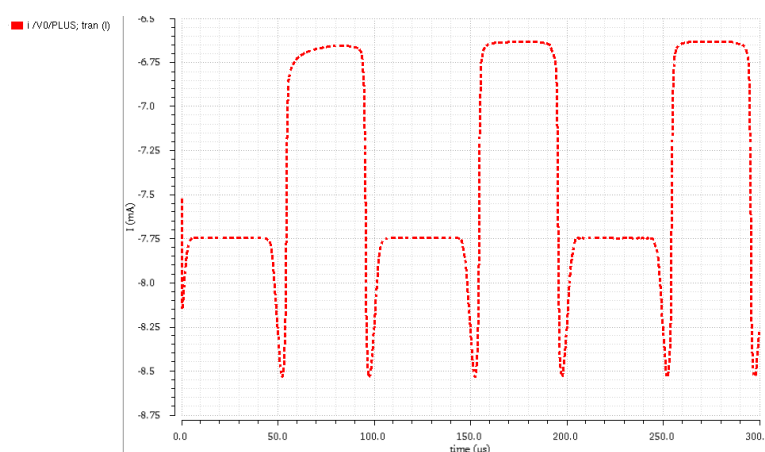
سوال 2 : گوشه ss85

۲) توان مصرفی تقویت کننده را گزارش کنید. (شکل موج جریان کشیده شده از منبع تغذیه را در گزارش خود بیاورید.)

$$P = iv = 7.5 \times 1.8 = 13.5 \text{ mWatt}$$

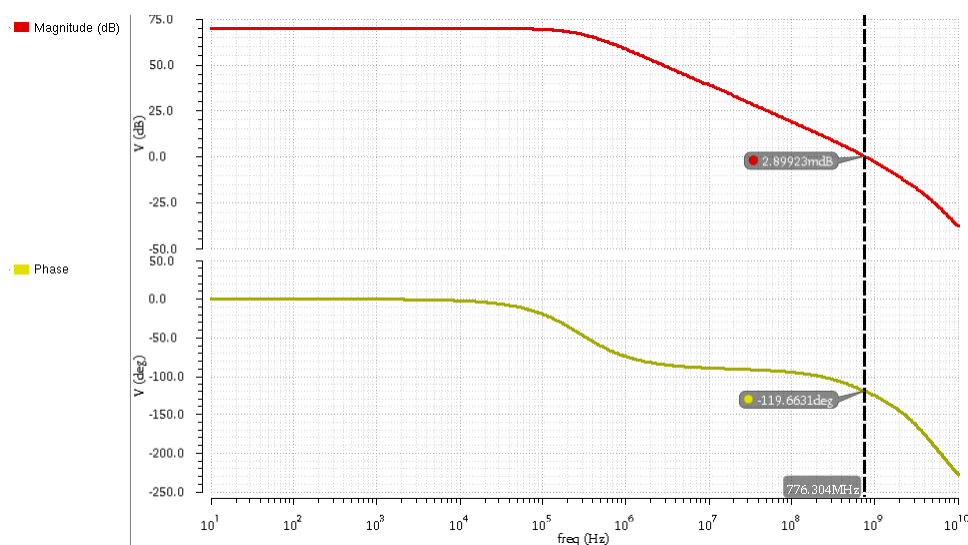
متأسفانه در طراحی به کاهش توان توجه لازم نشده است و توان مصرفی بالاتر از حد مجاز 10mWatt میباشد. جهت کاهش توان مصرفی لازم است جریان های درایو شده در ترانزیستورهای مدار تقویت کننده دو طبقه و مدار فیدبک ، مقداری کاهش یابد. اما توجه شود این کاهش مقدار باید به گونه ای باشد که همچنان شرط Gain و UGBW برقرار باشد.

نمودار جریان کشیده شده از منبع ولتاژ 1.8Vdc بصورت زیر میباشد.



سوال 3 : گوشه ss85

۳) تقویت کننده طراحی شده را در محیط Cadence شبیه سازی AC کرده و بهره ac، UGBW و حاشیه فاز را گزارش کنید. پاسخ فرکانسی (هر دو نمودار بهره و فاز) به دست آمده از شبیه سازی را با مشخص کردن بهره ac، UGBW و حاشیه فاز در گزارش خود بیاورید.

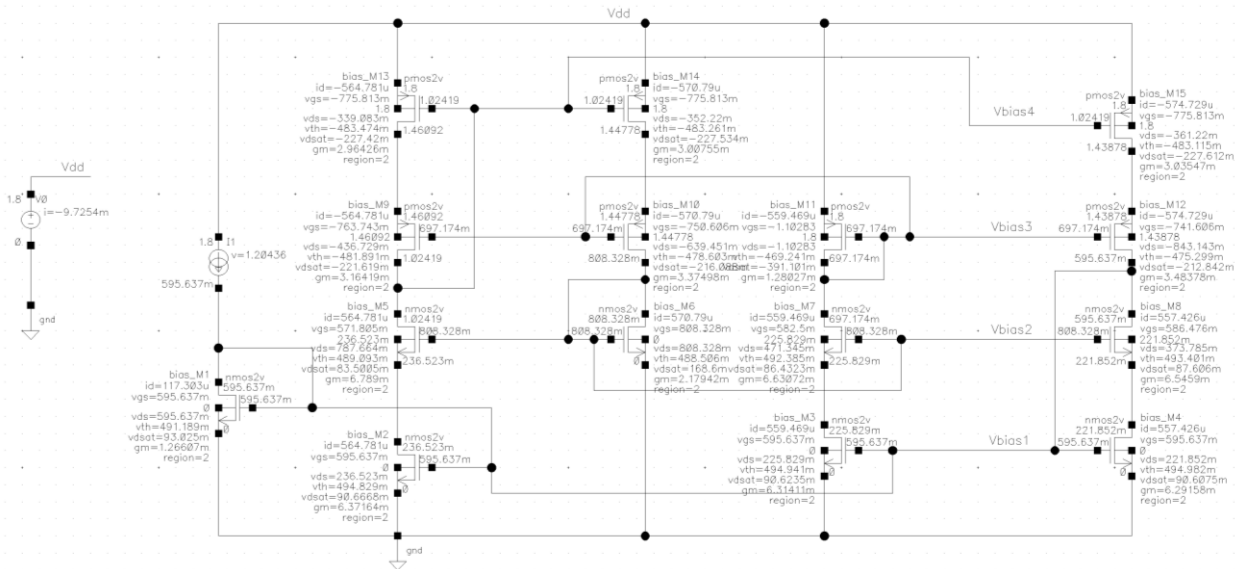


1	Gain	69.9024
2	PM	60.3308
3	UGBW	776.52M

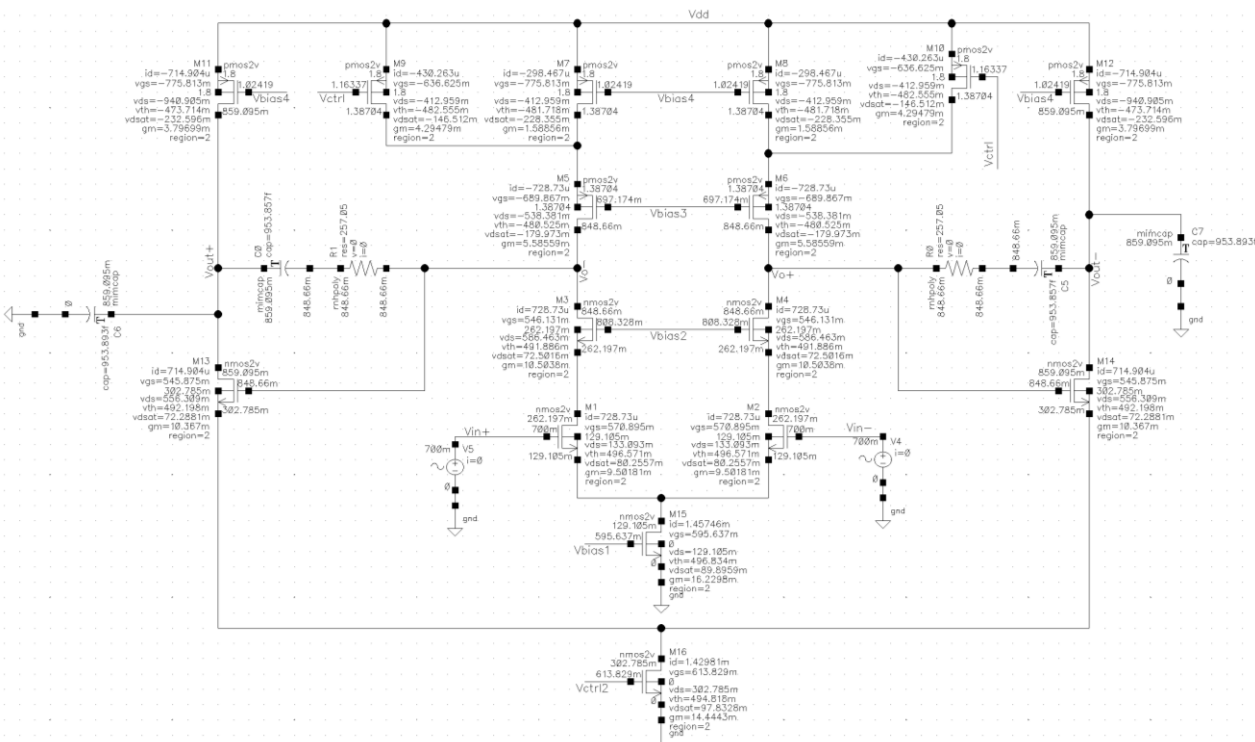
سوال 1: گوشه 20-ff

(۱) مدار مورد نظر را در محیط Cadence شبیه سازی DC کرده و نقطه کار ترانزیستورها، ولتاژ تمامی گره ها و جریان تمام شاخه های مدار را گزارش کنید.

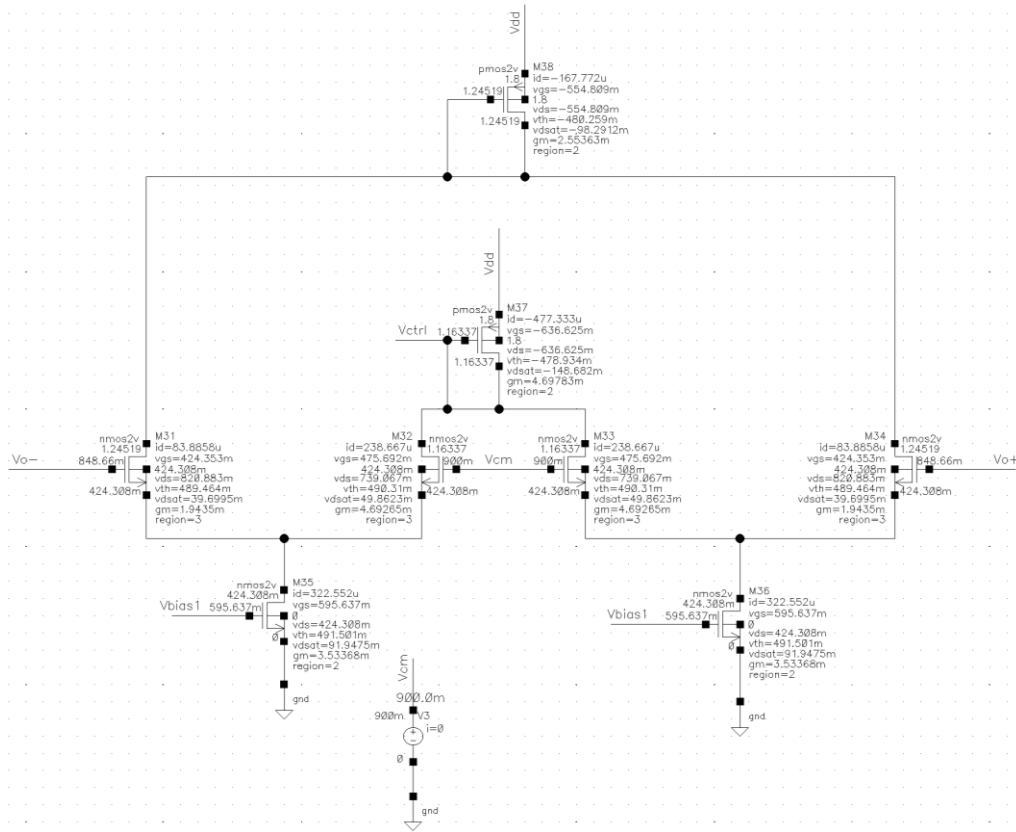
مدار بایاس :



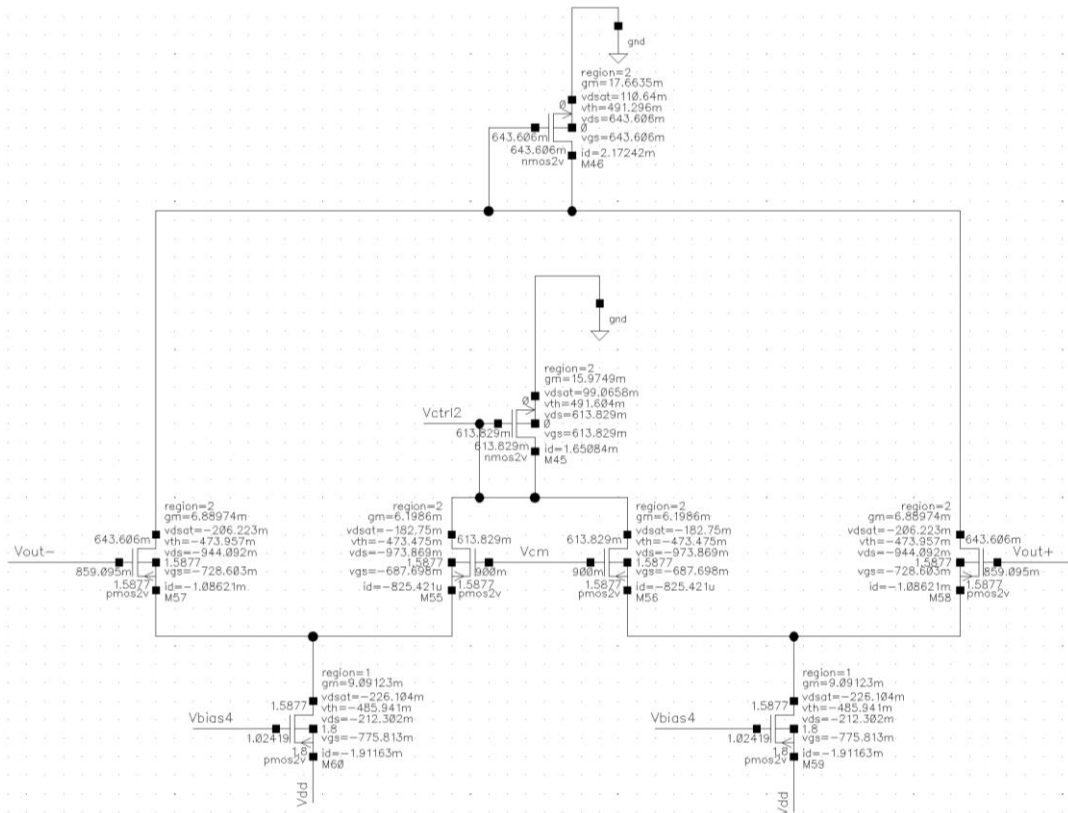
مدار تقویت کننده دو طبقه :



مدار فیدبک طبقه اول :



مدار فیدبک طبقه دوم :



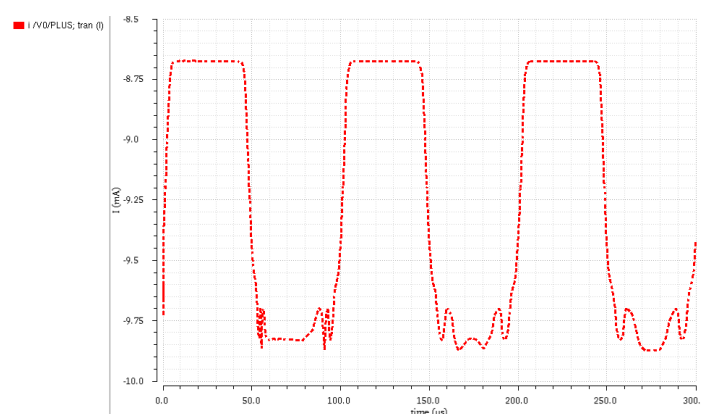
سوال 2 : گوشه 20-ff

۲) توان مصرفی تقویت کننده را گزارش کنید. (شکل موج جریان کشیده شده از منبع تغذیه را در گزارش خود بیاورید.)

$$P = iv = 9.7 \times 1.8 = 17.46 \text{ mWatt}$$

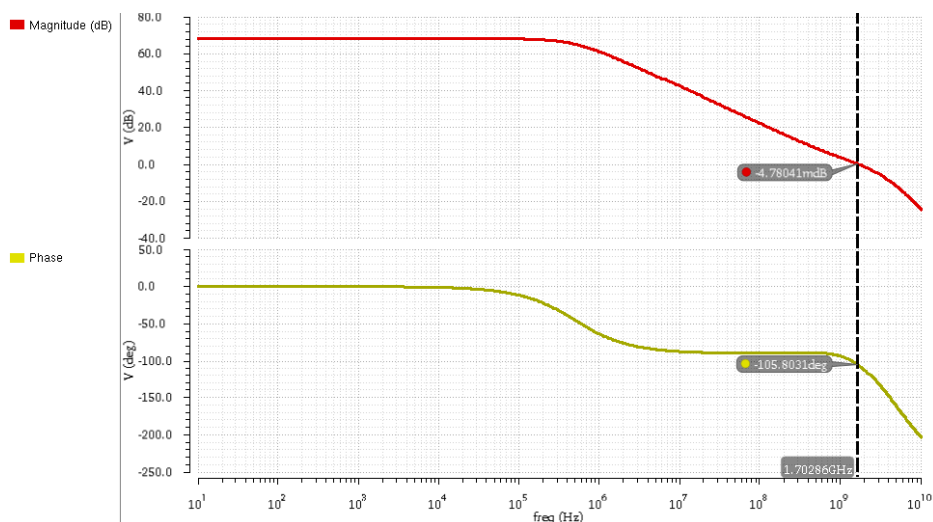
متأسفانه در طراحی به کاهش توان توجه لازم نشده است و توان مصرفی بالاتر از حد مجاز 10mWatt میباشد. جهت کاهش توان مصرفی لازم است جریان‌های درایو شده در ترانزیستورهای مدار تقویت کننده دو طبقه و مدار فیدبک ، مقداری کاهش یابد. اما توجه شود این کاهش مقدار باید به گونه‌ای باشد که همچنان شرط Gain و UGBW برقرار باشد.

نمودار جریان کشیده شده از منبع ولتاژ 1.8Vdc بصورت زیر میباشد.



سوال 3 : گوشه 20-ff

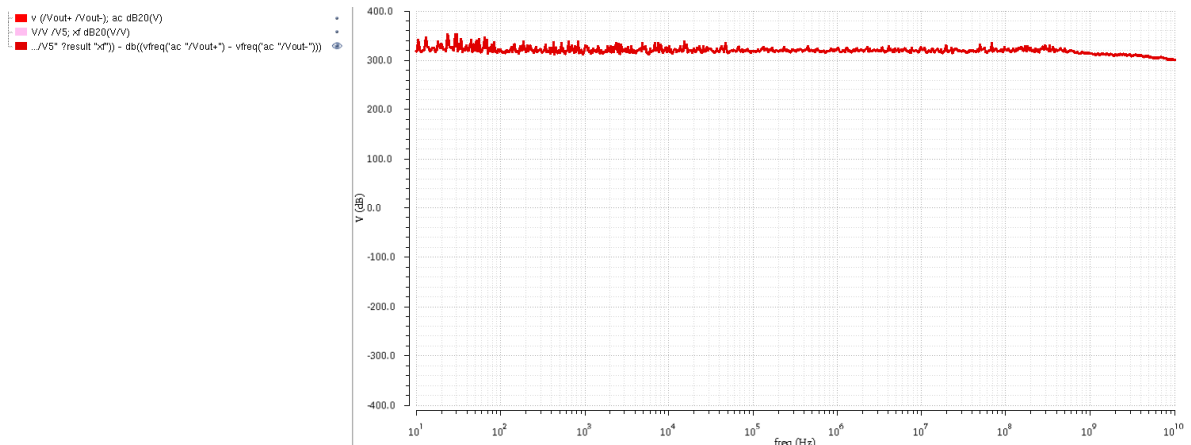
۳) تقویت کننده طراحی شده را در محیط Cadence شبیه سازی AC کرده و بهره ac ، UGBW و حاشیه فاز را گزارش کنید. پاسخ فرکانسی (هر دو نمودار بهره و فاز) به دست آمده از شبیه سازی را با مشخص کردن بهره ac ، UGBW و حاشیه فاز در گزارش خود بیاورید.



1	Gain	68.2966
2	PM	74.2191
3	UGBW	1.70181G

سوال 4 : گوشه tt27

(۴) دیاگرام Bode را برای CMRR رسم کنید.



مطابق نتایج بدست آمده، CMRR تقریباً برابر با 330dB می باشد.

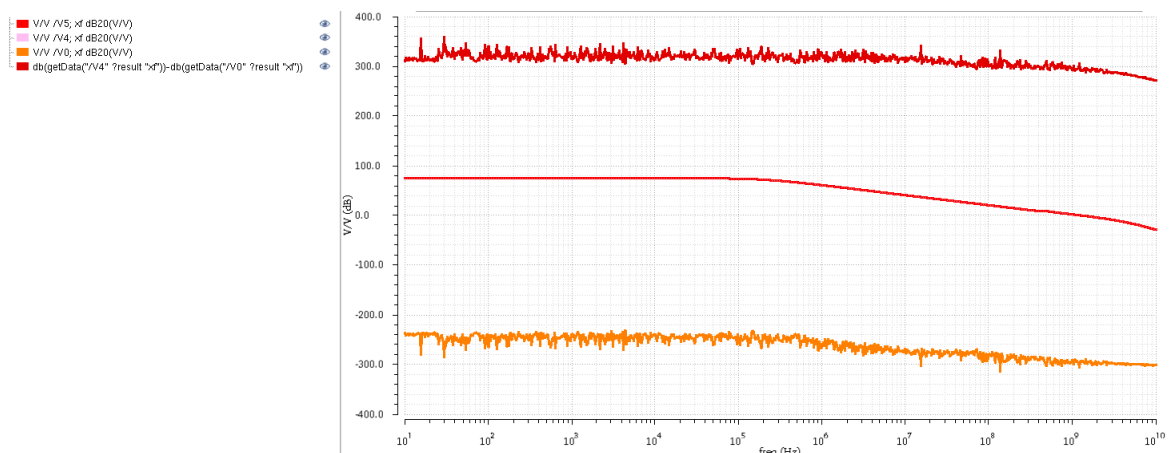
سوال 5 : گوشه tt27

(۵) با توجه به تعریف PSRR+ و PSRR- ، مقدار آنها را برای مدار طراحی شده به دست آورید.

*تعریف PSRR به صورت

$$PSRR = \frac{A_{diff}}{A_{supply}}$$

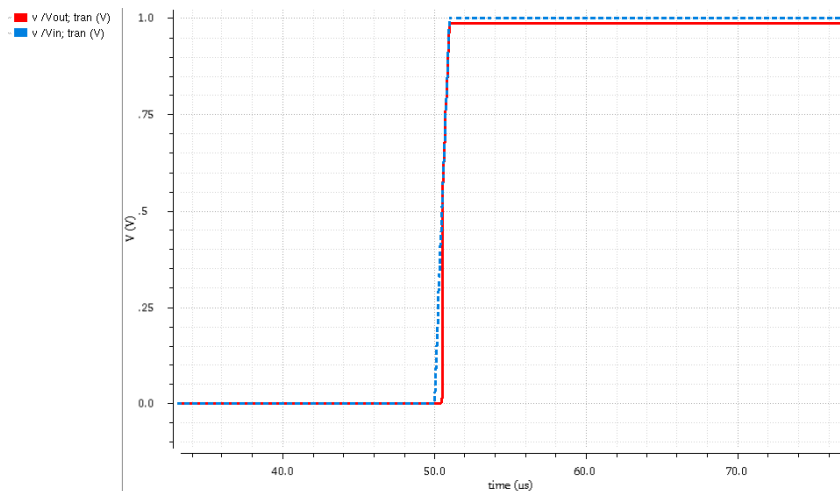
می باشد.



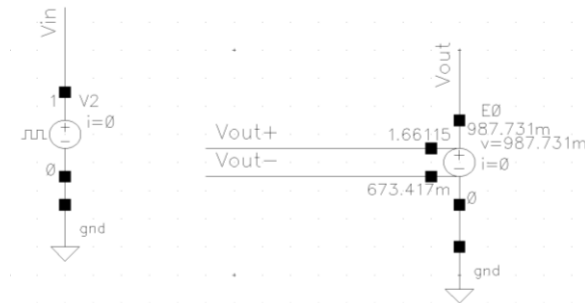
مطابق نتایج بدست آمده، PSRR تقریباً برابر با همان مقدار 330dB در CMRR می باشد.

سوال 6 : گوشه tt27

۶) با استفاده از بلوک VCVS (منبع ولتاژ کنترل شده با ولتاژ) خروجی تفاضلی را به خروجی تک انتهایی تبدیل کرده و سپس تقویت کننده را در حلقه فیدبک واحد ببندید، ورودی پالس را با جهش ۱ ولت و $V_{cm}=0.9V$ به مدار اعمال کنید، سپس زمان نشست تقویت کننده را برای دقت ۰/۱ درصد، بر روی نمودار زمانی اندازه گیری و گزارش کنید. دقت کنید که فرکانس ورودی به گونه ای تنظیم شود که خروجی زمان کافی برای رسیدن به دقت مورد نظر را داشته باشد.



زمان نشست بسیار ناچیز است و در حدود همانطور سیگنال ورودی می باشد.



متأسفانه با متصل کردن خروجی تک سر به ورودی منفی، و اعمال یک ورودی پالس 1 ولت ، یکی از ترانزیستورهای مدار فیدبک خاموش میشود و مقدار dc به هم میریزد.

اما اگر از ساختار بیرونی به قضیه نگاه کنیم، اگر به یک op-Amp ایده آل با دو ورودی و یک خروجی، فیدبک واحد بدهیم، انتظار میرود خروجی دقیقاً با ورودی یکسان شود. در شبیه سازی نیز همین اتفاق افتاده است.

سوال 7 : گوشه tt27

۷) روش دیگر اندازه گیری زمان نشست، استفاده از ماشین حساب کیدنس (Calculator -> Settling Time) است که پنجره تنظیمات آن در شکل (۵) نشان داده شده است. با استفاده از این روش نیز زمان نشست را به دست آورده و با مقدار به دست آمده از روش قبلی مقایسه کنید.

سوال 8 : گوشه tt27

۸) میزان Slew Rate تقویت کننده را گزارش کنید.

$$I_{b2} < I_{b1} \left(1 + \frac{C_L}{C_c} \right) \xRightarrow{I_{\mu 7=0}} SR^+ = \frac{I_{b2}}{C_c + C_L}$$

$$SR^- = \frac{I_{b1}}{C_c} \quad \xrightarrow{O.W.} SR^+ = \frac{I_{b1}}{C_c}$$

مطابق نتایج شبیه سازی، I_{b1} جریان عبوری از ترانزیستور M_{15} برابر با $1.4mA$ و I_{b2} جریان عبوری از ترانزیستور M_{13} برابر با $0.7mA$ می باشد.

$$SR^+ = \frac{I_{b2}}{C_c + C_L} = \frac{0.7mA}{1pF + 1pF} = 0.35$$

$$SR^- = \frac{I_{b1}}{C_c} = \frac{1.4mA}{1pF} = 1.4$$