آزمایشگاه مدارهای منطقی

دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

تابستان ۱۴۰۵

گروه شماره ۷

محمدرضا اژدری	-	۴۰۴۱۰۵۴۳۴
رضا قضاوی	-	۴۰۴۱۰۶۲۳۶

هدف آزمایش:

در این آزمایش قصد داریم مدار داخلی یک واحد محاسبات و منطق چهاربیتی را بسازیم که قابلیت علمیات‌های محاسباتی، عملیات‌های منطقی و شیفت کردن را داشته باشد.

۱- ساخت ALU چهاربیتی با تراشه ۷۴HC۱۸۱

۱-۱ مقدمه آزمایش:

در مدار اول یک واحد محاسبات و منطق چهاربیتی با استفاده از تراشه ۷۴HC۱۸۱ ساخته شده است. داده ورودی D۳ تا D۰ می‌تواند در یکی از دو ثبات A یا B ذخیره شود و سپس مدار، مطابق کد کنترلی سه‌بیتی خود، عملیات موردنظر را انتخاب می‌کند. عملیات این بخش شامل بارگذاری داده، حفظ مقدار، انتقال B به A، پاک کردن A، مکمل کردن A، عمل منطقی AND و جمع A و B است.

قطعات استفاده‌شده:

- تراشه ۷۴HC۱۸۱ به عنوان واحد محاسبات و منطق چهاربیتی
- دو تراشه ۷۴LS۱۷۵ برای تشکیل ثبات‌های چهاربیتی A و B
- دو تراشه ۷۴LS۱۵۷ برای انتخاب مسیر داده و بازخورد خروجی
- گیت‌های OR، AND، NOT و XOR برای ساخت مدار کنترل
- ورودی‌های CLOCK و RESET، کلیدهای داده و نمایشگرهای منطقی خروجی

۱-۲ ورودی‌ها و خروجی‌های کنترلی تراشه ۷۴HC۱۸۱:

تراشه ۷۴HC۱۸۱ دو ورودی چهاربیتی A۰ تا A۳ و B۰ تا B۳ را دریافت می‌کند و نتیجه را روی خروجی‌های F۰ تا F۳ قرار می‌دهد. رفتار تراشه با ورودی‌های کنترلی زیر تعیین می‌شود:

- ورودی M نوع کار تراشه را تعیین می‌کند؛ در حالت استاندارد M=۱ بخش منطقی و M=۰ بخش حسابی را فعال می‌کند.
- چهار ورودی S۰ تا S۳ تابع دقیق را انتخاب می‌کنند. هر ترکیب این چهار بیت، با توجه به مقدار M، یکی از شانزده تابع منطقی یا حسابی را مشخص می‌کند.
- ورودی Cn ورودی حمل است و در حالت حسابی روی نتیجه جمع و تفریق اثر می‌گذارد؛ در حالت منطقی در انتخاب تابع نقشی ندارد.
- خروجی‌های کمکی P، Cn+۴ و G برای حمل و انتقال سریع بین چند تراشه و خروجی A=B برای تشخیص برابری دو عملوند استفاده می‌شوند؛ خروجی اصلی این آزمایش همان F۰ تا F۳ است.

۱-۳ جدول کنترل مدار:

کد کنترلی سه‌بیتی، فرمان سطح بالای مدار را مشخص می‌کند. بیت‌های این کد مستقیماً معادل پایه‌های کنترلی ۷۴HC۱۸۱ نیستند، بلکه مطابق جدول زیر هم مسیر ورودی ثبات‌ها و هم تابع ALU را تعیین می‌کنند.

M2	M1	M0	Operation
0	0	0	$A \leftarrow D_3\text{-}D_0$
0	0	1	$B \leftarrow D_3\text{-}D_0$
0	1	0	$A \leftarrow A$
0	1	1	$A \leftarrow B$
1	0	0	clear (A)
1	0	1	$A \leftarrow$ not(A)
1	1	0	$A \leftarrow$ and(A,B)
1	1	1	$A \leftarrow$ add(A,B)

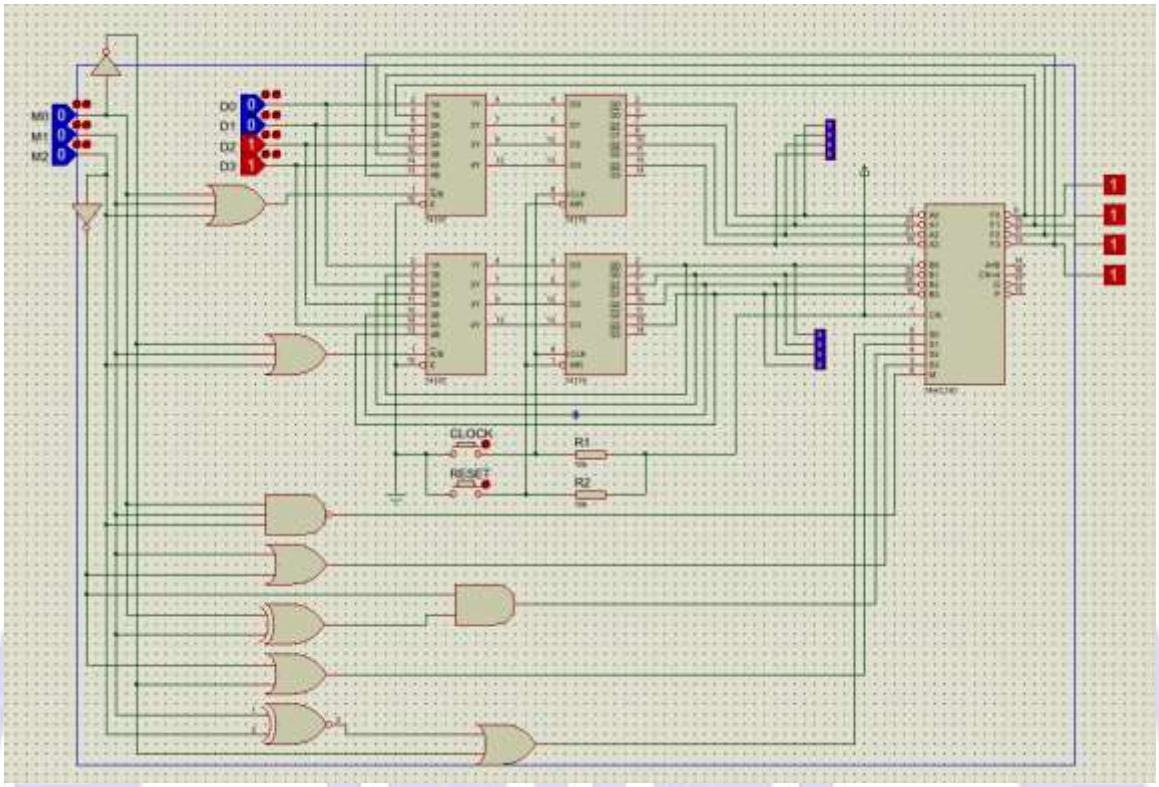
شکل ۱.۱ جدول عملکرد مدار اول بر اساس کد کنترلی سه‌بیتی

۱-۴ تولید ورودی‌های کنترلی با استفاده از گیت‌ها:

از آنجا که تراشه ۷۴HC۱۸۱ برای انتخاب تابع به چهار سیگنال انتخاب، یک ورودی حالت و یک ورودی حمل نیاز دارد، سه بیت کد کنترلی را نمی‌توان بدون واسطه به تراشه متصل کرد. به‌همین دلیل در بخش پایین مدار از گیت‌های معکوس‌کننده، AND، OR و XOR استفاده‌شده است تا هر یک از هشت کد جدول کنترل تشخیص داده شود. خروجی این گیت‌ها ترکیب مناسب پایه‌های انتخاب تابع، M و Cn را ایجاد می‌کند و بخشی از آن‌ها نیز ورودی انتخاب مالتی‌پلکسرها و مسیر نوشتن در ثبات‌های A و B را کنترل می‌کنند. بنابراین با تغییر یک کد سه‌بیتی، تمام سیگنال‌های لازم برای اجرای همان دستور به‌صورت هم‌زمان تولید می‌شوند؛ بدون آنکه لازم باشد کاربر شش پایه کنترلی ۷۴HC۱۸۱ را جداگانه تنظیم کند.

۱-۵ توضیح طرز کار مدار:

دو ثبات ۷۴LS۱۷۵ مقادیر چهاربیتی A و B را نگه می‌دارند. ورودی‌های D۳ تا D۰ به مالتی‌پلکسرهای ۷۴LS۱۵۷ وارد می‌شوند و مالتی‌پلکسرها تعیین می‌کنند که داده خارجی، مقدار ثبات دیگر، مقدار بازخوردی یا خروجی ALU در ورودی ثبات قرار گیرد. با اعمال لبه کلاک، فقط مسیری که مدار کنترل انتخاب کرده است در ثبات مربوط ذخیره می‌شود. ورودی RESET نیز برای صفر کردن ثبات‌ها در شروع آزمایش به‌کار می‌رود.



شکل ۱.۲ مدار کامل بخش اول آزمایش با تراشه ۷۴HC ۱۸۱

۲- ساخت مدار داخلی ALU:

۲-۱ مقدمه آزمایش:

به‌طور کلی روش کار این واحد به سه بخش تقسیم می‌شود که شامل واحد محاسباتی، واحد منطقی و بخش شیفت می‌شوند. این تقسیم‌بندی از روی جدول کنترلی مدار (شکل ۲.۱) نیز قابل مشاهده است و ورودی‌های S۳, S۲ مشخص‌کننده رفتار مدار هستند.

حالتی که S۳S۲ = ۰۰ مدار در بخش محاسباتی خود قرار دارد و محاسباتی از قبیل جمع و تفریق را انجام می‌دهد. زمانی که S۳S۲ = ۰۱ باشد، مدار در بخش منطقی خود قرار دارد و با استفاده از گیت‌ها روابطی بین ورودی‌های A و B را محاسبه می‌کند. در نهایت زمانی که S۳S۲ = ۱۰ یا S۳S۲ = ۱۱ مدار در بخش شیفت خود قرار دارد و به ترتیب شیفت به راست و شیفت به چپ را انجام می‌دهد.

ابتدا با توجه به ورودی‌های مدار (A, B, Cin) مقادیر جواب هر سه بخش محاسبه می‌شود و در نهایت با استفاده از چهار مالتی‌پلکسر 4در1 که بیت‌های کنترلی آنها به S۲, S۳ متصل هستند جواب بخش موردنظرمان را انتخاب و به خروجی منتقل می‌کنیم.

قطعات استفاده‌شده:

- گیت‌های NOT, AND, OR, XOR
- تراشه 74LS153 (این تراشه شامل دو مالتی‌پلکسر 4x1 است.)
- جمع‌کننده کامل (Full adder) که همان تراشه 74LS83 است.

۲-۲ توضیح طرز کار بخش محاسباتی مدار:

خروجی نهایی مدار در این حالت برابر معادله 1 است که A همان ورودی مستقیم است و C همان بیت نقلی ورودی است و X مقداری است که با توجه به مقادیر S0, S1, B مشخص خواهد شد.

$$1)\ \boldsymbol{F = A + X + C_{in}}$$

معادلاتی که در ادامه می‌آیند و برای به‌دست آوردن مقادیر X هستند، همگی از جدول کنترلی مدار که در شکل ۲.۱ آمده است قابل تشخیص هستند.

Operation select						
S_3	S_2	S_1	S_0	C_{in}	Operation	Function
0	0	0	0	0	$F = A$	Transfer A
0	0	0	0	1	$F = A + 1$	Increment A
0	0	0	1	0	$F = A + B$	Addition
0	0	0	1	1	$F = A + B + 1$	Add with carry
0	0	1	0	0	$F = A + \overline{B}$	Subtract with borrow
0	0	1	0	1	$F = A + \overline{B} + 1$	Subtraction
0	0	1	1	0	$F = A - 1$	Decrement A
0	0	1	1	1	$F = A$	Transfer A
0	1	0	0	×	$F = A \wedge B$	AND
0	1	0	1	×	$F = A \vee B$	OR
0	1	1	0	×	$F = A \oplus B$	XOR
0	1	1	1	×	$F = \overline{A}$	Complement A
1	0	×	×	×	$F = \text{shr } A$	Shift right A into F
1	1	×	×	×	$F = \text{shl } A$	Shift left A into F

شکل ۲.۱ جدول کنترلی کل مدار

$$S_1S_0 = 00 \rightarrow F = A + C_{in} \rightarrow X_i = 0$$

$$S_1\,S_0 = 01 \rightarrow F = A + B + C_{in} \rightarrow X_i = B_i$$

$$S_1\,S_0 = 10 \rightarrow F = A + \overline{B} + C_{in} \rightarrow X_i = \overline{B_i}$$

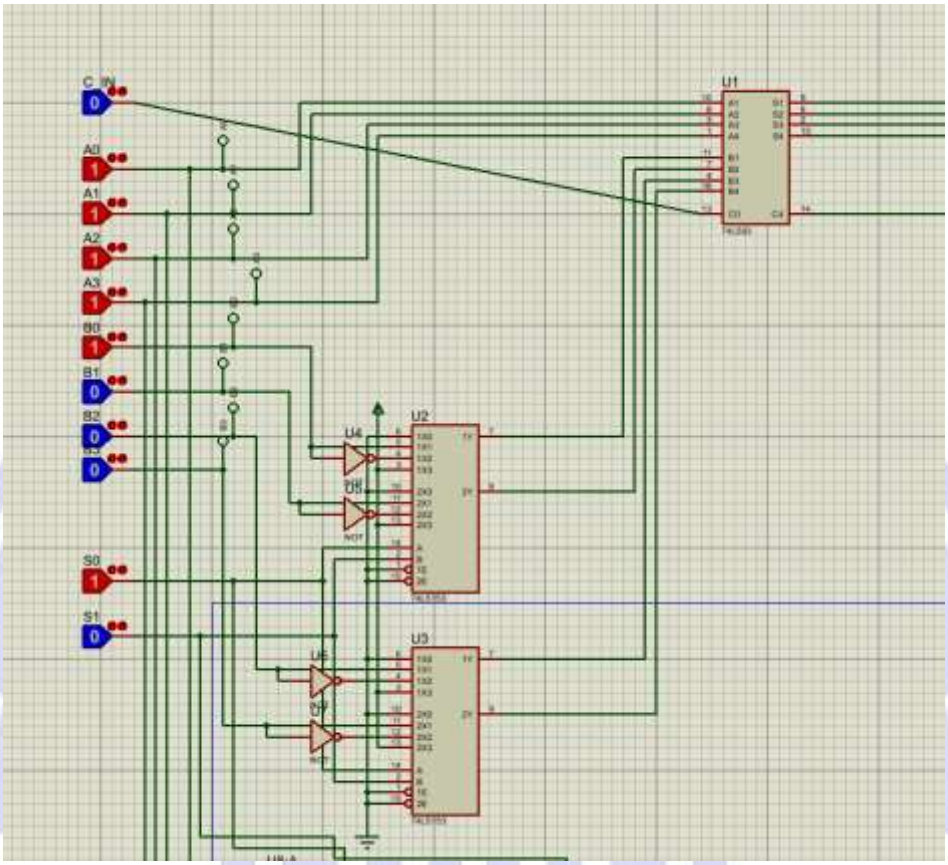
$$S_1\,S_0 = 11 \rightarrow F = A - 1 + C_{in} \rightarrow X_i = 1$$

پس در نهایت معادله Xi را میتوان با استفاده از جدول کارنو به‌دست آورد:

$$X_i = B_i\,S_0 + (\overline{B_i})\,S_1$$

در مدار نیز برای ساخت این بخش از چهار مالتی‌پلکسر ۴ در ۱ (دو تراشه ۷۴LS۱۵۳) با بیت‌های کنترلی S۱, S۰ برای ساخت Xiها استفاده‌شده است که در نهایت برای ساختن خروجی F، این Xiها همراه Aiها و Cin به یک جمع‌کننده کامل متصل‌شده‌اند.

چهار بیت خروجی همان نتیجه نهایی مدار در این بخش است.



شکل ۲.۲ بخش محاسباتی مدار

۲-۳ توضیح طرز کار بخش منطقی مدار:

برای هر بیت i از ورودی‌ها، روابط بخش منطقی به‌صورت زیر هستند:

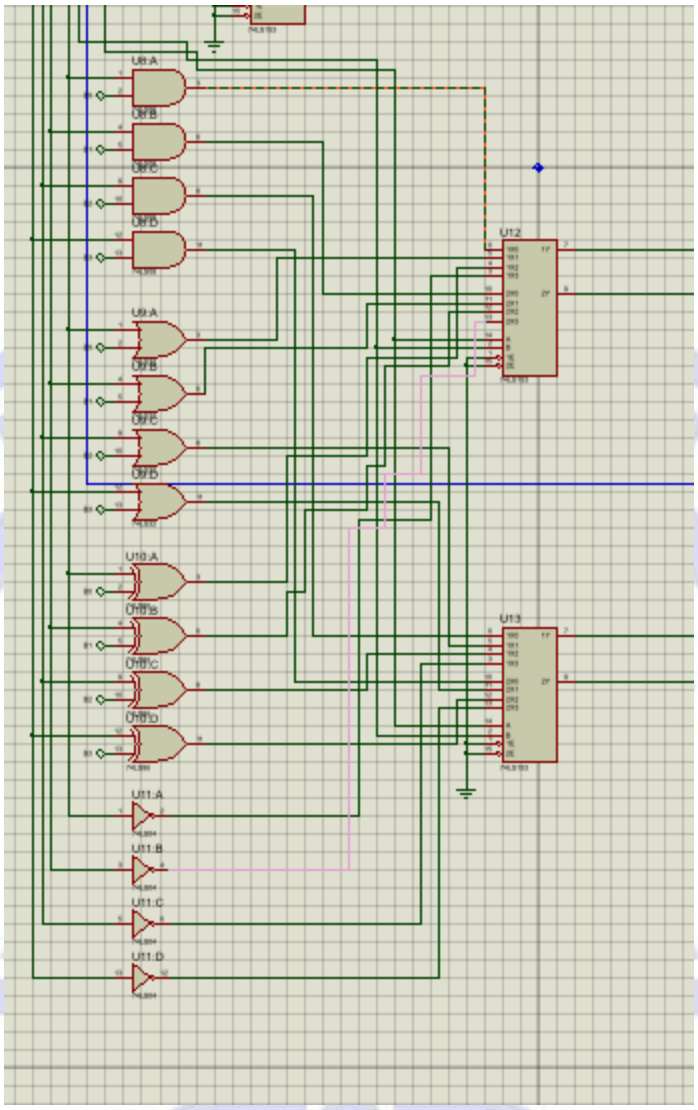
$$S_1\,S_0 = 00 \rightarrow L_i = A_i\,B_i$$

$$S_1\,S_0 = 01 \rightarrow L_i = A_i + B_i$$

$$S_1\,S_0 = 10 \rightarrow L_i = A_i \oplus B_i$$

$$S_1\,S_0 = 11 \rightarrow L_i = \overline{A_i}$$

در نهایت تمام خروجی های L1 تا L4 از خروجی های چهار عدد مالتی پلکسر 4 در 1 گرفته شده و چهار خروجی بخش منطقی مدار را تغییر می دهند.



شکل ۲.۳ بخش منطقی مدار (سیم‌هایی که از بالای تصویر آمده‌اند از A گرفته شده‌اند و تونل‌ها هم به Biها متصل هستند)

۲-۴ توضیح طرز کار بخش شیفت مدار:

معدلات شیفت به راست و شیفت به چپ در معادله 1 و 2 قابل مشاهده هستند:

$$1)\ S_3\ S_2 = 10 \rightarrow\ R_3\ R_2\ R_1\ R_0 = 0\ A_3\ A_2\ A_1$$
$$2) S_3\ S_2 = 11 \rightarrow\ R_3\ R_2\ R_1\ R_0 = A_2\ A_1\ A_0\ 0$$

۲-۵ توضیح طرز کار بخش انتخاب نهایی جواب مدار:

در نهایت خروجی های بخش محاسباتی و منطقی و شیفت به چهار مالتی پلکسر ۴ در ۱ متصل می شوند که بیت کنترلی همه آنها به S3S2 متصل هستند و این بیت ها خروجی نهایی را کنترل می کنند (معادله سوم شیفت به راست و معادله چهارم شیفت به چپ است) :

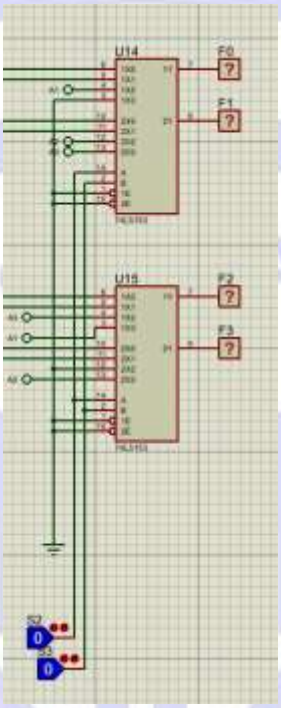
$$S_3 S_2 = 00 \rightarrow\ F_i = F_{Arithmetic}$$

$$S_3\,S_2 = 01 \rightarrow\ F_i = L_i$$

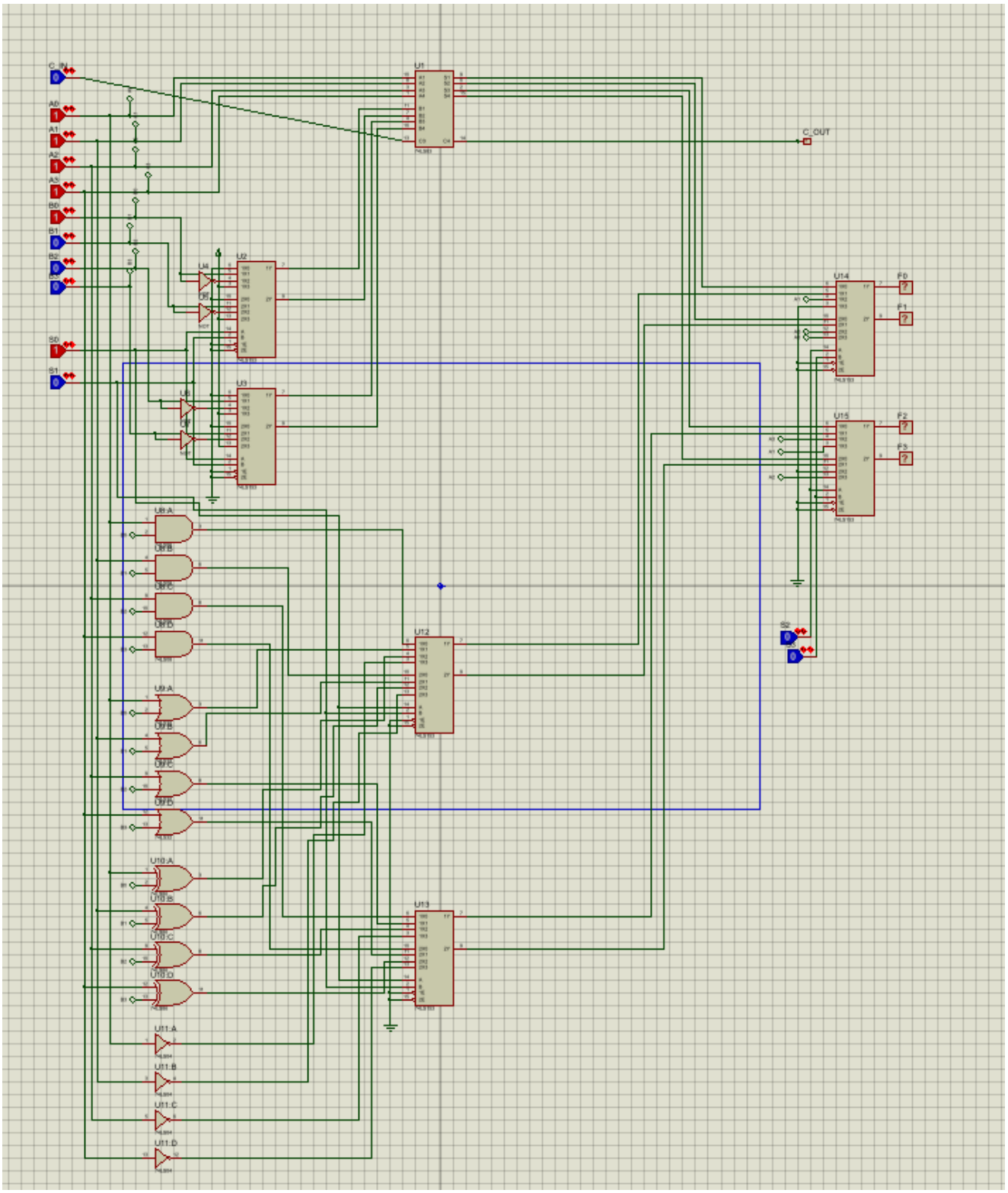
$$S_3\,S_2 = 10 \rightarrow\ F_i = R_i$$

$$S_3\,S_2 = 11 \rightarrow\ F_i = R_i$$

در نهایت با توجه به این معادلات خروجی موردنظر انتخاب می‌شود. شکل نهایی مدار در زیر مشخص است:



شکل ۲.۴ بخش کنترلی نهایی مدار



شکل ۲.۵ شکل نهایی مدار تکمیل‌شده