



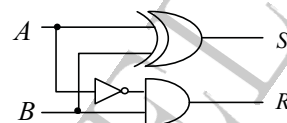
## CORRECTION DE LA SÉRIE DE TD N° 1

### Exercice 1. Additionneur/soustracteur.

1. Le circuit qui effectue la soustraction 1 bit par 1 bit (demi-soustracteur).

A	B	S	R
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

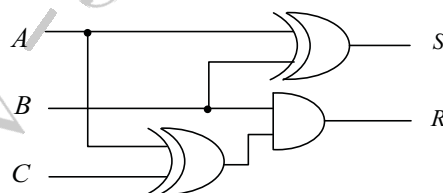
$$S = A \oplus B \quad R = \bar{A}.B$$



2. Le demi-additionneur/soustracteur.

C	A	B	S	R
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

$$S = A \oplus B \quad R = (C \oplus A).B$$

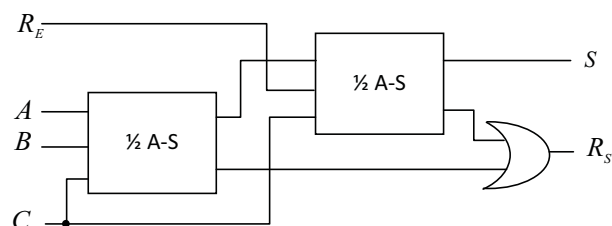


3. L'additionneur/soustracteur complet 1 bit par 1 bit avec retenue d'entrée.

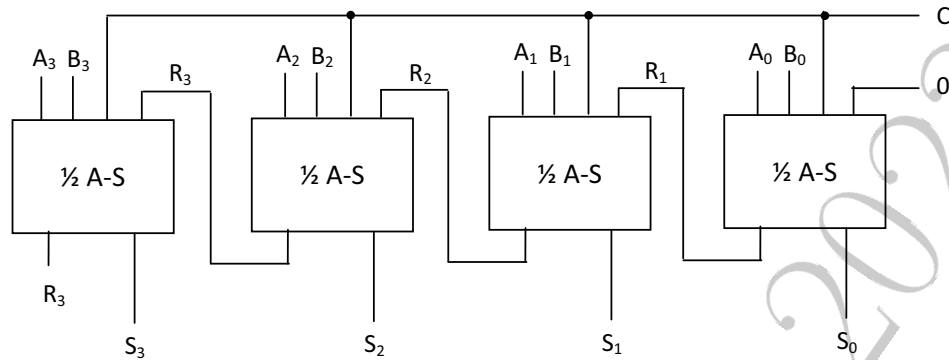
C	R <sub>E</sub>	A	B	S	R
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	0	1
1	1	1	0	0	0
1	1	1	1	1	1

$$S = A \oplus B \oplus R_E$$

$$R = (C \oplus A \oplus B).R_E + (C \oplus A).B$$



4. Le schéma logique d'un additionneur/soustracteur 4 bits par 4 bits.



**Exercice 2. Multiplicateur.**

1. Le circuit qui effectue la multiplication 1 bit par 1 bit.

A	B	P
0	0	0
0	1	0
1	0	0
1	1	1

$$P = A.B$$



2. Le multiplicateur 2 bits par 2 bits.

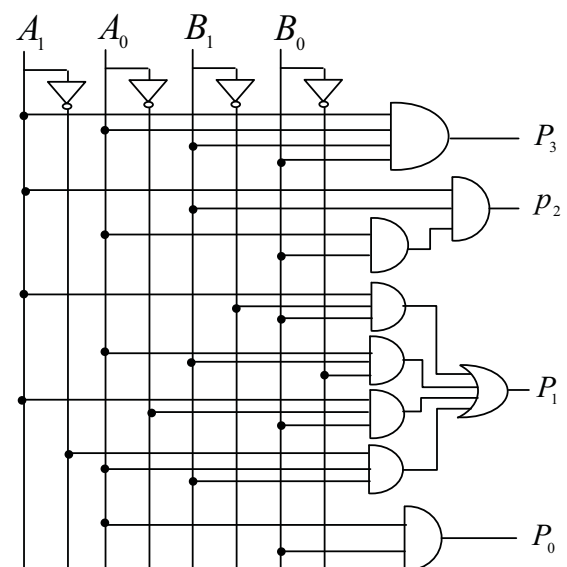
A1	A0	B1	B0	P3	P2	P1	P0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

$$P_3 = A_1.A_0.B_1.B_0$$

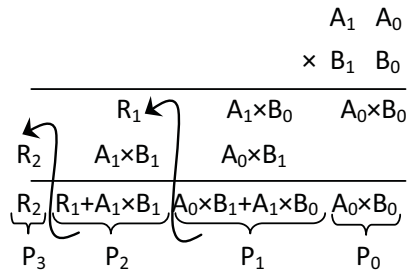
$$P_2 = A_1.B_1.(\overline{A_0} + \overline{B_0}) = A_1.B_1.\overline{A_0}.B_0$$

$$P_1 = A_1.\overline{B_1}.B_0 + A_0.B_1.\overline{B_0} + A_1.\overline{A_0}.B_0 + \overline{A_1}.A_0.B_1$$

$$P_0 = A_0.B_0$$



3. Le multiplicateur 2 bits par 2 bits à partir de multiplicateurs 1 bit par 1 bit de demi-additionneurs.

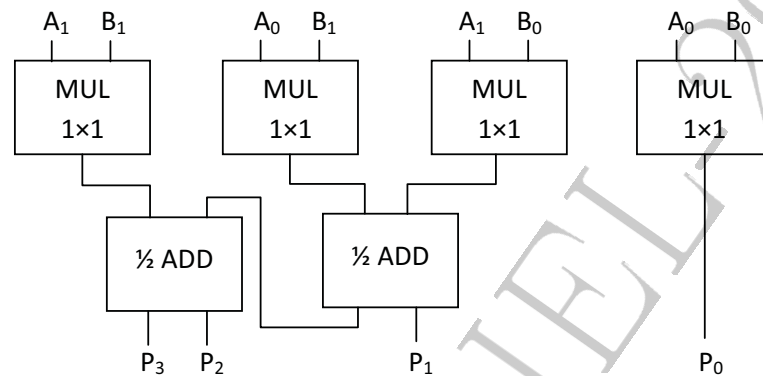


$$P_3 = R_2$$

$$P_2 = R_1 + A_1 \times B_1$$

$$P_1 = A_0 \times B_1 + A_1 \times B_0$$

$$P_0 = A_0 \times B_0$$



### Exercice 3. Comparateur.

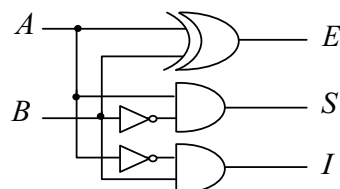
1. Le circuit qui effectue la comparaison 1 bit par 1 bit.

A	B	E	S	I
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

$$E = \overline{A} \cdot \overline{B} + A \cdot B = \overline{A \oplus B}$$

$$S = A \cdot \overline{B}$$

$$I = \overline{A} \cdot B$$

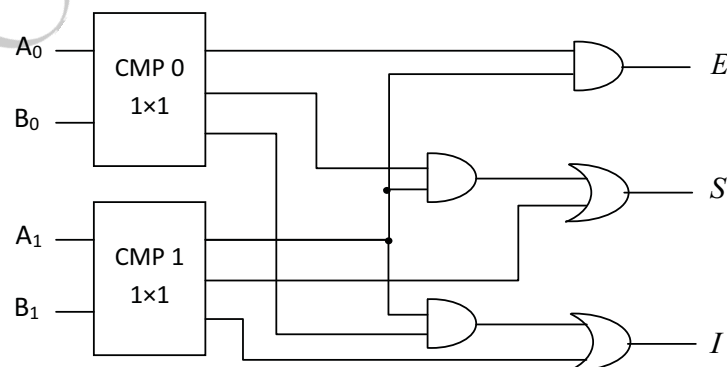


2. Le comparateur 2 bits en utilisant des comparateurs 1 bit et des portes logiques.

$$E = 1 \Rightarrow A = B \Rightarrow (A_1 = B_1) \text{ et } (A_0 = B_0) \Rightarrow E = E_1 E_0$$

$$S = 1 \Rightarrow A > B \Rightarrow (A_1 > B_1) \text{ ou } [(A_1 = B_1) \text{ et } (A_0 > B_0)] \Rightarrow S = S_1 + E_1 S_0$$

$$I = 1 \Rightarrow A < B \Rightarrow (A_1 < B_1) \text{ ou } [(A_1 = B_1) \text{ et } (A_0 < B_0)] \Rightarrow I = I_1 + E_1 I_0$$

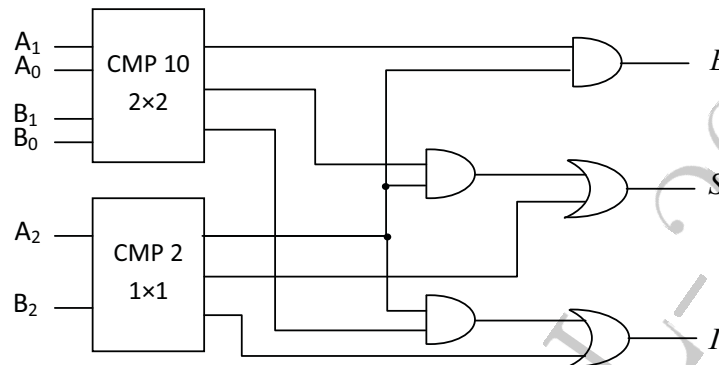


3. Le le schéma logique d'un comparateur 3 bits.

$$E = 1 \Rightarrow A = B \Rightarrow (A_2 = B_2) \text{ et } (A_1 A_0 = B_1 B_0) \Rightarrow E = E_2 E_{10}$$

$$S = 1 \Rightarrow A > B \Rightarrow (A_2 > B_2) \text{ ou } [(A_2 = B_2) \text{ et } (A_1 A_0 > B_1 B_0)] \Rightarrow S = S_2 + E_2 S_{10}$$

$$I = 1 \Rightarrow A < B \Rightarrow (A_2 < B_2) \text{ ou } [(A_2 = B_2) \text{ et } (A_1 A_0 < B_1 B_0)] \Rightarrow S = I_2 + E_2 I_{10}$$



#### Exercice 4. Afficheur 7 segments.

Le circuit permettant d'afficher les chiffres de la base 16.

0 1 2 3 4 5 6 7 8 9 A B C D E F  
0 1 2 3 4 5 6 7 8 9 A B C D E F

X	Y	Z	W	A	B	C	D	E	F	G
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	1	1	1	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	0	1	1	1	1	0	1
1	1	1	0	1	0	0	1	1	1	1
1	1	1	1	1	0	0	0	1	1	1

$$A = \bar{X}.Z + Y.Z + X.\bar{W} + X.\bar{Y}.\bar{Z} + \bar{X}.Y.W + \bar{Y}.\bar{W}$$

$$B = \bar{X}.\bar{Y} + \bar{Y}.\bar{W} + \bar{X}.\bar{Z}.\bar{W} + \bar{X}.Z.W + X.\bar{Z}.W$$

$$C = \bar{X}.\bar{Z} + \bar{X}.W + \bar{X}.Y + X.\bar{Y} + \bar{Z}.W$$

$$D = X.\bar{Z} + \bar{Y}.Z.\bar{W} + \bar{X}.\bar{Y}.\bar{W} + \bar{Y}.Z.W + Y.\bar{Z}.W$$

$$E = Z.\bar{W} + X.Y + X.Z + \bar{Y}.\bar{W}$$

$$F = \bar{Z}.\bar{W} + \bar{X}.Y.\bar{Z} + Y.\bar{W} + X.Z + X.\bar{Y}$$

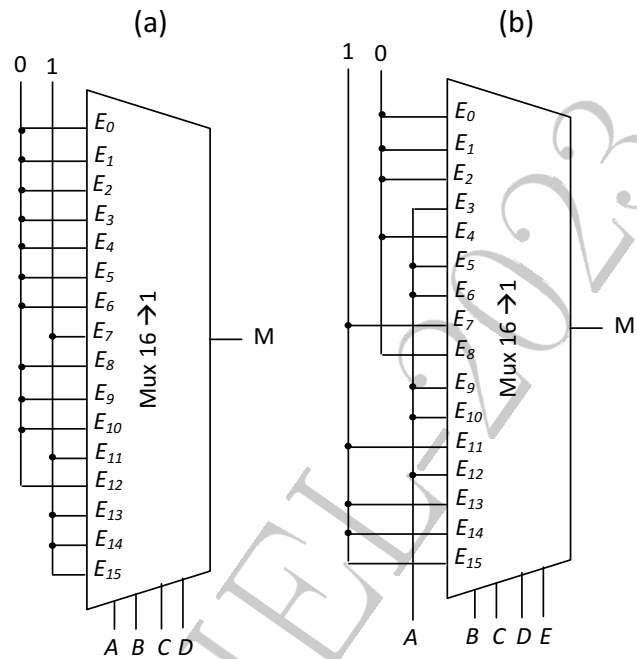
$$G = \bar{X}.Y.\bar{Z} + \bar{Y}.Z + Z.\bar{W} + X.W + X.\bar{Y}$$

Le schéma logique doit être complété par l'étudiant.

#### Exercice 5. Fonctions logiques avec des multiplexeurs.

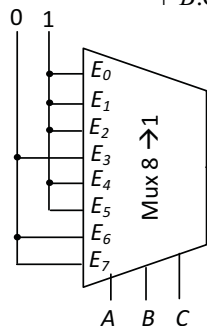
1. La fonction majorité de 4 et de 5 variables avec un multiplexeur (16x1).

A	B	C	D	M
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

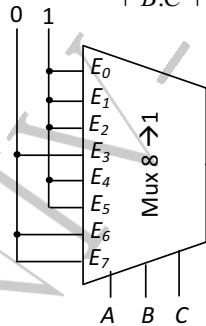


2. Réalisation des fonctions suivantes à l'aide d'un multiplexeur (8×1).

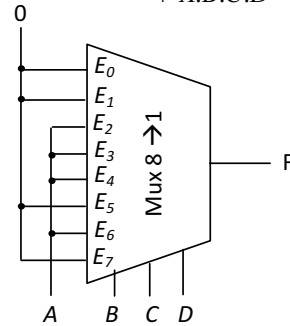
$$F(A, B, C) = A\bar{B} + \bar{A}C + \bar{B}C$$



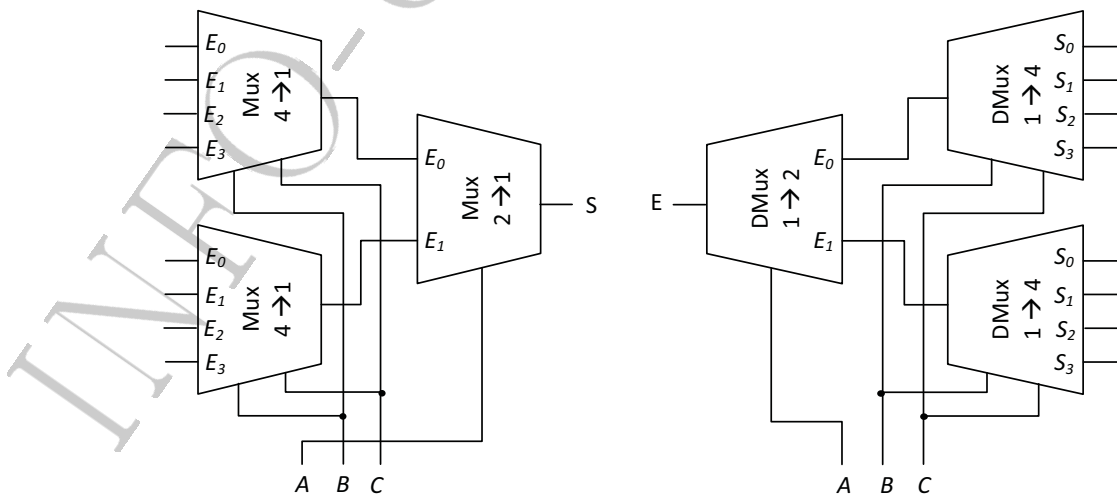
$$F(A, B, C) = \bar{A}\bar{B} + \bar{A}B\bar{C} + \bar{B}\bar{C} + A\bar{B}C$$



$$F(A, B, C, D) = A\bar{B}\bar{D} + \bar{A}\bar{B}C + A\bar{B}C.D$$



3. Réalisation d'un multiplexeur (8×1) et d'un démultiplexeur (1×8) en utilisant des multiplexeurs (4×1) et (2×1) et des démultiplexeurs (1×4) et (1×2).

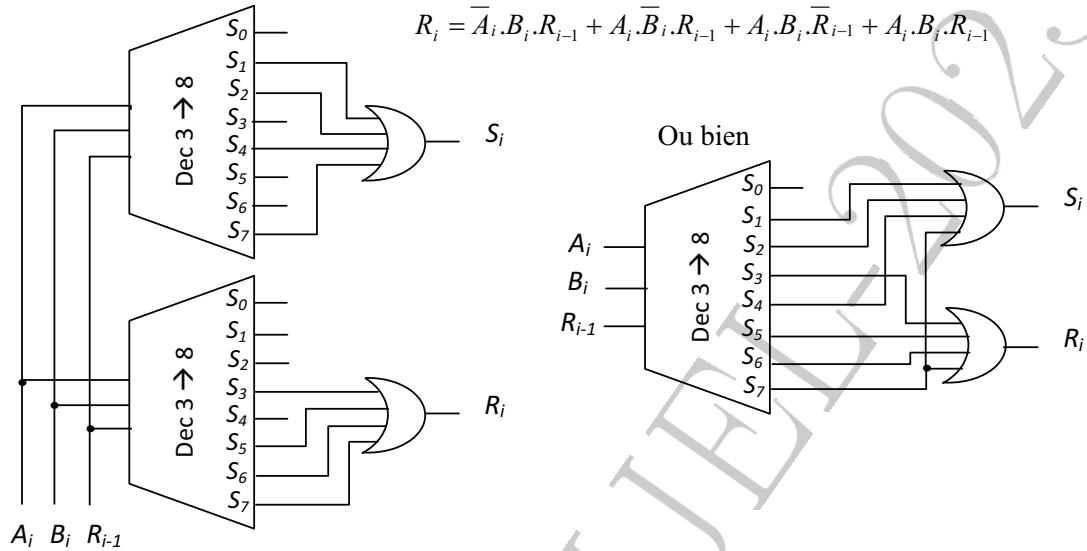


**Exercice 6.** Fonctions logiques avec des décodeurs.

1. L'additionneur complet avec des décodeurs binaires ( $3 \times 8$ ).

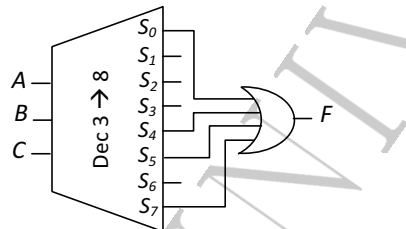
$$S_i = \bar{A}_i \cdot \bar{B}_i \cdot R_{i-1} + \bar{A}_i \cdot B_i \cdot \bar{R}_{i-1} + A_i \cdot \bar{B}_i \cdot \bar{R}_{i-1} + A_i \cdot B_i \cdot R_{i-1}$$

$$R_i = \bar{A}_i \cdot B_i \cdot R_{i-1} + A_i \cdot \bar{B}_i \cdot R_{i-1} + A_i \cdot B_i \cdot \bar{R}_{i-1} + A_i \cdot B_i \cdot R_{i-1}$$

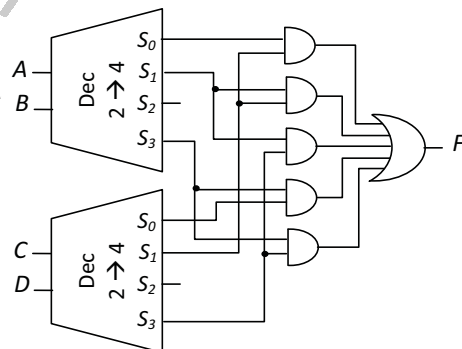


2. Réalisation des fonctions suivantes à l'aide des décodeurs ( $1 \times 2$ ), ( $2 \times 4$ ) et ( $3 \times 8$ ) et des portes logiques.

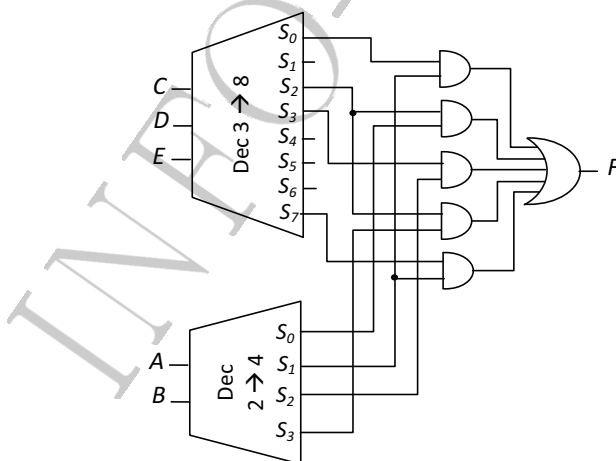
$$F(A, B, C) = \sum(0, 4, 5, 7)$$



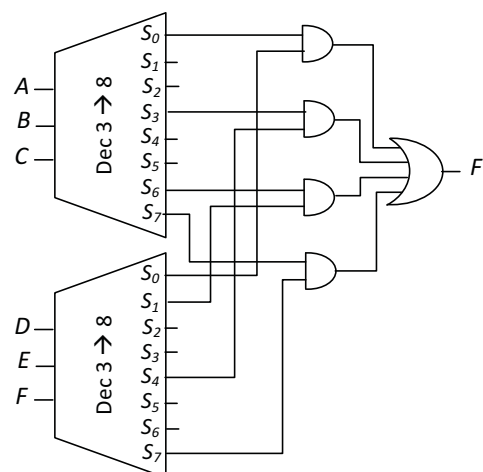
$$F(A, B, C, D) = \sum(1, 5, 7, 12, 15)$$



$$F(A, B, C, D, E) = \sum(2, 8, 15, 19, 26)$$



$$F(A, B, C, D, E, F) = \sum(0, 28, 49, 63)$$



3. Réalisation des fonctions suivantes à l'aide d'un décodeur convenable et des portes logiques.

