**1η Εργαστηριακή Άσκηση**

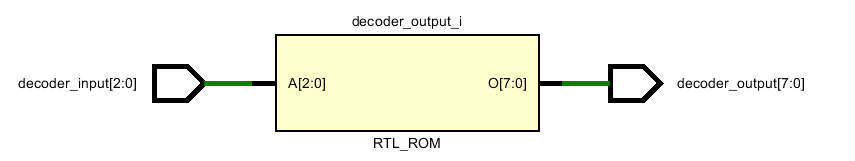
**VLSI**

Παντελαίος Δημήτριος Α.Μ.: 03118049

Μοίρας Αλέξανδρος Α.Μ.: 03118081

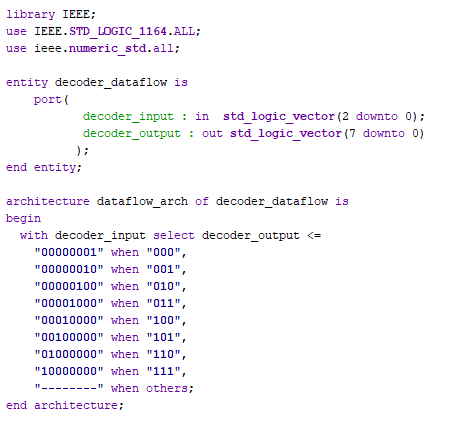
Ζήτημα A.2.:

To RTL σχηματικό του δυαδικού αποκωδικοποιητή 3 σε 8 είναι:

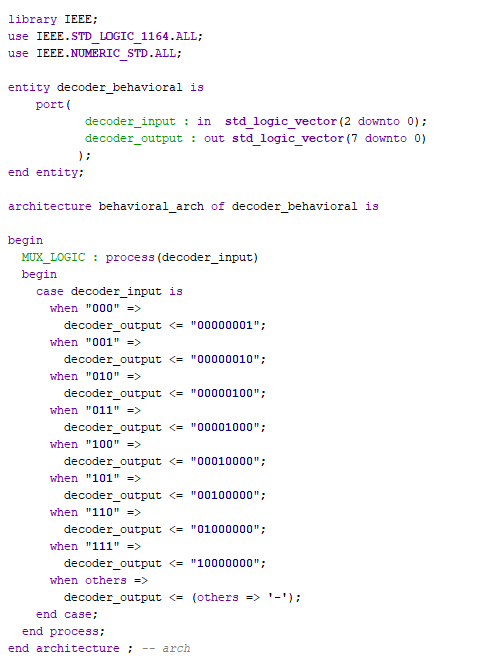


Πρόκειται για ένα απλό συνδυαστικό κύκλωμα που ενεργοποιεί διαφορετική έξοδο για κάθε διαφορετικό συνδυασμό των 3 εισόδων.

O κώδικας VHDL για την dataflow αρχιτεκτονική:

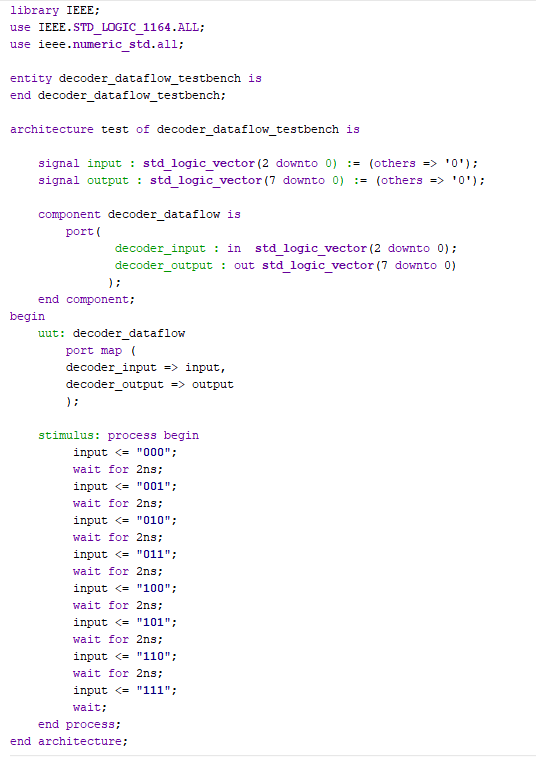


O κώδικας VHDL για την behavioral αρχιτεκτονική:

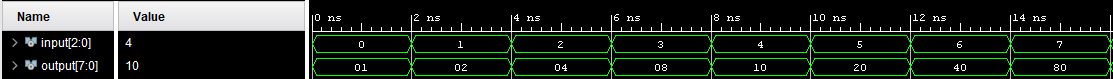


Για την επιλογή της κατάλληλης εξόδου στην dataflow αρχιτεκτονική χρησιμοποιήθηκε η εντολή with select when, ενώ στην behavioral περιγραφή χρησιμοποιήθηκε ένα process, το οποίο με κάθε αλλαγή της εισόδου έδινε την αντίστοιχη έξοδο με την χρήση της εντολής case.

O κώδικας VHDL για το testbench της dataflow αρχιτεκτονικής:



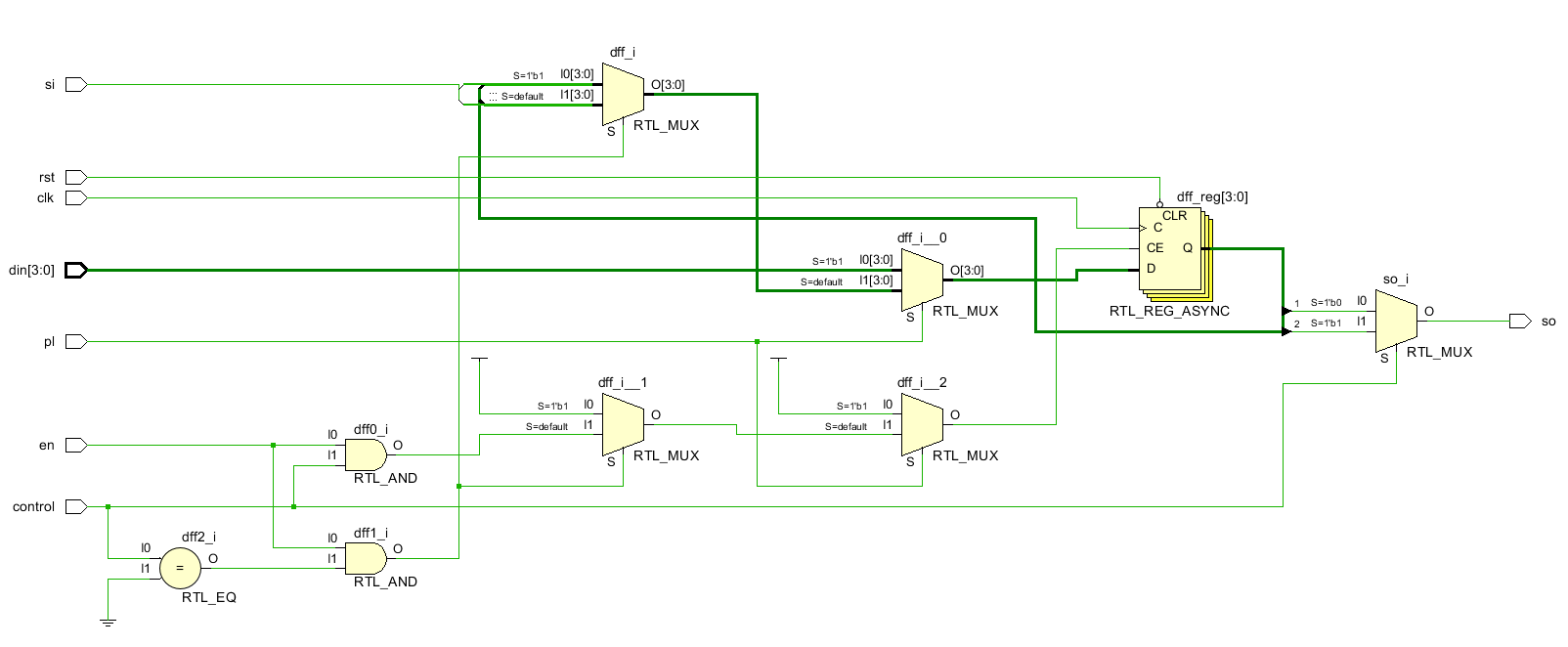
O αντίστοιχος κώδικας για την behavioral περιγραφή είναι ο ίδιος με την διαφορά ότι χρησιμοποιείται το component decoder\_behavioral αντί για το decoder\_dataflow.

Η προσομοίωση που επιβεβαιώνει την ορθή λειτουργία του κυκλώματός μας:

Ζήτημα B.2.:

Στόχος είναι να περιγραφεί καταχωρητής ολίσθησης των 4 bits με παράλληλη φόρτωση. Το σήμα με την μεγαλύτερη προτεραιότητα είναι το pl, το οποίο όταν τίθεται ίσο με 1, φορτώνεται η παράλληλη είσοδος των 4 bit din. Η ενεργοποίηση της ολίσθησης γίνεται μέσω του σήματος en. O καταχωρητής έχει και μια σειριακή είσοδο si, καθώς και μια σειριακή έξοδο so. Προσθέτουμε ένα σήμα που το ονομάζουμε control, το οποίο όταν παίρνει την τιμή ‘0’, έχουμε δεξιά ολίσθηση, ενώ όταν παίρνει την τιμή 1 έχουμε αριστερή ολίσθηση.

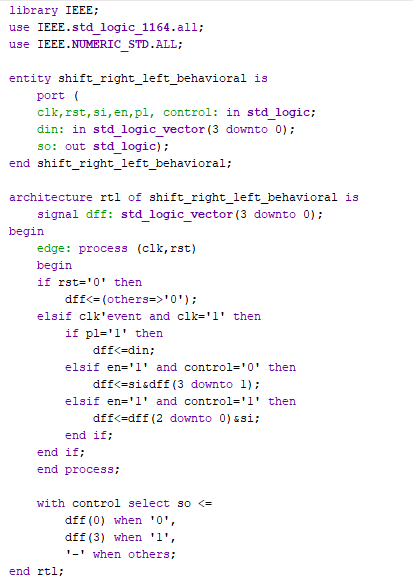
Κατά την δεξιά ολίσθηση το περιεχόμενο του καταχωρητή ολισθαίνει κατά μια θέση προς το LSB , το LSB βγαίνει στην έξοδο so και η είσοδος si περνά στο MSB του καταχωρητή. Αντίθετα, κατά την αριστερή ολίσθηση το περιεχόμενο του καταχωρητή ολισθαίνει κατά μια θέση προς το MSB , το MSB βγαίνει στην έξοδο so και η είσοδος si περνά στο LSB του καταχωρητή. H ανανέωση αυτή γίνεται σε κάθε θετικό παλμό του ρολογιού clk. Τέλος υπάρχει και το σήμα rst, το οποίο όταν παίρνει την τιμή ‘0’, μηδενίζεται το περιεχόμενο του καταχωρητή.

To RTL σχηματικό του καταχωρητή που περιεγράφη παραπάνω:

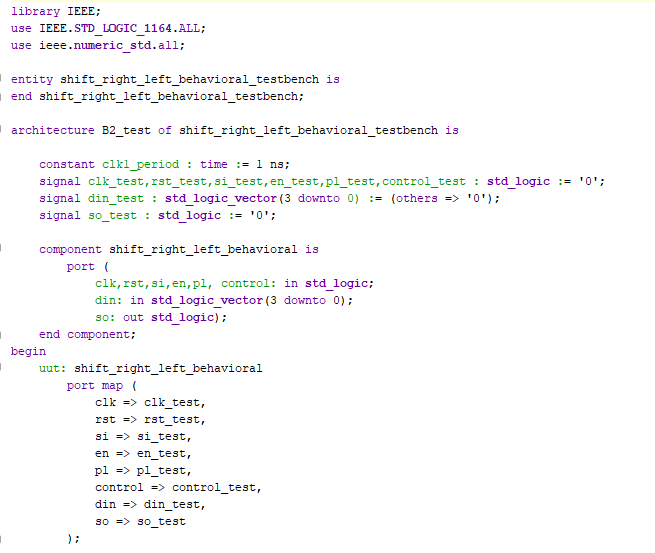
H διαφορά του παραπάνω RTL από το αντίστοιχο του καταχωρητή που υποστηρίζει μόνο δεξιά ολίσθηση είναι ότι υπάρχει ένα επιπλέον σήμα control και δύο πολυπλέκτες οι οποίοι δέχονται ως είσοδο αυτό το σήμα και αποφασίζουν αν θα γίνει δεξιά η αριστερή ολίσθηση και αντίστοιχα αν θα δοθεί στην έξοδο το LSB ή το MSB.

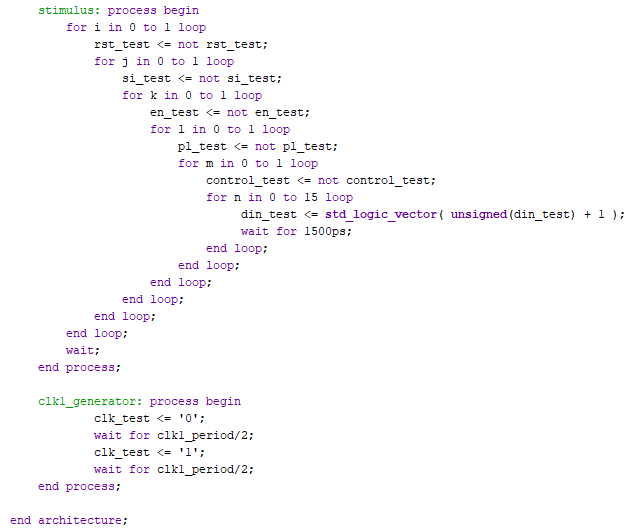
To RTL σχηματικό του σχήματος 2.8 είναι ορθό και δεν μπορεί να απλοποιηθεί άλλο με το χέρι, καθώς το vivado εφαρμόζει αλγορίθμους ώστε να βρει το απλούστερο δυνατό σχηματικό διάγραμμα στην behavioral περιγραφή.

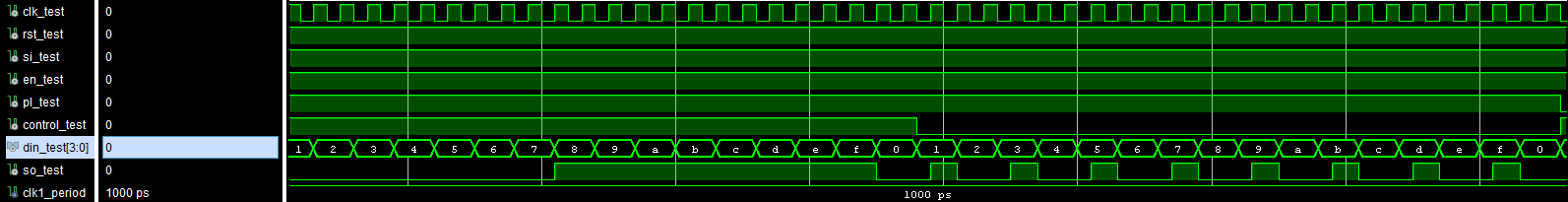
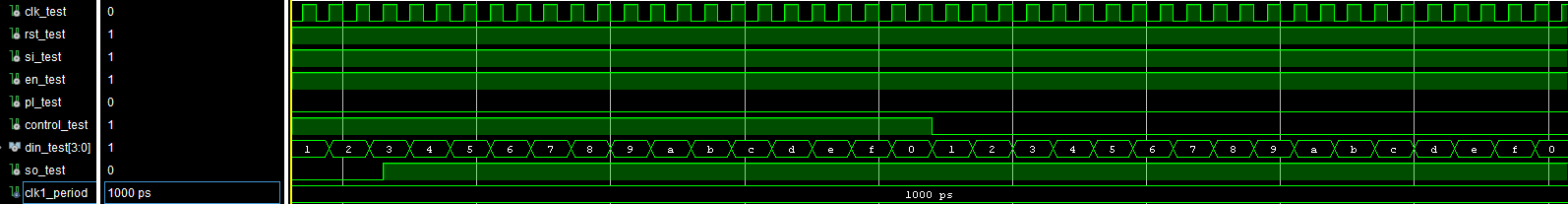
O κώδικας VHDL για την behavioral αρχιτεκτονική:



O κώδικας VHDL για το testbench της behavioral αρχιτεκτονικής:

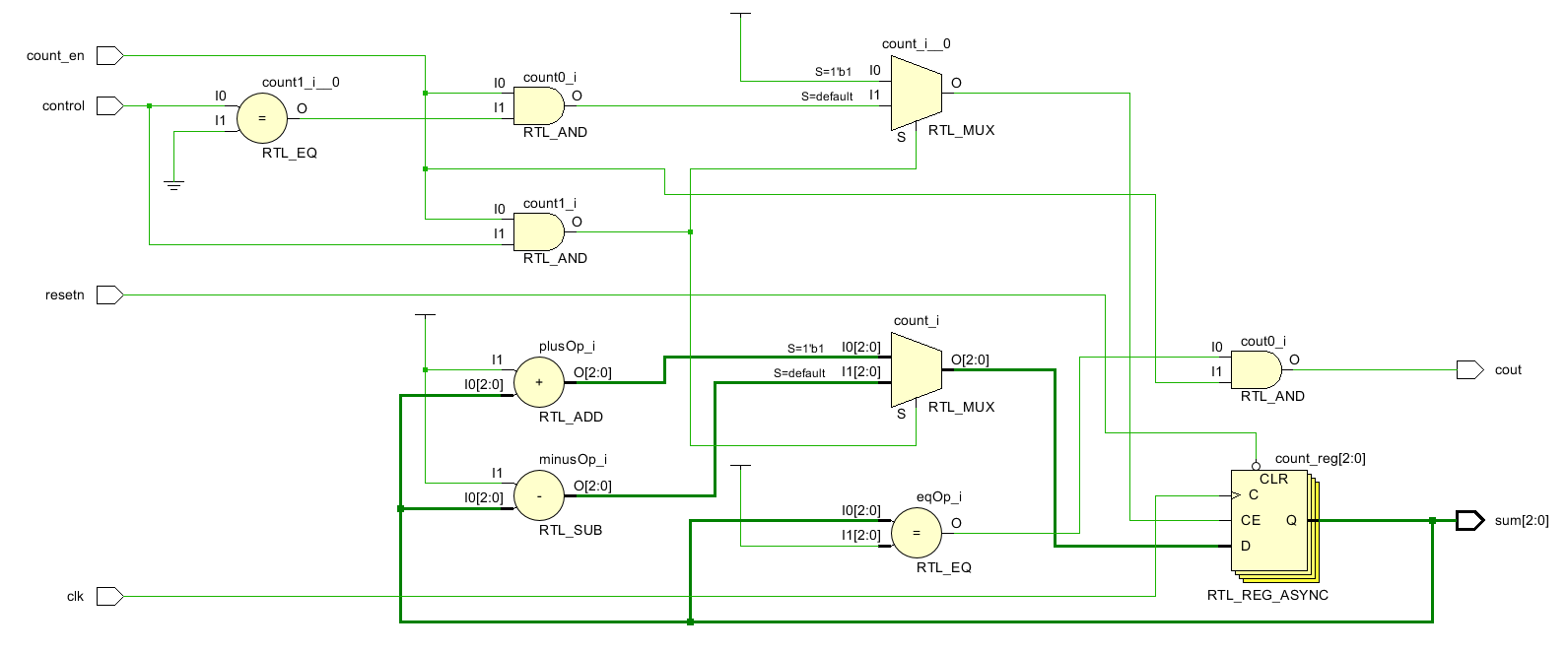




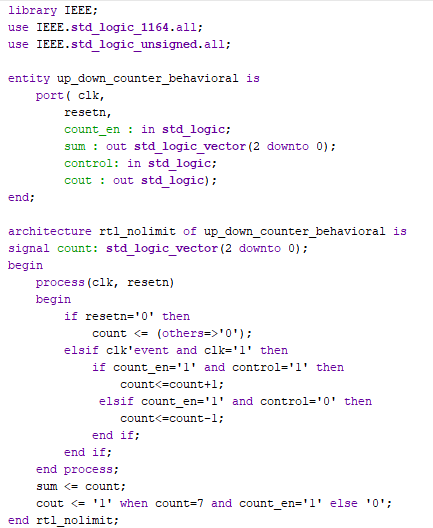
Ένα μέρος της προσομοίωσης που επιβεβαιώνει την ορθή λειτουργία του κυκλώματός μας

Ζήτημα B.3.:

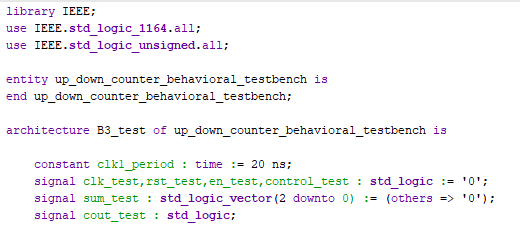
1. Προσθέτουμε στον δοσμένο μετρητή ένα σήμα control, το οποίο όταν παίρνει την τιμή ‘0’, o μετρητής μετράει προς τα κάτω, ενώ όταν παίρνει την τιμή ‘1’, μετράει προς τα πάνω.

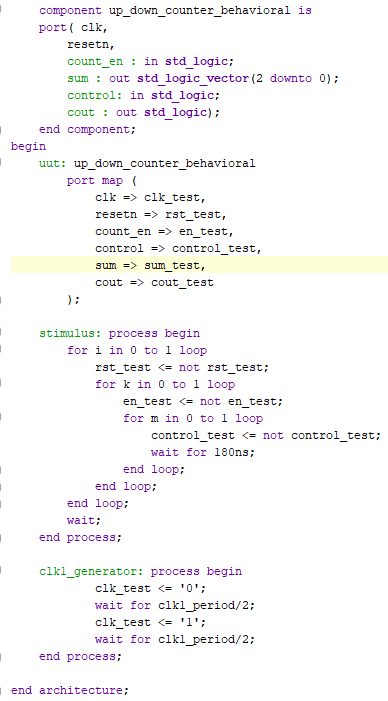
Το RTL σχηματικό του μετρητή :

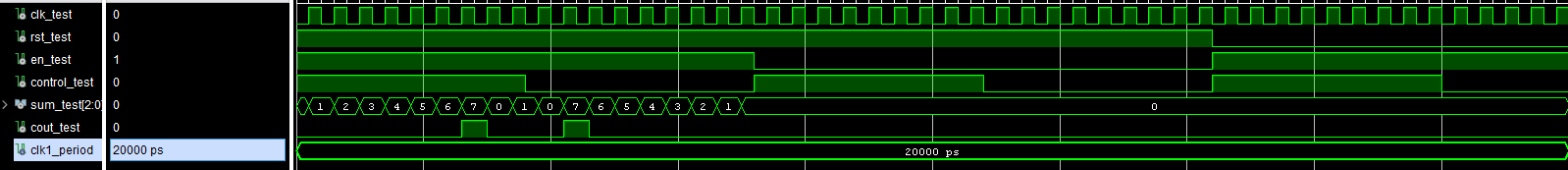
O κώδικας VHDL της behavioral αρχιτεκτονικής:



O κώδικας VHDL για το testbench της behavioral αρχιτεκτονικής:

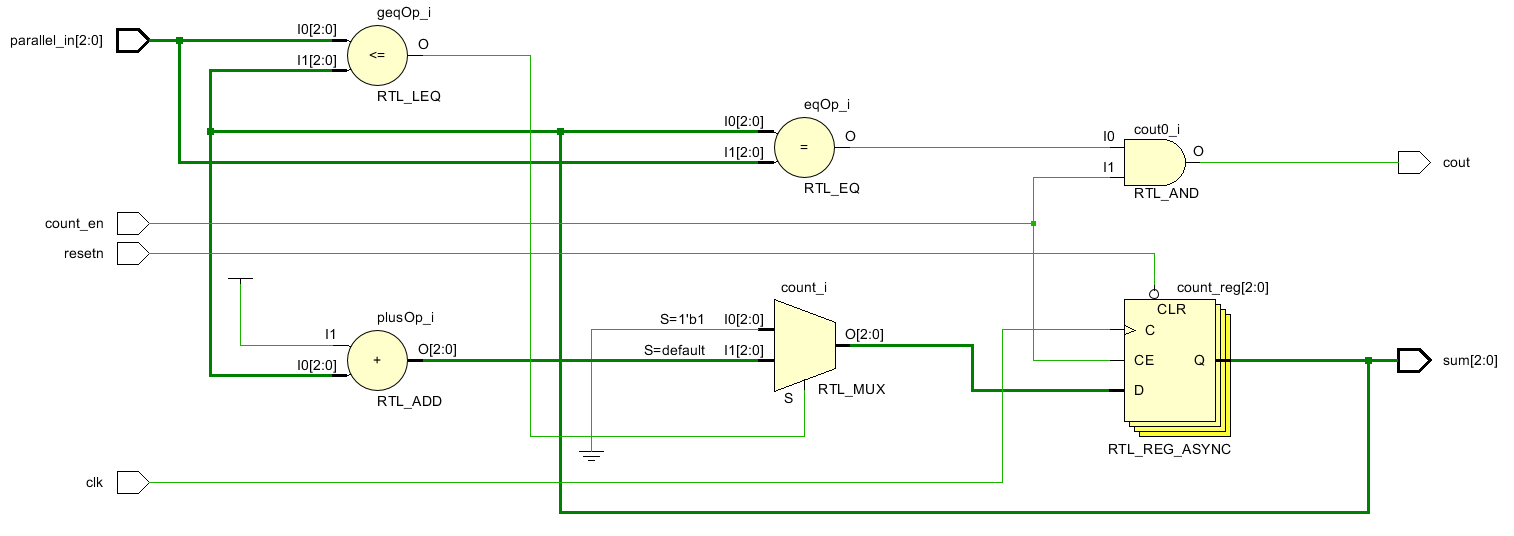




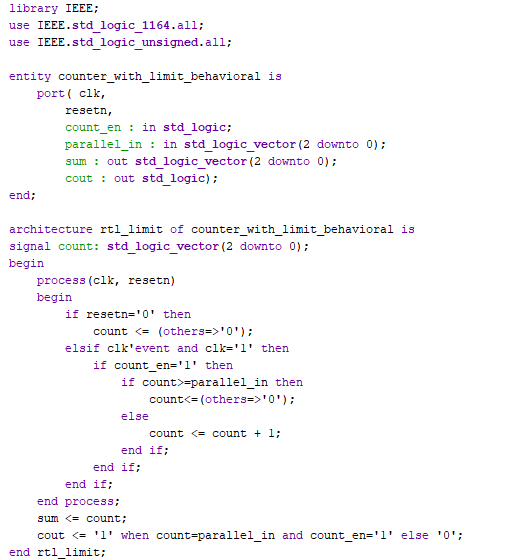
 Eνα μέρος της προσομοίωσης που επιβεβαιώνει την ορθή λειτουργία του κυκλώματός:

1. Προσθέτουμε στον μετρητή ένα σήμα εισόδου 3 bit parallel\_in και στην θετική ακμή του ρολογιού ελέγχουμε αν η τρέχουσα τιμή του μετρητή είναι μεγαλύτερη η ίση από την τιμή αυτής της εισόδου. Σε αυτή την περίπτωση μηδενίζουμε τον μετρητή.

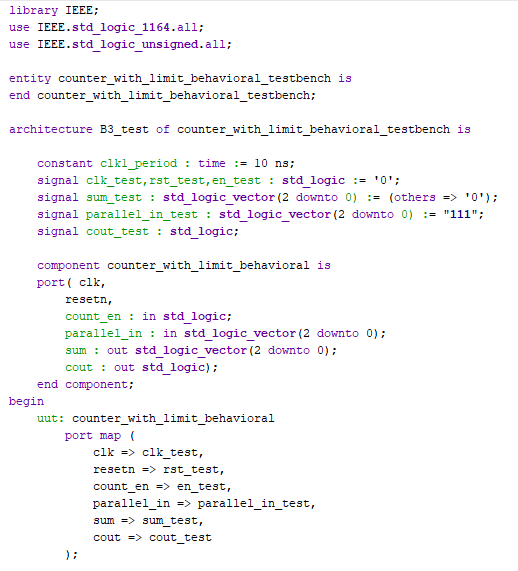
Το RTL σχηματικό του παραπάνω μετρητή:

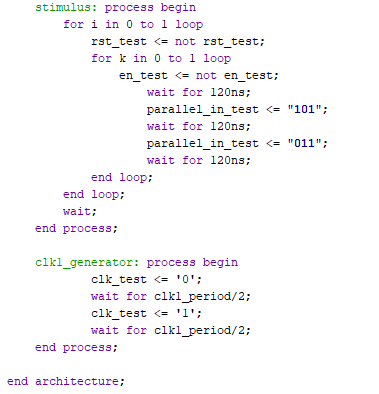


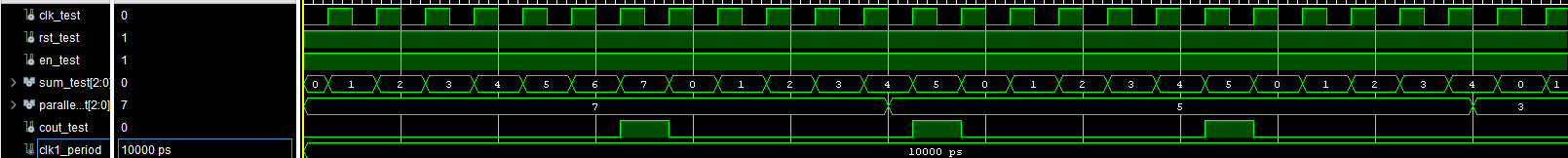
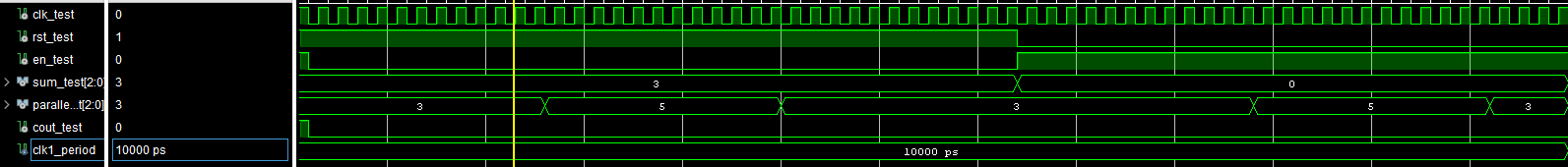
O κώδικας VHDL της behavioral αρχιτεκτονικής:



O κώδικας VHDL για το testbench της behavioral αρχιτεκτονικής:





 Eνα μέρος της προσομοίωσης που επιβεβαιώνει την ορθή λειτουργία του κυκλώματός, για τιμές ορίου 7, 5 και 3:

1. Τα κυκλώματα που δίνει ο synthesizer για τα ζητούμενα 1 και 2 είναι ορθά και δεν μπορούν να απλοποιηθούν περισσότερο, καθώς έχουμε χρησιμοποιήσει behavioral περιγραφή και συνεπώς το vivado εφαρμόζει αλγορίθμους ώστε να βρει το απλούστερο δυνατό σχηματικό διάγραμμα.