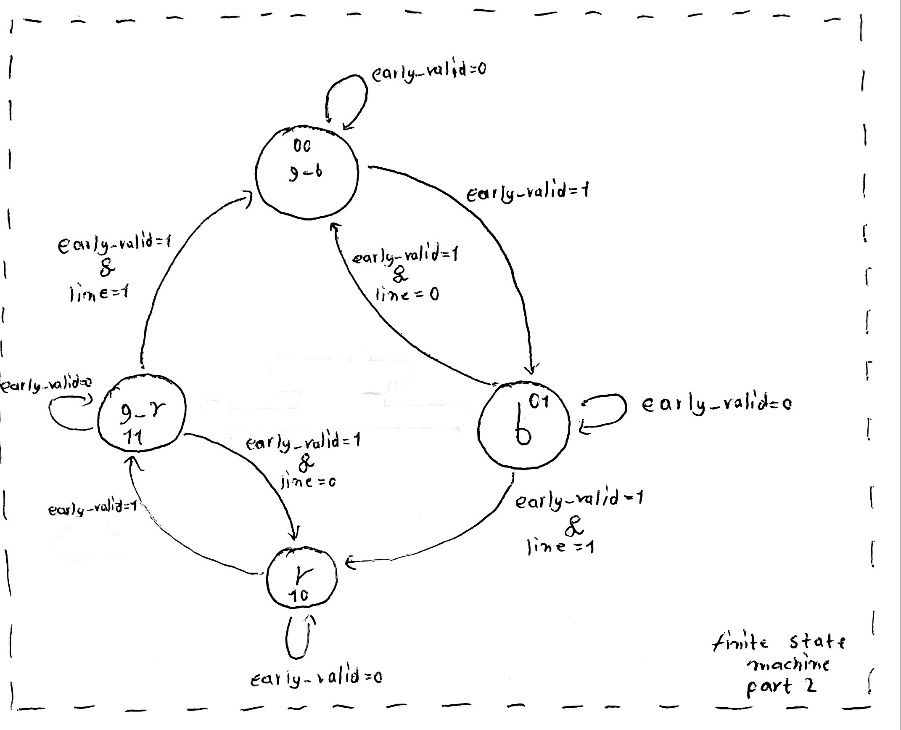
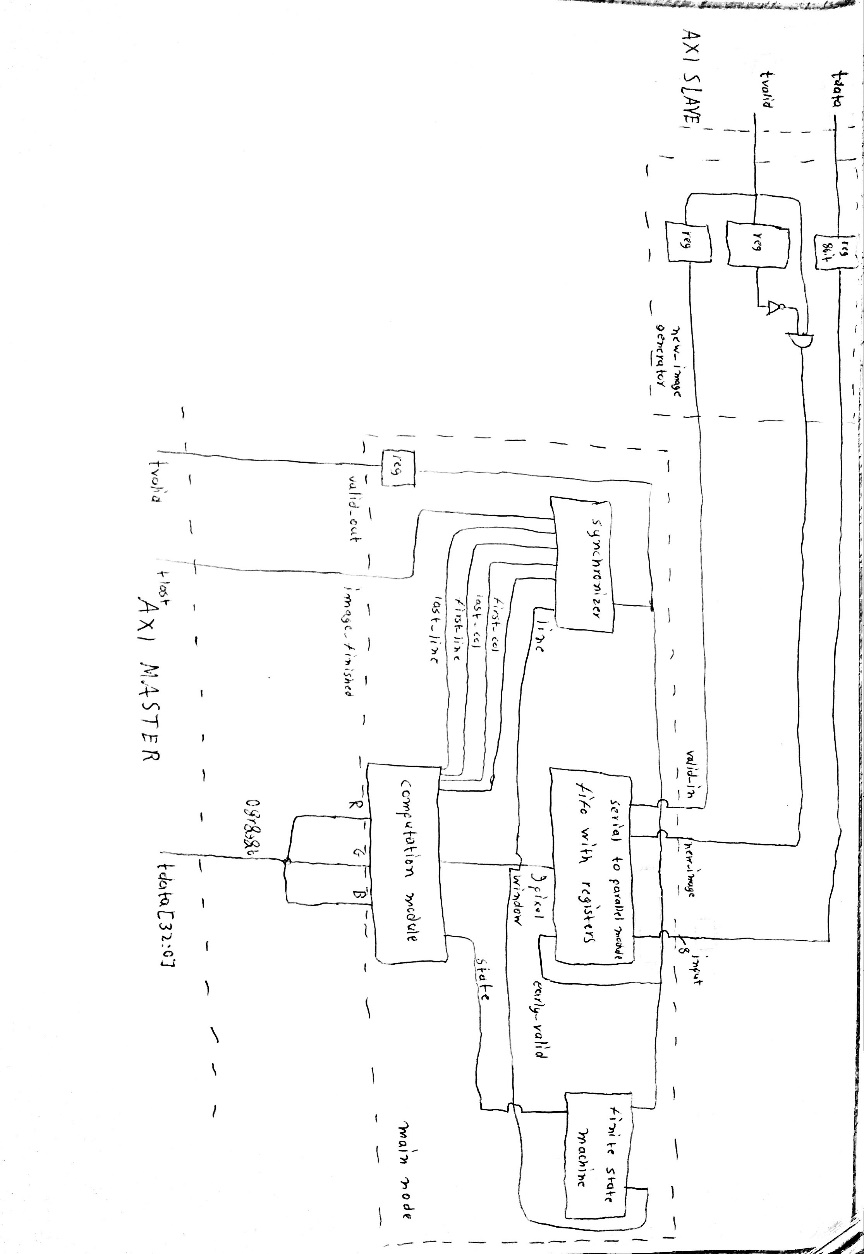
**5η Εργαστηριακή Άσκηση**

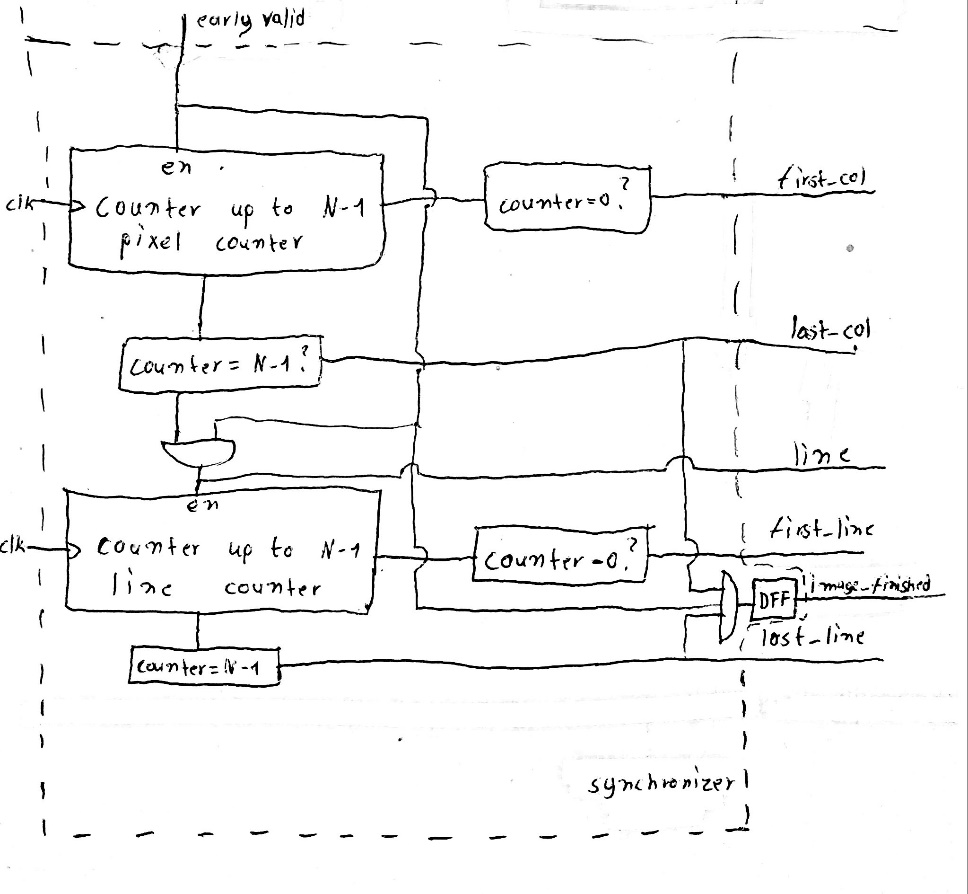
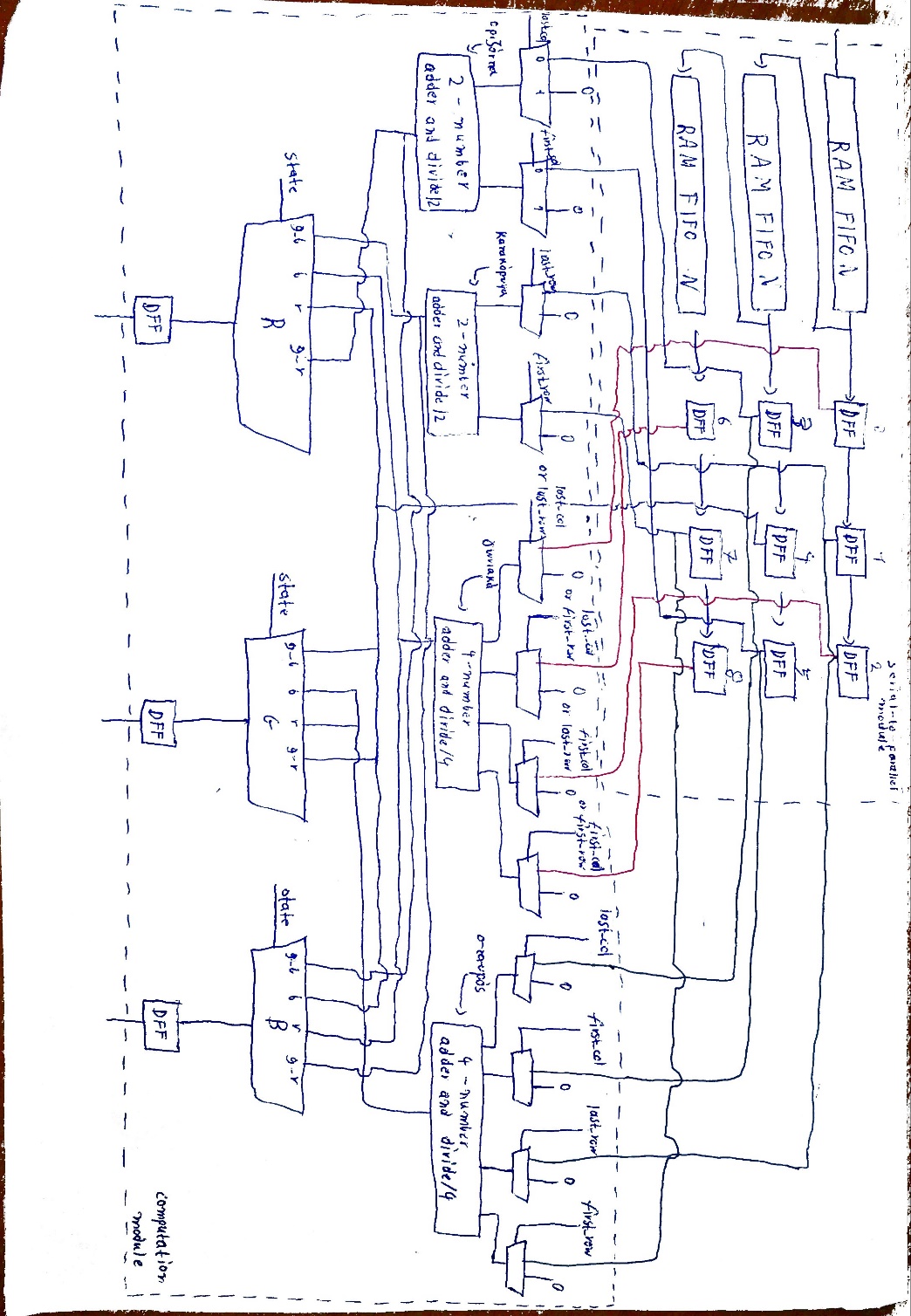
**VLSI**

Μοίρας Αλέξανδρος 03118081

Παντελαίος Δημήτριος 03118049

Το block διάγραμμα του κυκλώματος και το finite state machine φαίνονται παρακάτω:





Το new\_image\_generator δημιουργεί το σήμα new\_image στο πρώτο valid\_in που θα λάβει από το AXI Slave Interface. Αν και στον τρέχοντα σχεδιασμό μας το new\_image είναι redundant το συμπεριλαμβάνουμε για λόγους πληρότητας. Προστίθενται registers στα valid\_in, pixel, new\_image για συγχρονισμό τους με το ρολόι.

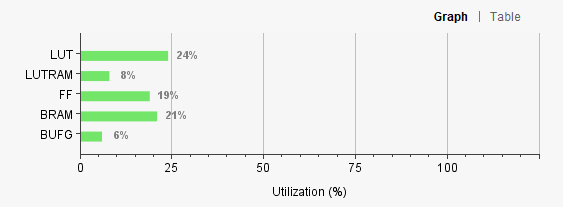
Το serial to parallel module αναλαμβάνει να δημιουργήσει το 3x3 παράθυρο. Το valid\_in αποτελεί το wr\_enable της πρώτης FIFO ενώ διαθέτει εσωτερικά μετρητές για τον συγχρονισμό των υπόλοιπων wr\_enable και rd\_enable. Όσο δεν έχουν διαβαστεί ακόμα όλα τα δεδομένα αν σταματήσει να έρχεται valid\_in=1 οι FIFO σταματούν να διαβάζονται και να γράφονται και οι registers να shiftάρουν δεδομένα έως ότου έρθει νέο valid\_in=1 οπότε και συνεχίζεται η κανονική λειτουργία του κυκλώματος. Επίσης όταν έχουν διαβαστεί δύο συνεχόμενα δεδομένα από τη 2η FIFO, δηλαδή το pixel στη μέση του παραθύρου είναι valid τίθεται στο 1 το σήμα early\_valid, που σηματοδοτεί ότι μπορούν να εκτελεστούν υπολογισμοί για αυτό το Pixel.

Ο synchronizer μετράει τα επεξεργαζόμενα pixels. Ο ρόλος του είναι να καθορίσει αν βρισκόμαστε στα άκρα της εικόνας ώστε να λάβει σωστά μηδενικές τιμές για τα αντίστοιχα pixel το κύκλωμα που εκτελεί τους υπολογισμούς και να σηματοδοτήσει το τέλος της επεξεργασίας όταν θα έχουν επεξεργαστεί επιτυχώς pixels. Επίσης παράγει σήμα κάθε φορά που θα μετρήσει N pixels για να υποδείξει αλλαγή γραμμής στην εικόνα.

Το FSM καθορίζει τι pixel επεξεργαζόμαστε ώστε το module των υπολογισμών να αναγνωρίζει σωστά τα χρώματα της 3x3 γειτονιάς. Αλλάζει κατάσταση για κάθε έγκυρο pixel που επεξεργάζεται καθώς και επίσης μετά την επεξεργασία N pixels όπου δέχεται το σήμα line από τον synchronizer για να πάει στα pixels της επόμενης γραμμής της εικόνας.

Το computation module δέχεται το 3x3 παράθυρο, πρώτα ελέγχεται αν κάποιο pixel πρέπει να θεωρηθεί 0 βάσει των σημάτων των synchronizer, ύστερα υπολογίζει τους 4 δυνατούς μέσους (γραμμή, στήλη, σταυρός, γωνιακά βλ. σχήμα 3 εκφώνησης) και τέλος βάσει του state τα RGB παίρνουν τιμές είτε από τους παραπάνω υπολογισμούς είτε απευθείας από το μεσαίο pixel του παραθύρου βάσει του state που υποδεικνύει το finite state machine. Το αποτέλεσμα περνάει από register για συγχρονισμό με το ρολόι και προς αποφυγήν glitches στην έξοδο.

Oι πόροι που χρησιμοποιήθηκαν για Ν=64 και Ν=128 είναι οι παρακάτω:



Εικόνα που περιέχει πίνακας

Περιγραφή που δημιουργήθηκε αυτόματα

Εικόνα που περιέχει κείμενο, λευκό, ράφι, πλήρης

Περιγραφή που δημιουργήθηκε αυτόματα

Δεν υπάρχει κάποια διαφοροποίηση όταν αλλάζουμε το Ν, καθώς το μέγεθος των fifo που χρησιμοποιήθηκαν για την μετατροπή του σειριακού σε παράλληλο έχουν μέγεθος 2048 και καλύπτει όλες τις περιπτώσεις που θα μελετήσουμε χωρίς να προκαλείται υπερχείλιση. Ακόμη οι counters που χρησιμοποιήθηκαν για τον συγχρονισμό των wr\_enable και rd\_enable των 2 τελευταίων fifo παραμένουν ίδιοι και απλώς μεταβάλλεται η μέγιστη τιμή που μπορούν να πάρουν.

Για Ν=32 το latency είναι 68 κύκλοι. Πιο συγκεκριμένα, το valid\_in χρειάζεται να περάσει από δύο register, προκειμένου να φτάσει στην είσοδο του φίλτρου, δηλαδή φτάνει μετά από 2 κύκλους. Στην συνέχεια χρειάζονται 32 κύκλοι μέχρι να αρχίσει η πρώτη fifo να δίνει δεδομένα στην έξοδο της και άλλοι 32 μέχρι να αρχίσει η δεύτερη fifo. Από την στιγμή που η δεύτερη fifo βγάλει δεδομένο στην έξοδο της, χρειάζονται 2 κύκλοι προκειμένου αυτό το δεδομένο να φτάσει στην έξοδο του δεύτερου από τους τρεις registers που βρίσκονται στην έξοδο της fifo και το valid\_out να γίνει 1.

Aντίστοιχα για Ν=64, όπου οι fifo δίνουν δεδομένα στην έξοδο όταν περιέχουν 64 δεδομένα, το latency είναι 2+64+64+2 = 132 κύκλοι.

Για Ν=128 το latency είναι 2+128+128+2= 260 κύκλοι.

To throughput του συστήματος είναι 1, καθώς μετά το αρχικό latency θα δίνει μια έγκυρη έξοδο ανά κύκλο. Ακόμη, το σύστημα είναι συνεχούς διοχέτευσης, δηλαδή μπορεί να έρθει νέα εικόνα κατά τη διάρκεια της επεξεργασίας της προηγούμενης και θα γίνεται κανονικά η έισοδος των δεδομένων της στις fifo.