



Tecnológico de Monterrey

Campus Guadalajara

Procesador Single Cycle Risc-V

Edwin Alejandro Mojarras García | A01644376

Diseño de sistemas en chip

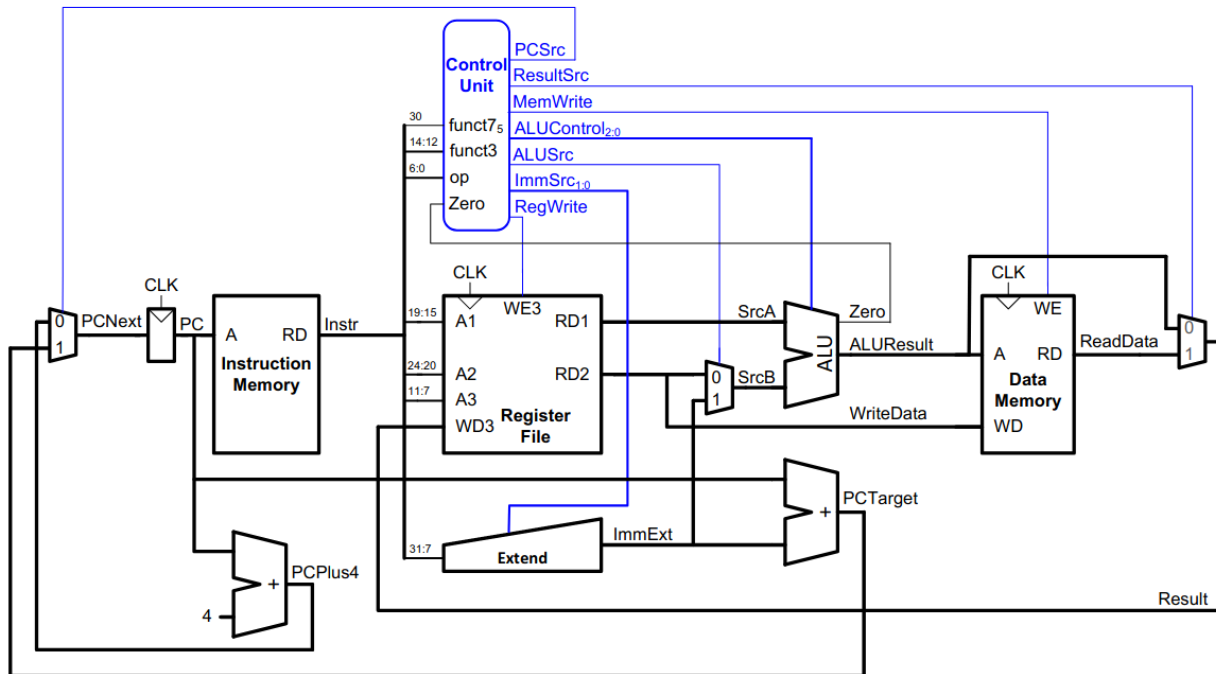
29 de mayo del 2025

En este proyecto se diseñó e implementó un procesador RISC-V de 32 bits (RV32I), con arquitectura de ciclo único, utilizando Verilog. La arquitectura sigue el modelo clásico con etapas de Fetch, Decode, Execute, Memory y Write-back, todas ejecutadas en un mismo ciclo de reloj. El diseño fue simulado y verificado en Quartus.

Descripción de Módulos

Módulo	Función principal
→ ProgramCounter	Almacena la dirección de la siguiente instrucción a ejecutar.
→ InstructionMemory	ROM que contiene el programa a ejecutar. Se carga desde un archivo .mem.
→ RegisterFile	Banco de 32 registros de 32 bits. Permite 2 lecturas y 1 escritura por ciclo.
→ ImmediateGenerator	Extrae e interpreta el campo inmediato según el tipo de instrucción.
→ ControlUnit	Genera señales de control según el opcode.
→ ALUControl	Genera la señal que selecciona la operación que realizará la ALU.
→ ALU	Ejecuta operaciones aritmético-lógicas.
→ DataMemory	RAM para instrucciones lw y sw.
→ BranchComparator	Compara dos registros para determinar si se toma un salto condicional.
→ Mux	Multiplexores que permiten seleccionar entre dos entradas.
→ Adder	Suma direcciones para calcular el nuevo PC.
→ SingleCycle	Integra todos los módulos y representa el procesador completo.

Aquí se muestra el datapath de un procesador risc-v single cycle



Instrucciones a simular

```
00000013
00100093
00200113
00308193
```

Este proyecto permite comprender a fondo la implementación de una CPU desde sus bloques funcionales hasta su integración final.