221900175-毛九弢-第六章

2023年12月2日 10:00

- 4. 假定某计算机工程师想设计一个新的 CPU,一个典型程序的核心模块有一百万条指令,每条指令执行时间为 100ps。请问:
 - (1) 在非流水线处理器上执行该程序需要花多长时间?
 - (2) 若新 CPU 采用 20 级流水线,执行上述同样的程序,理想情况下,它比非流水线处理器快多少?
- (3) 实际流水线并不是理想的,流水段之间的数据传送会有额外开销。这些开销是否会影响指令执行时间和指令吞吐率?
- (1) $100 * 10^6 * 100 * 10^{-9} = 10 s$
- (2) 理想情况下,每个指令时钟周期的时间为5ps,是原来时间的 $\frac{1}{20}$,快 20 倍。
- (3) 会的,流水段之间数据传送的额外开销,会增加指令的执行时间从而影响吞吐率。 此外,还会有阻塞等情况发生。
 - 5. 假定最复杂的一条指令所用的组合逻辑分成 6 部分,依次为 A~F,其延迟分别为 80ps、30ps、60ps、50ps、70ps、10ps。在这些组合逻辑块之间插入必要的流水段寄存器就可实现相应的指令流水线,寄存器延迟为 20ps。理想情况下,以下各种方式所得到的时钟周期、指令吞吐率和指令执行时间各是多少?应该在哪里插入流水段寄存器?
 - (1) 插入1个流水段寄存器,得到一个两级流水线。
 - (2) 插入 2 个流水段寄存器,得到一个三级流水线。
 - (3) 插入3个流水段寄存器,得到一个四级流水线。
 - (4) 吞吐量最大的流水线。

计算前缀和:

A B C D E F 0 80 110 170 220 290 300

(1) 在C、D间插入流水段寄存器,

每个流水段的时间为170ps,

故而时钟周期为190ps, 指令吞吐率为1/190ps = 5.263GOPS, 指令执行时间为380ps

(2) 在BC,DE间插入流水段寄存器,

每个流水段的时间为110ps,

故而时钟周期为130ps, 指令吞吐率为1/130ps = 7.692GOPS, 指令执行时间为390ps

(3) 在AB,CD,DE间插入流水段寄存器,

每个流水段的时间为90ps,

故而时钟周期为110ps, 指令吞吐率为1/110ps = 9.091GOPS, 指令执行时间为440ps

(4) 在AB,BC,CD,DE间插入流水段寄存器,

每个流水段的时间为80ps,

故而时钟周期为100ps, 指令吞吐率为1/100ps = 10.0GOPS, 指令执行时间为500ps

6. 以下指令序列中,哪些指令对之间发生数据相关?假定采用"取指、译码/取数、执行、访存、写回"5

故而时钟周期为100ps,指令吞吐率为1/100ps = 10.0GOPS,指令执行时间为500ps

6. 以下指令序列中,哪些指令对之间发生数据相关?假定采用"取指、译码/取数、执行、访存、写回"5段流水线方式,如果不用"转发"技术,需要在发生数据相关的指令前加入几条 nop 指令才能使这段程序避免数据冒险?如果采用"转发"是否可以完全解决数据冒险?不行的话,需要在发生数据相关的指令前加入几条 nop 指令才能使这段 MIPS 程序不发生数据冒险?

addu \$s3, \$s1, \$s0
addu \$t2, \$s3, \$s3
lw \$t1, 0(\$t2)
add \$t3, \$t1, \$t2

(1) 哪些指令对之间会发生数据相关:

1&2关于\$s3, 2&3关于\$t2, 2&4关于\$t2, 3&4关于\$t1

(2) 不用转发:

需要分别在2,3,4条指令前加3条nop指令(如果寄存器写/读口分别在半周期内工作则是2条)

(3) 转发:

不能完全解决,因为lw指令之后紧跟了一条使用lw目的寄存器的指令,存在load-use数据冒险, 所以还要在3,4条指令间加一条nop指令

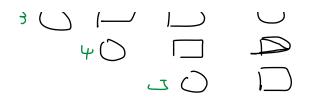
7. 假定以下 MIPS 指令序列在图 6.18 所示的流水线数据通路中执行:

请问:

- (1) 上述指令序列中,哪些指令的哪个寄存器需要转发?转发到何处?
- (2) 上述指令序列中,是否存在 load-use 数据冒险?
- (3) 第5周期结束时,各指令执行状态是什么?哪些寄存器的数据正被读出?哪些寄存器将被写入?

(1)

指令	需要转发的寄存器	转发到何处
1	\$s3	指令2 计算阶段
2	\$t2	指令3 计算阶段
2	\$t2	指令4计算阶段
3	\$t1	指令4计算阶段

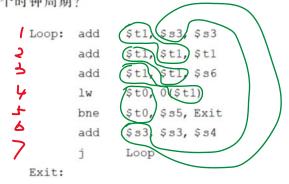


指令	状态	读入寄存器	写入寄存器
1	"WB" 写回状态	无	\$s3
2	"MEM" 读存储器状态 但是空操作	无	无
3	"EXE"执行状态	无	无
4	"ID/REG"译码,取寄存器	\$t1, \$t2	无
5	"IF" 取指令	无	无

9. 在一个带转发的 5 段流水线中执行以下 MIPS 程序段,怎样调整指令序列使其性能达到最好?

主要是减少 load-use数据冒险 的发生.

10. 在一个采用"取指、译码/取数、执行、访存、写回"的 5 段流水线中,若检测结果是否为"0"和将转移目标地址(Btarg 和 Jtarg)送 PC 的操作在执行阶段进行,则分支延迟损失时间片(即分支延迟槽)为多少? 在带转发的 5 段流水线中,对于以下 MIPS 指令序列,哪些指令执行时会发生流水线阻塞? 各需要阻塞几个时钟周期?



- (1)因为是EXE阶段,故而分支延迟损失时间片为2
- (2) 因为带转发,

- 5 bne指令 会发生流水线阻塞,否则有load-use数据冒险发生,需要阻塞一个时钟周期。
- 7 | 指令 会发生流水线阻塞, 需要阻塞 一个时钟周期(在译码阶段获得跳转地址) 或 两个时钟周期(在执行阶段才获得)
 - 11. 假设数据通路中各主要功能部件的操作时间是:存储单元为 200ps; ALU 和加法器为 100ps; 寄存器堆读口或写口为 50ps。程序中指令的组成比例为:取数为 25%、存数为 10%、ALU 为 52%、分支为 11%、跳转为 2%。假设控制单元和传输线路等延迟都忽略不计,则以下实现方式中哪个更快?快多少?
 - (1) 单周期方式。每条指令在一个固定长度的时钟周期内完成。
 - (2) 多周期方式。时钟周期取存储单元操作时间的一半,每类指令时钟数是:取数为7、存数为6、ALU为5、分支为4、跳转为4。
 - (3) 流水线方式。时钟周期取存储操作时间的一半,采用"取指 1、取指 2、取数/译码 执行、存取 1、存取 2、写回"7 段流水线;没有结构冒险;数据冒险采用"转发"技术处理;load 指令与后续各指令之间存在依赖关系的概率分别 1/2,1/4,1/8,…;分支延迟损失时间片为 2,预测准确率为 75%;不考虑异常、中断和访问缺失引起的流水线冒险。
- (1) 单周期时长: 200+50+100+200+50 = 600 ps

吞吐率: 1.667 GOPS

(2) 多周期时长: 100 * (7 * 0.25 + 6 * 0.1 + 5 * 0.52 + 4 * 0.11 + 4 * 0.02) = <mark>547.0 ps</mark>

吞吐率: 1.828 GOPS

(3) 流水线时长

single clock time: 100ps

Jump=> 3cpi

beq=>1*0.75 + 3 * 0.25 = 1.5cpi

load=> 3*0.5 + 2 * 0.25 + 1 * 0.25 = 2.25cpi

avg: 100 * (0.25 * 2.25 + 0.1 + 0.52 + 0.11 * 1.5 + 0.02 * 3) = 140.75 ps

吞吐率: 7.104 GOPS

综上: 流水线时长最快, 吞吐率是单周期的4.27倍, 多周期的3.886倍.

12. 有一段程序的核心模块中有 5 条分支指令,该模块将会被执行成千上万次,在其中一次执行过程中,5 条分支指令的实际执行情况如下(T: taken; N: not taken)。

分支指令 1: T-T-T。

分支指令 2: N-N-N-N。

分支指令 3: T-N-T-N-T-N。

分支指令 4: T-T-T-N-T。

分支指令 5: T-T-N-T-T-N-T。

假定各个分支指令在每次模块执行过程中实际执行情况都一样,并且动态预测时每个分支指令都有自己的预测表项,每次执行该模块时的初始预测位都相同。请分析并给出以下几种预测方案的预测准确率。

- (1) 静态预测,总是预测转移(taken)。
- (2) 静态预测,总是预测不转移(not taken)。
- (3) 一位动态预测,初始预测转移(taken)。
- (4) 二位动态预测,初始预测弱转移(taken)。

预测\指令	1	2	3	4	5	total
静态taken	3/3	0/4	3/6	4/5	5/7	15/25
	100%	0%	50%	80%	71.43%	60%
静态not taken	0/3	4/4	3/6	1/5	2/7	10/25
	0%	100%	50%	20%	28.57%	40%
一位动态	3/3	3/4	1/6	3/5	3/7	13/25
taken	100%	75%	16.67%	60%	42.86%	52%
二位动态	3/3	3/4	3/6	4/5	5/7	18/ 25
weak taken	100%	75%	50%	80%	71.43%	72%