

ЛАБОРАТОРНАЯ РАБОТА №1	М3136	2022
ПОСТРОЕНИЕ ЛОГИЧЕСКИХ СХЕМ В СРЕДЕ МОДЕЛИРОВАНИЯ	ТАРАСЕВИЧ АРТЕМ СЕРГЕЕВИЧ	

Цель работы: моделирование логических схем на элементах с памятью.

Инструментарий и требования к работе: Logisim Evolution.

Описание:

Необходимо построить счетчик и линейный регистр сдвига с обратной связью.

Счетчик - схема, состоящая из кнопки и триггеров. Она считает количество поданных импульсов по необходимому модулю. Бывают синхронные и асинхронные, суммирующие и вычитающие.

Регистр сдвига с линейной обратной связью - сдвиговый регистр, значение вдвигаемого бита вычисляется как линейная булева функция от некоторых битов последовательности. Иными словами, РСЛОС - схема, состоящая из кнопки и последовательно соединенных триггеров. При нажатии на кнопку все значения триггеров сдвигаются на 1 вправо, а самый левый триггер вычисляется особым образом (в зависимости от конфигурации). Существует конфигурация Фибоначчи и Галуа.

Вариант:

Необходимо построить асинхронный вычитающий счетчик по модулю 14, РСЛОС с конфигурацией Фибоначчи (13, 12, 11, 8, 0).

Счетчик

Принцип работы:

Асинхронный счетчик по модулю 14 - схема, стартующая со значения 0, и далее, при нажатии на кнопку, уменьшающая своё значение на 1. Принимает значения в следующем порядке: 13, 12, 11, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0, 13, 12, 11 ...

Построение:

Построенная схема лежит в counter.circ в подсхеме main

Для построения асинхронного вычитающего счетчика были введены следующие подсхемы:

- Асинхронный RS-триггер - схема, имеющая два входа: R (Reset), S (Set), а также два выхода Q, notQ (отрицание Q).

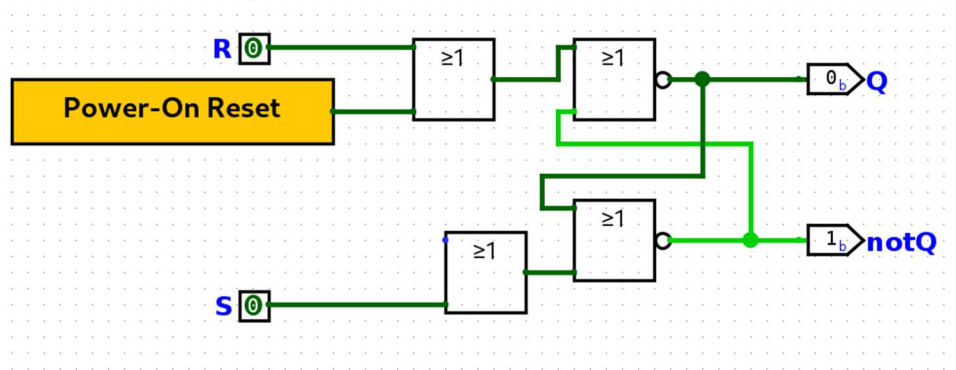


Рис 1. Асинхронный RS-триггер

R	0	0	1	1
S	0	1	0	1
Q	сохраняет предыдущее значение	1	0	запрещенная комбинация

Таблица истинности для асинхронного RS-триггера

- Синхронный RS-триггер - надстройка над асинхронной версией - добавляется вход C (Clock, синхронизация). Данный триггер при C = 0 блокирует доступ к схеме (входы R, S не имеют никакого действия); при C = 1 ведет себя как асинхронный RS-триггер.

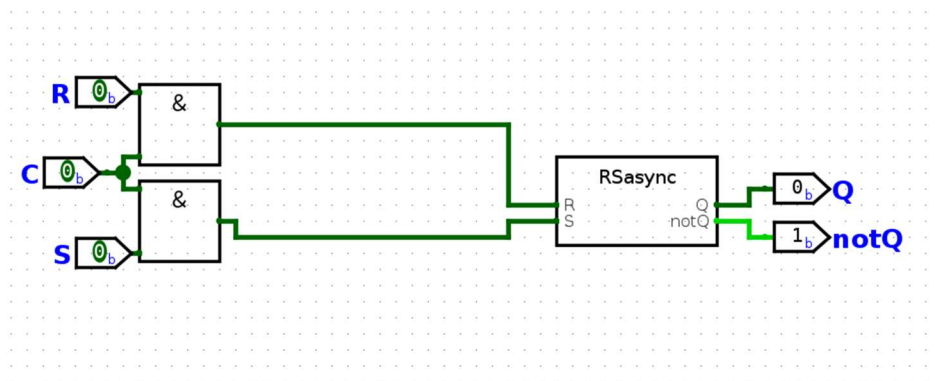


Рис 2. Синхронный RS-триггер

- JK-триггер - схема, имеющая три входа - J (Jump), K (Kill), C (Clock), и два выхода - Q, notQ. Принцип действия очень похож на синхронный RS-триггер, но здесь уже определена комбинация J = 1, K = 1. *Примечание:* синхронизация происходит по заднему фронту (во время перехода с 1 → 0).

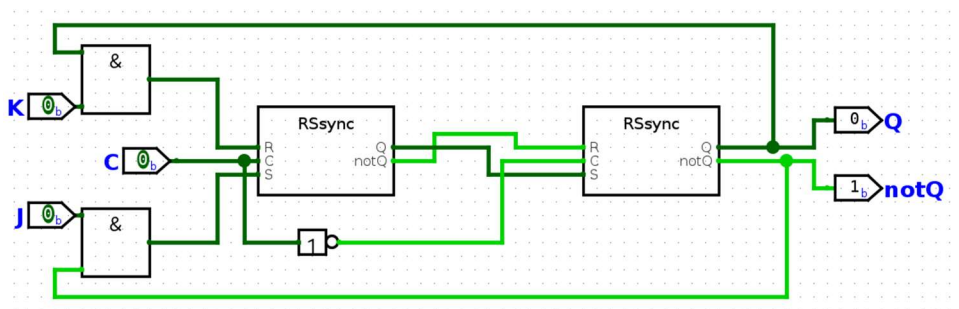


Рис 3. JK-триггер

J	0	0	1	1
K	0	1	0	1
Q	сохраняет предыдущее значение	1	0	инверсия предыдущего значения

Таблица истинности для JK-триггера

Так как необходимо хранить 14 значений, а каждый триггер способен хранить только 2 значения, то минимальное количество триггеров - $\lceil \log_2 14 \rceil = 4$. Отсюда следует следующее: чтобы соорудить счетчик по модулю 14, необходимо соорудить счетчик по модулю 16. Это можно сделать последовательным подключением JK триггеров, где выход J замкнут на notQ, K - на Q, выход с триггера Q идет на вход C следующего триггера:

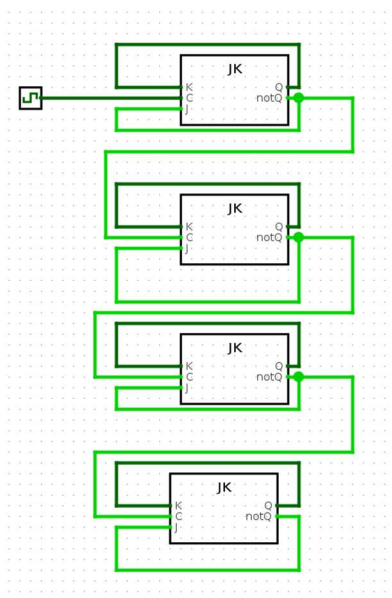


Рис 4. Асинхронный вычитающий счетчик по модулю 16.

Чтобы внедрить модуль 14, необходимо отлавливать крайний переход: с 0b0000 на 0b1101. Отследим положение 0b0000, готовое переключиться (т. е. кнопка нажата) элементом AND. Далее, чтобы переключиться на 0b1101, заблокируем J-вход и синхронизацию на триггере, отвечающим за второй разряд при помощи двух AND-элементов.

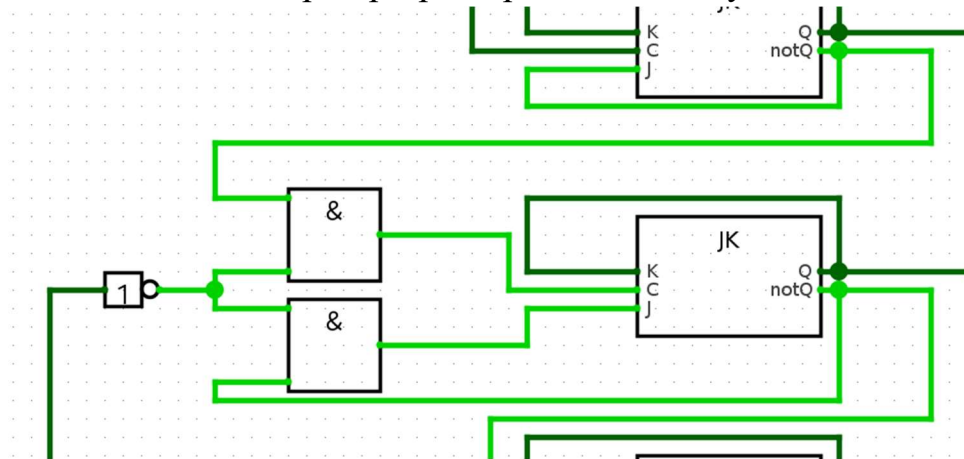


Рис 5. Блокирование второго JK-триггера

При такой реализации счетчик со значения 0 переключится на 14 (при переходе В: $0 \rightarrow 1$), а затем, при переходе обратно (В: $1 \rightarrow 0$) переключится на нормальное положение 13.

Исправим это: если на счетчике значение 14, пусть он тогда выводит 0; в остальных случаях - истинное его значение. Достигается это простой проверкой элементом NAND с последующим разветвлением.

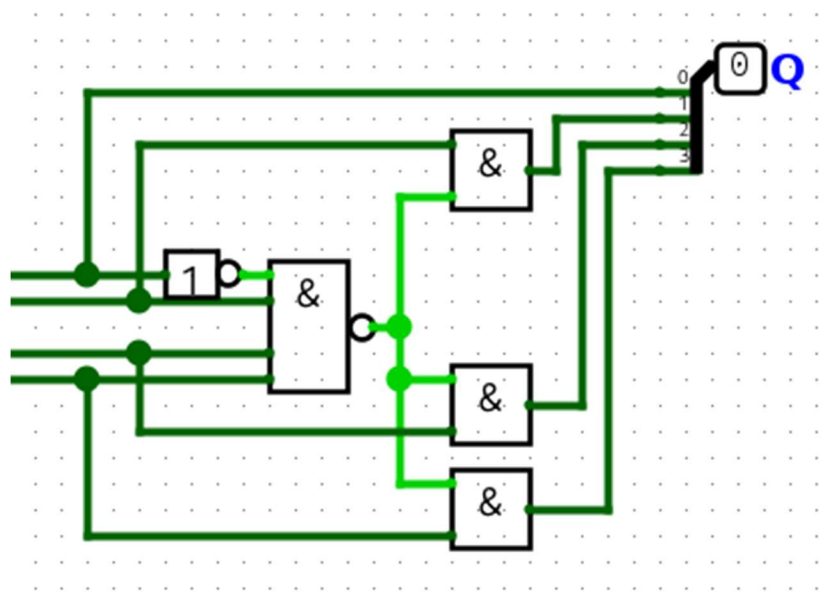


Рис 6. Вывод верного числа на счетчике.

Итого, полная схема выглядит следующим образом:

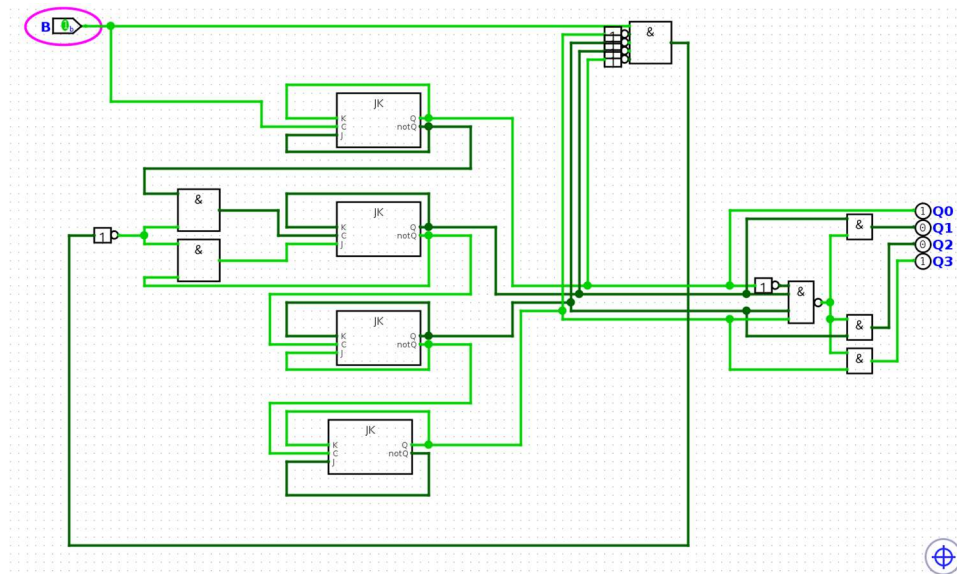


Рис 7. Полная схема асинхронного счетчика вниз.

Временная диаграмма:



Рис 8. Временная диаграмма асинхронного счетчика вниз

Регистр сдвига с линейной обратной связью

Принцип работы:

Построенная схема лежит в lsfr.circ в подсхеме main

Схема состоит из 14 триггеров. При нажатии на кнопку происходит сдвиг информации на один вправо (к наименьшему биту), а самый старший бит генерируется путем XOR-ирования 13, 12, 11, 8, 0 битов.

Построение:

Для построения данной схемы, вдобавок к предыдущим, использовались следующие элементы:

- D-триггер по переднему фронту. Имеет 4 входа: Set асинхронно ставит 1 в память, Reset - асинхронно ставит 0 в память, D (Data) - информационный вход, C (Clock) - синхронизация.

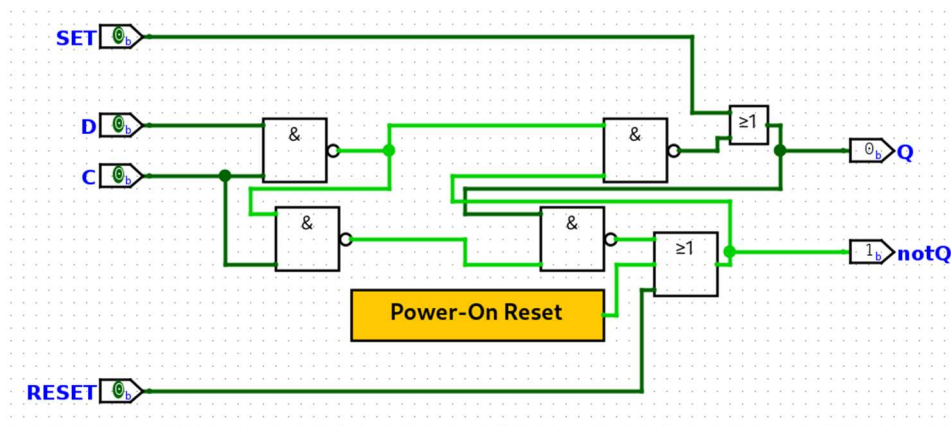


Рис 8. D-триггер с передним фронтом синхронизации

- D-триггер по заднему фронту. Идентичен предыдущему триггеру, за исключением синхронизации - по заднему фронту.

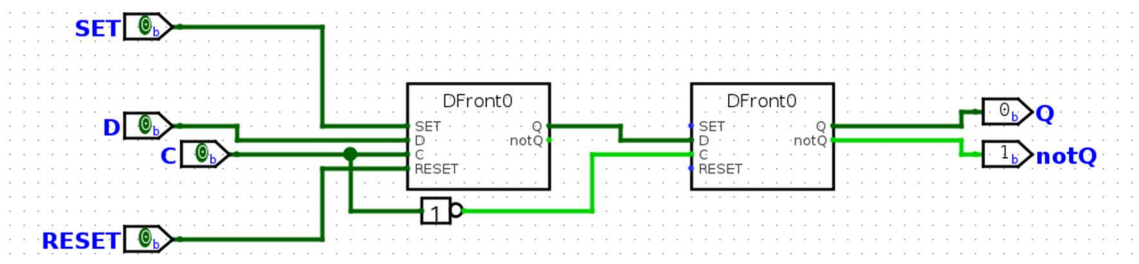


Рис 9. D-триггер по заднему фронту синхронизации.

- | | | | | |
|-------|---|---|---|---|
| init | 0 | 0 | 1 | 1 |
| value | 0 | 1 | 0 | 1 |
| Set | 0 | 0 | 0 | 1 |
| Reset | 0 | 0 | 1 | 0 |

The diagram shows a circuit with two inputs, **init** and **value**, and two outputs, **Set** and **Reset**. The **init** input is connected to the **Set** input of a flip-flop and to an AND gate. The **value** input is connected to the **Reset** input of a flip-flop and to another AND gate. The output of the first AND gate is connected to the **Set** input of the flip-flop. The output of the second AND gate is connected to the **Reset** input of the flip-flop. The flip-flop has two outputs, **b** and **b**.

Первый D-триггер (D13) имеет на входе D результат XOR над выходами Q с триггеров (D13, D12, D11, D8, D0).

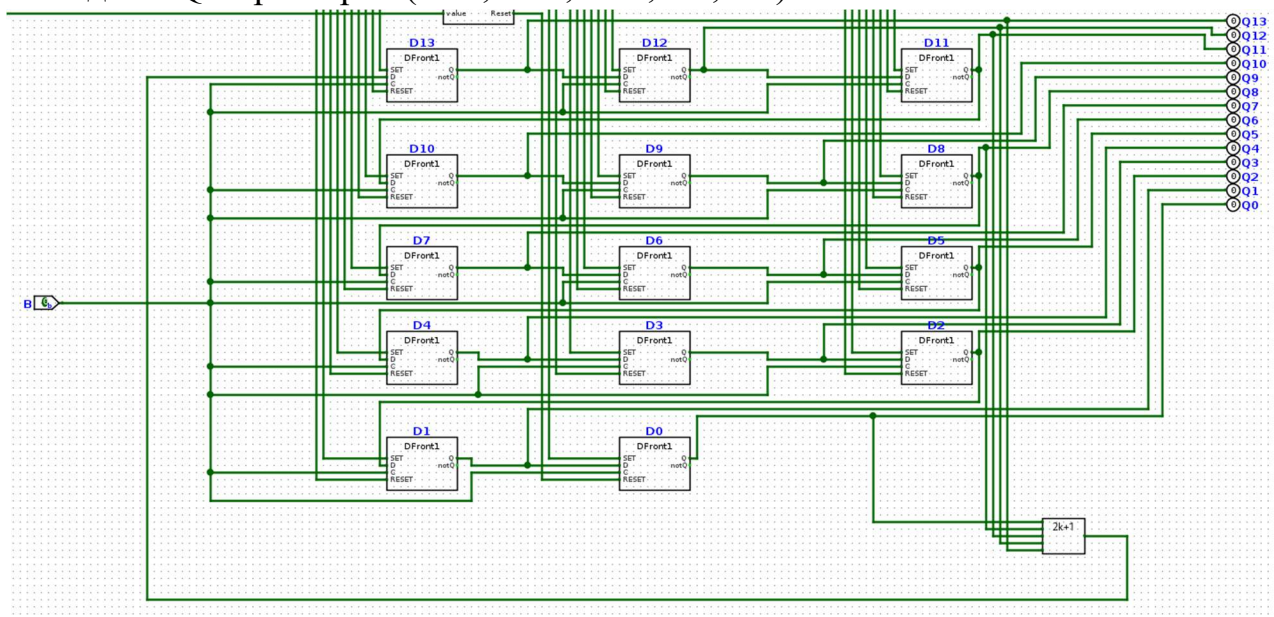


Рис 11. Основа РСЛОС

Чтобы инициализировать данную схему (а это необходимо, иначе схема бесполезна), введем дополнительно 14 входов - Init и 13 кнопок SetReset. На входы Set, Reset каждого отдельного D-триггера подводятся выходы соответственного InitHelper, уже к которому подводятся Init и соответствующая ему кнопка SetReset.

Порядок инициализации следующий: выбираем начальные значения, включаем и выключаем Init.

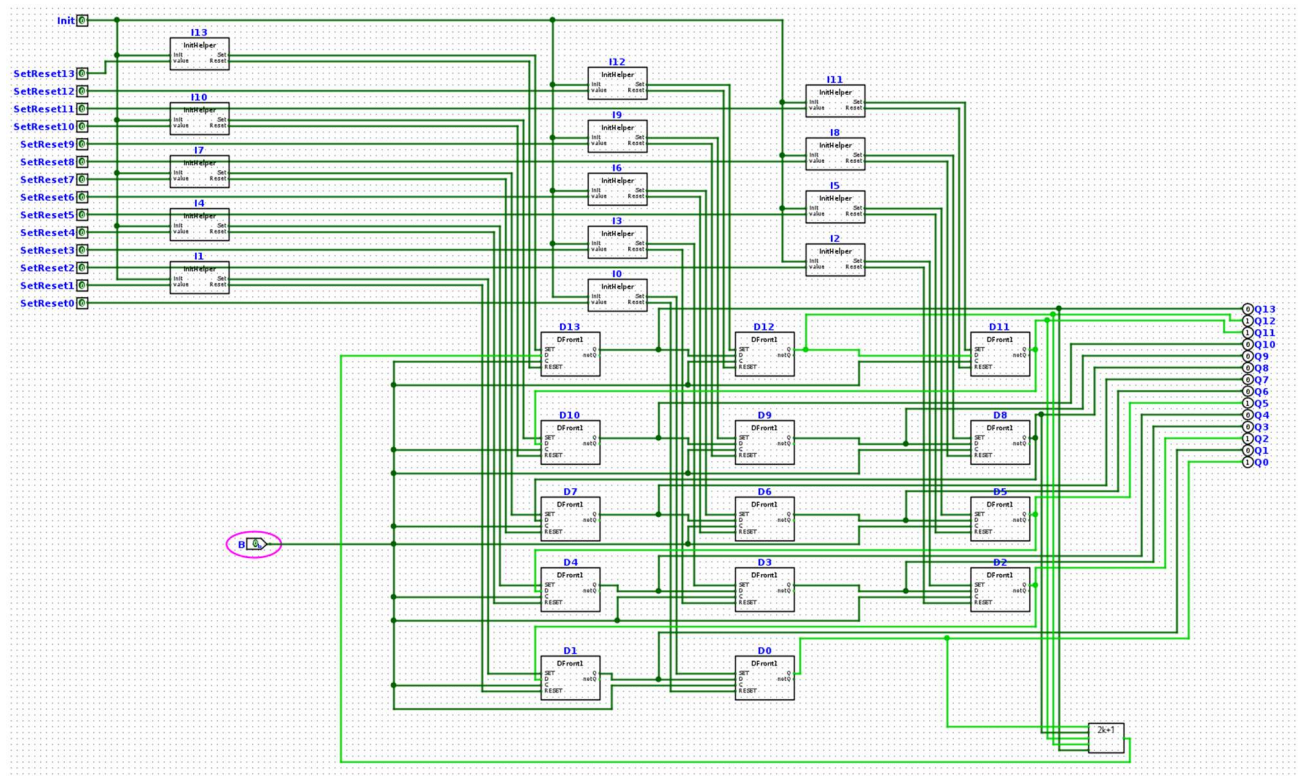


Рис 12. РСЛОС Фибоначчи (13, 12, 11, 8, 0).