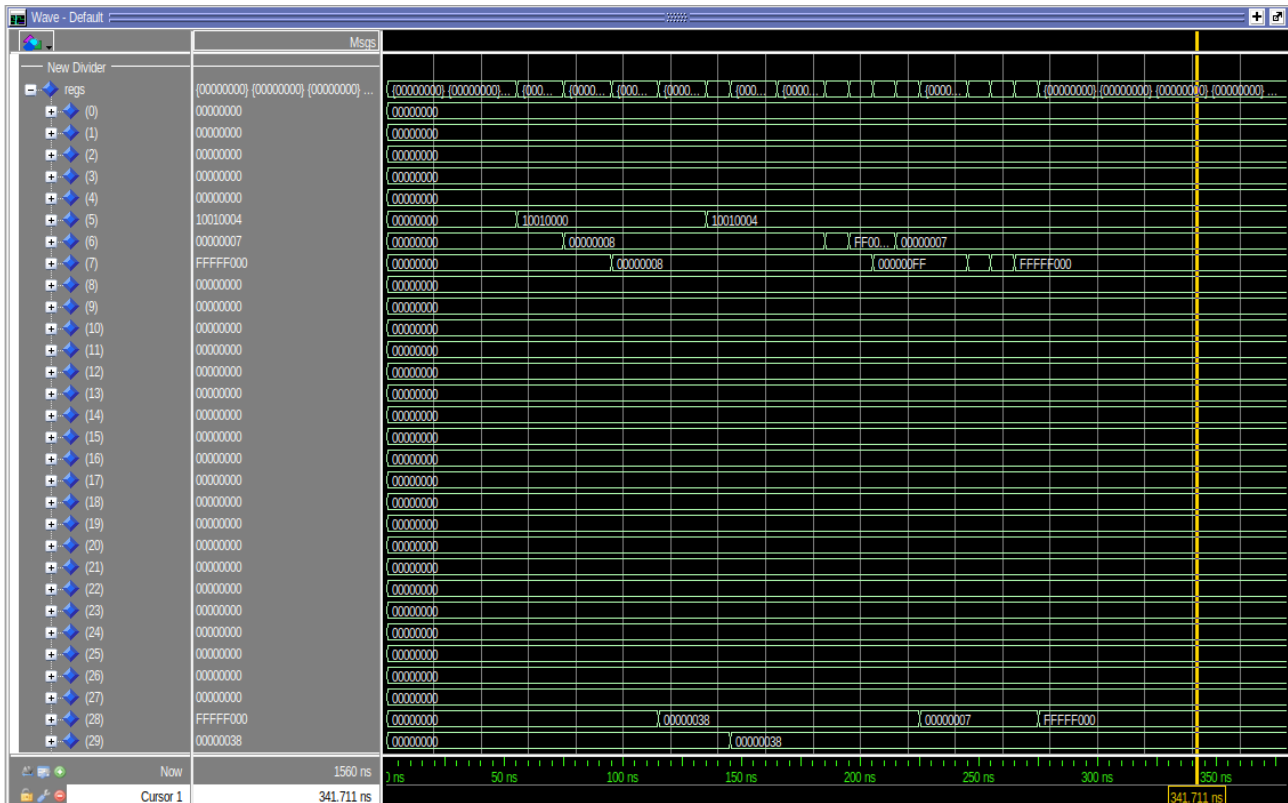


Ejercicio 1 (0.5 puntos)

Se pide revisar el microprocesador RISC V en su versión uniciclo. El diseño entregado como punto de partida, debería soportar el set de instrucciones descripto (**add, addi, and, andi, auipc, beq, bne, j, jal, jalr, li, lw, lui, sw, xor**). ¿están todas las instrucciones soportadas?



Como se puede observar en la imagen de la simulación del código, las acciones indicadas se realizan y se soportan todas las instrucciones mencionadas. El código ejecutado es el siguiente:

	Address	Code	Basic	Line	Source
1					
2					
3	0x00400000	0x0fc10297	auipc x5,0x0000fc10	19	la t0, buffer
4	0x00400004	0x00028293	addi x5,x5,0		
5	0x00400008	0x00800313	addi x6,x0,8	22	li t1, 8 # x6 = 8
6	0x0040000c	0x0062a023	sw x6,0(x5)	23	sw t1, 0(t0) # buff[0] = x6
7	0x00400010	0x0002a383	lw x7,0(x5)	24	lw t2, 0(t0) # x7 = buff[0]
8	0x00400014	0x04731a63	bne x6,x7,0x00000054	25	bne t1, t2, failure # if x6 != x7 fallo
9	0x00400018	0x03800e13	addi x28,x0,0x00000038	26	li t3, 56 # x28 = 56
10	0x0040001c	0x01c2a223	sw x28,4(x5)	27	sw t3, 4(t0)
11	0x00400020	0x00428293	addi x5,x5,4	28	addi t0, t0, 4
12	0x00400024	0x0002ae83	lw x29,0(x5)	29	lw t4, 0(t0)
13	0x00400028	0x05de1063	bne x28,x29,0x00000040	30	bne t3, t4, failure
14	0x0040002c	0xffc2af03	lw x30,0xffffffff(x5)	31	lw t5, -4(t0)
15	0x00400030	0x026f1c63	bne x30,x6,0x00000038	32	bne t5,t1, failure
16	0x00400034	0xff00f337	lui x6,0xffffffff0f	33	li t1, 0xFF00F007 # x6 = 0xFF00F007
17	0x00400038	0x00730313	addi x6,x6,7		
18	0x0040003c	0x0ff00393	addi x7,x0,0x000000ff	34	li t2, 0xFF
19	0x00400040	0x00737333	and x6,x6,x7	35	and t1, t1, t2
20	0x00400044	0x00700e13	addi x28,x0,7	36	li t3, 7
21	0x00400048	0x03c31063	bne x6,x28,0x00000020	37	bne t1, t3, failure
22	0x0040004c	0x000013b7	lui x7,1	38	li t2, 0xFFF
23	0x00400050	0xfff38393	addi x7,x7,0xffffffff		
24	0x00400054	0xfff3c393	xori x7,x7,0xffffffff	39	not t2, t2
25	0x00400058	0xfffff37	lui x28,0x0000ffff	40	lui t3, 0xFFFF
26	0x0040005c	0x01c39663	bne x7,x28,0x0000000c	41	bne t2, t3, failure
27	0x00400060	0x00000263	beq x0,x0,0x00000004	42	beq zero, zero, success #jump next
28	0x00400064	0x00000063	beq x0,x0,0x00000000	44	beq zero, zero, success
29	0x00400068	0x00000063	beq x0,x0,0x00000000	46	beq zero, zero, failure

También se ha realizado una revisión del código de la carpeta “rtl” del RISC-V y se ha encontrado una implementación completa de todas las instrucciones.