

Universidad de Costa Rica



UNIVERSIDAD DE  
COSTA RICA

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica

IE-0523 Circuitos Digitales II

Primer Avance de Proyecto II

Profesor: Jorge Ramón Soto Avendaño

Grupo de Trabajo 03

Marlon Jiménez Acosta B73881

Jhon Gaitán Aguilar B73059

Martin Sander Hangen B97333

Juan Ignacio Montealegre B95001

II Semestre

Martes 09 de noviembre del 2021

## 1. Plan de trabajo

A continuación se presenta la forma en que se trabajó cada módulo necesario para este primer avance. Todos los programas desarrollados se encuentran en un repositorio de [https://github.com/MonteJuanppy/Proyecto\\_2-Digitales-II.git](https://github.com/MonteJuanppy/Proyecto_2-Digitales-II.git). Cada módulo fue trabajado por cada miembro de forma equitativa.

### 1.1. Memoria interna

Para el desarrollo de la memoria que utilizarán las estructuras FIFO se parten de los modelos de <https://yamin.cis.k.hosei.ac.jp/fpga/verilog-memory.html> y <https://riptutorial.com/verilog/example/10519/single-port-syn>. Este modulo posee un ancho de 8 espacios para almacenar 1 bus de datos en cada entrada y se encarga de recibir un bus de entrada (12 bits en este caso, pero en la pruebas es de 8 bits) junto con un puntero que señala la posición de escritura y otro puntero que señala la posición de lectura. El bus de entrada se almacena en la posición que indica el puntero de escritura, y se pasa como salida el dato almacenado en la posición de memoria indicada por el puntero de lectura. Además, se reciben dos bits de valid que indican si se realizará la escritura o lectura de algún dato en la memoria. Una vez definido el módulo se realiza su síntesis en Yosys y se simulan amb. En la siguiente figura es posible observar que ambos funcionan tal y como es de esperar.

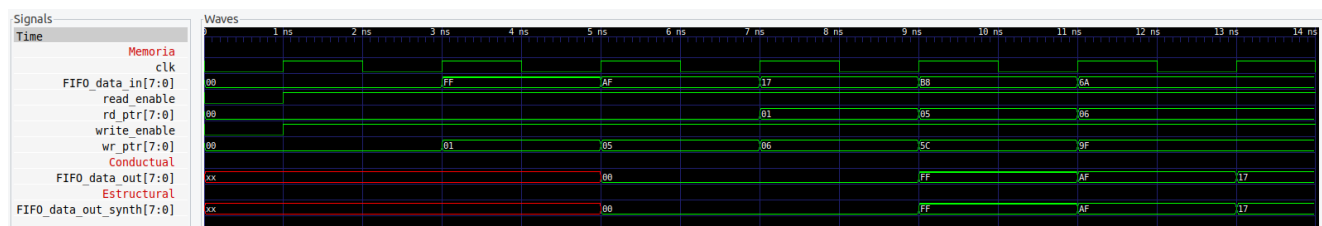


Figura 1: Salidas en GTKWave de módulo conductual y estructural de la memoria

### 1.2. Estructura de FIFO

El método FIFO es un método de ordenamiento y de gestión de elementos, para el primer elemento que entra se tendrá que será el primero en salir. En el caso del proyecto se tiene que cada elemento es un bus de 12 bits, por lo que el buffer tiene una capacidad máxima de 8 buses de 12 bits, sin embargo se desarrolló la lógica para que la capacidad máxima sea de 8 buses a 8 bits. Para tener una definición general de las características del buffer se tiene la descripción de las entradas y variables internas, donde destacan las siguiente señales:

- read\_enable: Entrada de control que permite leer en el buffer el ultimo dato ingresado.
- write\_enable: Entrada de control que permite escribir sobre el ultimo dato ingresado al buffer.

- rd\_ptr: Es una variable interna que lleva un contador de el numero de veces que se ha leído sobre el buffer y tiene como tamaño maximo la cantidad de buses que le caben al FIFO.
- wr\_ptr: Es una variable interna que lleva un contador de el numero de veces que se ha escrito sobre el FIFO y tiene como tamaño maximo el tamaño de buses que le caben al FIFO.

En la siguiente figura se observa una simulación del modulo conductual del FIFO previamente descrito, así como un módulo estructural creado a partir de la síntesis en Yosys del módulo conductual.

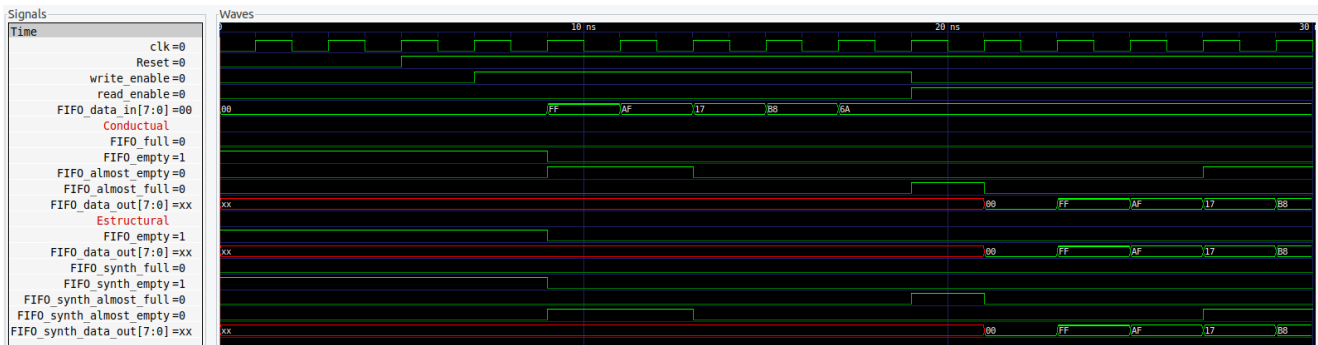


Figura 2: Salidas en GTKWave de módulo conductual y estructural de FIFO