Міністерство освіти і науки України НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»



3 лабораторної роботи № 1

З дисципліни « моделювання компютерних систем »

Ha тему: « Інсталяція та ознайомлення з середовищем розробки Xilinx ISE »

Варіант 15

Виконав: ст. гр. КІ-201 Моравський О-Б.С.

> Прийняв: Козак Н.Б.

Мета роботи: Побудувати дешифратор 3->7 за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.

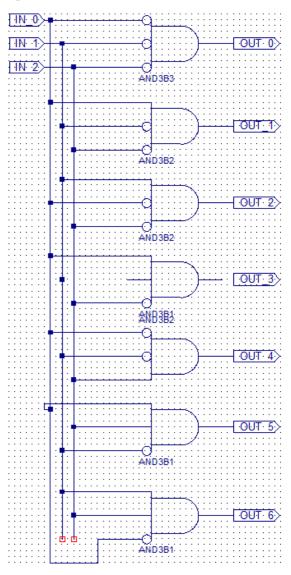
Завдання:

- 1. Створення облікового запису на www.xilinx.com
- 2. Інсталяція Xilinx ISE та отримання ліцензії.
- 3. Побудова пристрою «3 в 7» за допомогою ISE Webpack Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
- 4. Генерування Bit файла та тестування за допомогою стенда Elbert V2 Spartan 3A FPGA.

Хід роботи

1. Використовуючи компоненти з бібліотеки, реалізовую схему згідно із завданням.

Схема дешифратора 3->7 на логічних елементах бібліотеки Xilinx ISE.



2. Додав до проєкту User Constraint файл та призначив виводам схеми виводи цільової FPGA.

```
13
        # Clock 12 MHz
                                                   LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
14
        # NET "Clk"
15
16
17
18
19
      20
21
      23
                                                 LOC = P46
                                                                   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12:
24
                                                LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
            NET "OUT_1"
NET "OUT_2"
25
26
            NET "OUT 3"
           NET "OUT_4"
28
            NET "OUT_5"
NET "OUT 6"
29
30
          NET "LED[7]"
                                                   LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
31
32
     33
                                                             DP Switches
34
      ......
35
            NET "IN_0"
                                       LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
37
            NET "IN_1"
NET "IN_2"
38
                                     LOC = P68
39
             NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

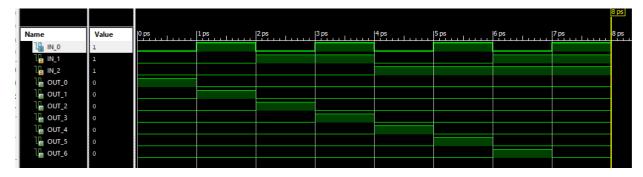
NET "DPSwitch[6]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

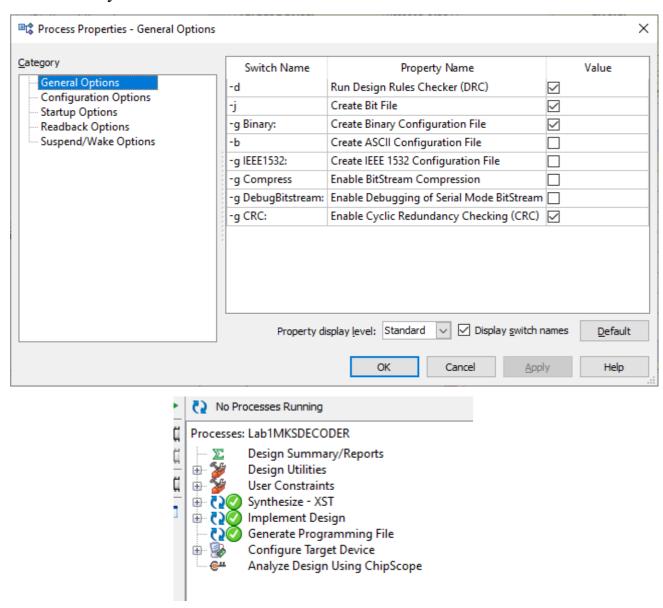
NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
40
    #
41
42 #
43 #
44
```

Рис. .ucf файл

3. Для кожного вхідного сигналу викликаю контекстне меню і встановлюю значення (0 або 1). Проводжу симуляцію роботи схеми для наборів вхідних значень. В результаті отримую певну діаграму.



4. У параметрах процесу Generate Programming File активував опцію Create Binary Configuration File, послідовно запустив процеси Synthesize-XST, Implement Design, Generate Programming File та переконався, що вони виконалися успішно.



Висновок: під час виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE, стендом Elbert V2 - Spartan 3A FPGA, реалізував схему дешифратора 3 на 7 та провів моделювання його роботи в симуляторі Іsim та згенерував файли прошиття.