

Intel 4004 (1971):

Fue el primer microprocesador del mundo, era un microprocesador de **4 bits** que direccionaba solo *4096 posiciones de memoria*. Su conjunto de instrucciones contenía únicamente 45 instrucciones distintas[1].

- Consta de 16 registros de 4 bits (R0 a R15) y acumulador de 4 bits (A)[2].

Tiene un conjunto de 45 instrucciones entre estos esta aritmética básica, saltos, carga y almacenamiento[3].

Intel 8080 (1974):

Fue uno de los primeros microprocesadores de **8 bits** y el lenguaje máquina de procesadores posteriores como el Z-80 es compatible con el del 8085, una versión posterior del 8080[1].

El modelo de programación (registros visibles para el programa) contiene registros de 8 y 16 bits

- Los registros de 16 bits incluyen AX, BX, CX, DX, SP, BP, DI, SI, IP, FLAGS, CS, DS, ES, SS.
- Los registros de 8 bits son AH, AL, BH, BL, CH, CL, DH y DL, que corresponden a las mitades superior e inferior de los registros AX, BX, CX y DX, respectivamente[2].

El conjunto de instrucciones es “CISC” (Computadora con Conjunto Complejo de Instrucciones)[3].

Intel 80486:

Continuó con la familia *IA-322I*, es un procesador de **32 bits** internamente con un bus de datos de 32 para direccionar hasta 4 Gbytes de memoria y este Introdujo una microarquitectura con técnicas de canalización (pipelining), permitiendo procesar varias instrucciones al mismo tiempo[1][4].

- El modelo de programación contiene registros de 8, 16 y 32 bits.
- Dos registros de 32 bits extendidos y dos registros de segmento de 16 bits adicionales (FS y GS) están disponibles en el 80386 y superiores, incluyendo el 80486[2].

Las instrucciones manipulan directamente números de 8, 16 y 32 bits, como SHLD y SHRD, y modificación de bits (BT, BTC, BTR, BTS) están disponibles a partir del 80386/80486-[3].

Intel Pentium Pro:

Basado en la microarquitectura “P6” esencialmente, es una mejora de los procesadores anteriores de la familia 80x86, con características y modificaciones añadidas con un bus de datos de **64 bits** [1].

Utiliza un bus de direcciones de 32 bits para direccionar 4 Gbytes de memoria, o un bus de direcciones de 36 bits que direcciona 64 Gbytes de memoria si se habilita el direccionamiento extendido[4].

- Tiene 8 registros de 32 bits (EAX a EDI) y Registros MMX (64 bits)[2].

Las instrucciones manipulan directamente números de 64 bits y x86 + MMX (instrucciones SIMD enteras)[3].

Intel Pentium 4:

Es una versión reciente del microprocesador con arquitectura basada en Pentium Pro y microarquitectura “NetBurst” principalmente es un procesador de la familia *IA-3221*. Tiene un bus de datos de 64 bits que puede direccionar 4 Gbytes con un bus de direcciones de 32 bits o 64 Gbytes con un bus de direcciones de 36 bits si se habilita el direccionamiento extendido[1].

- El modelo de programación base contiene registros de 8, 16 y 32 bits e Introdujo la tecnología Hyperthreading y soporta las instrucciones de llamada rápida “SYSENTER” y “SYSEXIT”.
- En el modo de 64 bits, el conjunto de registros se extiende a 64 bits, incluyendo dieciséis registros de propósito general y estos registros de 64 bits son una extensión de los registros de 32 bits[2].

Las instrucciones manipulan directamente números de 64 bits y “x86 soporte para SIMD flotante”[3].

Intel Core i3/i5/i7/i9 (2008–presente):

Todos los procesadores Intel Core modernos (*desde Nehalem en 2008*) utilizan arquitectura de **64 bits**, también conocida como x86-64 o Intel64. Esto permite gestionar más de 4 GB de RAM y ejecutar aplicaciones y sistemas operativos de 64 bits[1].

Registros generales (x86-64)

- 16 registros de 64 bits: RAX, RBX, RCX, RDX, RSI, RDI, RBP, RSP, R8–R15
- Compatibles con versiones anteriores de 32 bits (EAX, EBX, etc.)[2].

Conjunto de Instrucciones con Ampliación de la arquitectura x86 tradicional a 64 bits y total compatibilidad con software de 32 bits (gracias al modo de compatibilidad)[3].

Bibliografía

- [1] B. Ryabko and A. Rakitskiy, “Application of the Computer Capacity to the Analysis of Processors Evolution,” *J. Circuits, Syst. Comput.*, vol. 29, no. 08, p. 2050127, Jun. 2020, doi: 10.1142/S0218126620501273.
- [2] K. Fan *et al.*, “msr-genie: Navigating Model Specific Registers Across Processor Generations,” in *Proceedings of the SC '23 Workshops of the International Conference on High Performance Computing, Network, Storage, and Analysis*, New York, NY, USA: ACM, Nov. 2023, pp. 696–703. doi: 10.1145/3624062.3624146.
- [3] M. Ermolov, D. Sklyarov, and M. Goryachy, “Undocumented x86 instructions to control the CPU at the microarchitecture level in modern Intel processors,” *J. Comput. Virol. Hacking Tech.*, vol. 19, no. 3, pp. 351–365, Aug. 2022, doi: 10.1007/s11416-022-00438-x.
- [4] R. Schöne, M. Velten, D. Hackenberg, and T. Ilsche, “Energy Efficiency Features of the Intel Alder Lake Architecture,” in *Proceedings of the 15th ACM/SPEC International Conference on Performance Engineering*, New York, NY, USA: ACM, May 2024, pp. 95–106. doi: 10.1145/3629526.3645040.