

## Circuitos Lógicos y Sistemas Digitales

**Zhang (2025)** menciona que los circuitos lógicos y sistemas digitales son partes fundamentales en el diseño de sistemas embebidos y en algunos aparatos electrónicos modernos[1]. Se utilizan también para compartir información en forma de señales digitales como 0 y 1 [2]. **Donzellini et al. (2018)** indican que esas señales son fundamentales para el uso de las compuertas lógicas como AND, OR, NOT, XOR, NAND y NOR. [3].

### Circuitos Combinacionales

**Lian et al. (2024)** señalan que en los circuitos combinacionales la salida depende del valor actual de la entrada en un momento específico. Esos circuitos no contienen ningún tipo de elemento que almacene[4] **Ashok y Tripura Sundari (2023)** explican que, es decir, solamente se activa la salida cuando recibe valor al instante y no de valores anteriores. [5].

### Sumadores

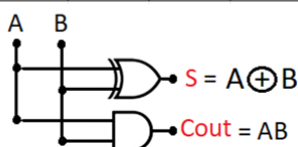
**Amini Valashani et al. (2018)** afirman que un sumador es un circuito lógico que se utiliza en la operación básica que es la suma, y es fundamental para la parte de las Unidades Aritmético-Lógicas (ALU) [6] **Pritty (2024)** indica que existen 2 tipos de sumadores: el Sumador Half Adder y el Sumador Full Adder. [7].

#### Sumador Half Adder (Sumador de medio)

**KasraAzizbeigi (2021)** explican que estos consisten en que se ingresan 2 bits; al sumar los 2 bits se obtienen 2 salidas: la primera es Suma y la segunda es Acarreo. Tiene una salida para mostrar el resultado y otra que define el acarreo en caso de existir [8].

Sumador

A	B	S	Cout
0	0	0	0
0	1	1	0
1	0	1	1
1	1	0	1

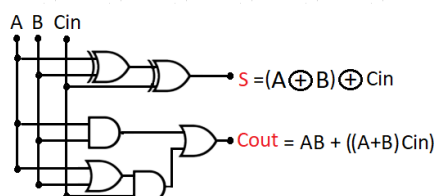


#### Sumador Full Adder (Sumador Completo)

**Vahabi et al. (2021)** también indican que se realiza la suma de tres bits: A, B y el acarreo de entrada (Cin). Entrega una suma (S) y un acarreo de salida (Cout) [9].

Sumador completo

A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



## Restadores

**Ye et al. (2023)** mencionan que los restadores son circuitos digitales que obtienen similitud con los sumadores, pero en vez de sumar se restan las entradas de datos binarios[10]. **Ghadi (2021)** señala que, igual que los sumadores, existen 2 tipos como el Half Subtractor y Full Subtractor. [11].

### Restador de Medio (Half Subtractor)

**Mirizadeh y Asghari (2022)** explican que el restador de medio es también conocido como un circuito combinacional que se realiza con 2 entradas de datos de dos bits binarios: un minuendo y un sustraendo[12]. **Surendra y Reddy (2022)** indican que existen 2 tipos de salida: la primera se llama Diferencia y la segunda Préstamo (Borrow), eso ocurre cuando se necesita pedir prestado de un bit de orden superior [13].

A	B	Diferencia	Préstamo
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

## Multiplexor

**Parandin et al. (2024)** afirman que el circuito lógico multiplexor tiene la funcionalidad de seleccionar una de varias entradas de selección de datos y tener una sola salida [14]. **Parandin y Bagheri (2023)** explican que también sirven para la funcionalidad de un dispositivo de conmutación, procesando señales de comunicación [15].

### Características clave de un multiplexor:

#### Entrada

**Ghafouri y Manavizadeh (2021)** indican que un circuito multiplexor tiene múltiples entradas y se va etiquetando cada una de las entradas con la letra  $I_0$  hasta la última entrada [16].

#### Señales de control

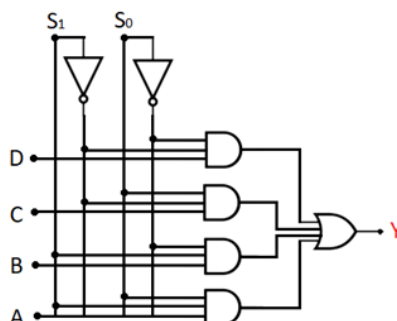
**Sooriamala et al. (2023)** señalan que esas señales de control se utilizan para determinar la conexión de entrada a la salida y se denominan como  $S_1$  y  $S_0$  [17].

**Kumar et al. (2025)** concluyen que solo una de las entradas se selecciona para ser enviada a la salida, según las señales de control [18].

Multiplexor 4 a 1

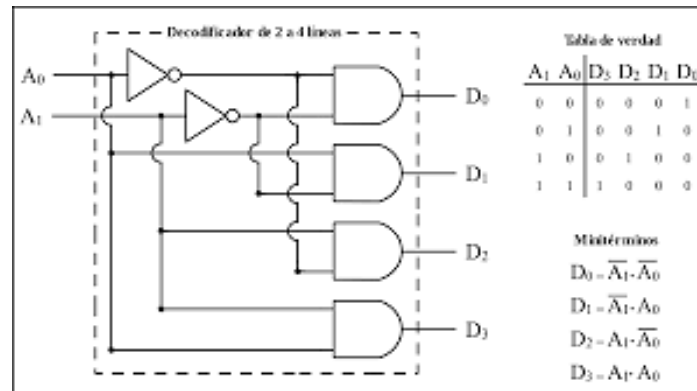
$S_1$	$S_0$	A	B	C	D	Y
0	0	x	x	x	0	0
0	0	x	x	x	1	1
0	1	x	x	0	x	0
0	1	x	x	1	x	1
1	0	x	0	x	x	0
1	0	x	1	x	x	1
1	1	0	x	x	x	0
1	1	1	x	x	x	1

$$Y = S_1 S_0 A + S_1 \bar{S}_0 B + \bar{S}_1 S_0 C + \bar{S}_1 \bar{S}_0 D$$



## Decodificador

**Xia et al. (2024)** mencionan que el circuito lógico decodificador tiene la función de recibir un código binario codificado y se activa exactamente una de sus múltiples salidas [19] **Zahoor et al. (2024)** explican que la salida única se activa cuando al decodificar esos valores son correspondientes a la entrada [20].



## Comparador

**Majeed et al. (2021)** indican que el circuito lógico comparador combinacional tiene como función comparar los números binarios para ver si son iguales, mayores o menores, con la finalidad de determinar su relación, tomar decisiones y ordenar datos [21]. **Darbandi et al. (2024)** explican que dentro del circuito comparador existen 3 tipos: el primero es Comparador de Igualdad (Equal Comparator), el segundo es Comparador de Magnitud (Magnitude Comparator) y el tercero Comparador Completo (Full Comparator) [22].

### Comparador de igualdad (Equal comparator)

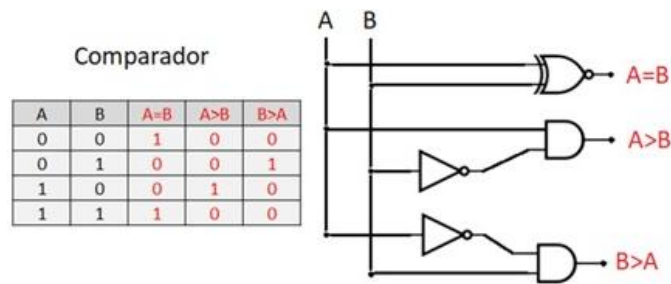
**Donaire et al. (2024)** dicen que el comparador de igualdad sirve para distinguir si los valores de entrada binarios son iguales. Si ambos valores son semejantes, el valor de la salida será alto; mientras que si no son equivalentes, será bajo [23].

### Comparador de magnitud (Magnitudes Comparator)

**Saha et al. (2021)** aclaran que el comparador de magnitud ayuda a distinguir de los 2 valores binarios cuál es el mayor o menor [24].

### Comparador completo (Full Comparator)

**Jendernalik (2017)** añade que el comparador completo o full comparator obtiene ambas funcionalidades del comparador de igualdad y del de magnitud [25].



## Circuitos Lógicos Secuenciales

**Singh Kalyan et al. (2024)** explican que los circuitos lógicos secuenciales son lo inverso a los circuitos combinacionales, ya que no solamente dependen de las entradas actuales, sino que toman en cuenta los valores anteriores [26]. **Niu et al. (2025)** indican que la salida del circuito secuencial, para que se active, necesita recordar el estado anterior. Esta memoria se puede implementar utilizando elementos como flip-flops o registros [27].

### flip-flops

**Alharbi et al. (2023)** explican que en esos circuitos lógicos secuenciales se puede almacenar información de solamente 1 bit, claramente que es una memoria temporal [28]. En estos circuitos solamente puede estar en 2 estados, 0 o 1, y cambia su estado en respuesta a una señal de control llamada reloj [29].

### Tipos de flip-flops

#### Set-Reset

**Vali y Kumar (2024)** mencionan que el tipo **Set-Reset** tiene la funcionalidad de almacenar memoria, pero es muy limitada, ya que solamente guarda un bit [30] En este circuito tiene 2 entradas: set, que es poner 1, y reset, que es poner 0 [31].

#### Data

**Bashir et al. (2023)** explican que en el tipo **Data**, el circuito recibe 1 valor de entrada y tiene 2 salidas: una es alta y la otra baja [32].

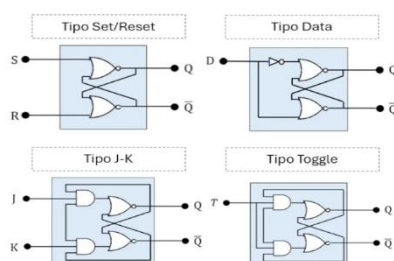
#### JK

**Lin et al. (2022)** indican que el **JK** ayuda a eliminar los datos inválidos y tiene la capacidad de almacenar y poner 1 o 0, muy parecido al set-reset [33].

#### Toggle

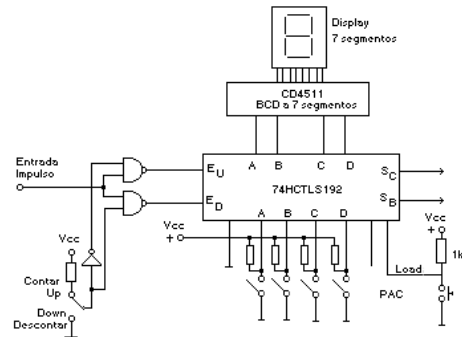
**Alharbi et al. (2023)** explican que en el **Toggle**, el valor que ingresa al salir cambia su resultado, o sea, se invierte con cada pulso del reloj [34].

## FLIP-FLOPS



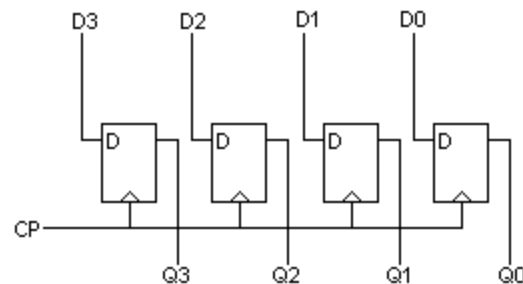
## Contador

**Abutaleb (2017)** dice que en ese circuito se ayuda a registrar el número de pulsos o los eventos que recibe en su entrada del reloj. Si no recibe valor, se mantiene, y si recibe nuevo valor, se cambia [35].



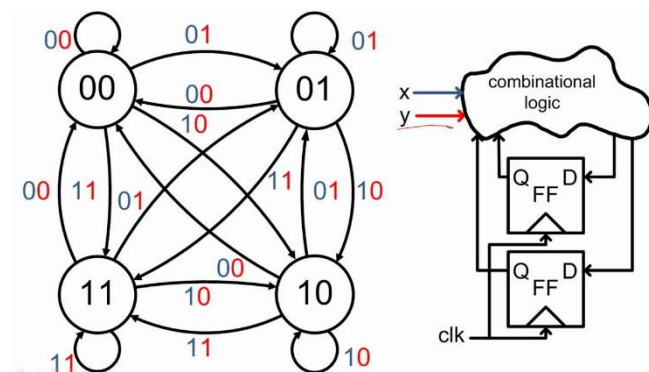
## Registro

**Gholamnia Roshan y Gholami (2024)** indican que el registro es un circuito que está compuesto por un conjunto de bits y ayuda a almacenar más información y transferir datos binarios [36].



## Máquina de estados

**Mohmed et al. (2020)** afirman que una máquina de estados tiene una función importante, ya que puede encontrarse en varios estados posibles y cambia de estado en función de las entradas y el reloj [37]. Sirve para que respondan a los eventos de entrada, tome decisiones condicionales y ayude al control de procesos en función del estado actual [37].



- [1] Y. Zhang, "Three-Dimensional and Stereoscopic Teaching Reform for Digital Circuit Experiment," 2025, doi: 10.1145/3729605.
- [2] G. Donzellini, L. Oneto, D. Ponta, and D. Anguita, *Introduction to digital systems design*. Springer International Publishing, 2018. doi: 10.1007/978-3-319-92804-3.
- [3] C. El Helou, P. R. Buskohl, C. E. Tabor, and R. L. Harne, "Digital logic gates in soft, conductive mechanical metamaterials," *Nat Commun*, vol. 12, no. 1, Dec. 2021, doi: 10.1038/s41467-021-21920-y.
- [4] X. Lian *et al.*, "Realization of Complete Boolean Logic and Combinational Logic Functionalities on a Memristor-Based Universal Logic Circuit," *Chinese Journal of Electronics*, vol. 33, no. 5, pp. 1137–1146, Sep. 2024, doi: 10.23919/cje.2023.00.091.
- [5] P. Ashok and B. Bala Tripura Sundari, "Accuracy Analysis on Design of Stochastic Computing in Arithmetic Components and Combinational Circuit," *Computation*, vol. 11, no. 12, Dec. 2023, doi: 10.3390/computation11120237.
- [6] M. Amini-Valashani, M. Ayat, and S. Mirzakuchaki, "Design and analysis of a novel low-power and energy-efficient 18T hybrid full adder," *Microelectronics J*, vol. 74, pp. 49–59, Apr. 2018, doi: 10.1016/J.MEJO.2018.01.018.
- [7] Pritty, "Fault correcting adder design for low power applications," *Sci Rep*, vol. 14, no. 1, Dec. 2024, doi: 10.1038/s41598-024-79772-7.
- [8] K. Azizbeigi, M. Zamani Pedram, and A. Sanati-Nezhad, "Microfluidic-based processors and circuits design," *Sci Rep*, vol. 11, no. 1, Dec. 2021, doi: 10.1038/s41598-021-90485-z.
- [9] M. Vahabi, P. Lyakhov, and A. N. Bahar, "Design and implementation of novel efficient full adder/subtractor circuits based on quantum-dot cellular automata technology," *Applied Sciences (Switzerland)*, vol. 11, no. 18, Sep. 2021, doi: 10.3390/app11188717.
- [10] Y. Ye, T. Song, Y. Xie, and C. Li, "Design of All-Optical Subtractors Utilized with Plasmonic Ring Resonators for Optical Computing," *Photonics*, vol. 10, no. 7, Jul. 2023, doi: 10.3390/photonics10070724.
- [11] A. Ghadi, "All-optical computing circuits half-subtractor and comparator based on soliton interactions," *Optik (Stuttg)*, vol. 227, p. 166079, Feb. 2021, doi: 10.1016/J.IJLEO.2020.166079.
- [12] S. M. A. Mirizadeh and P. Asghari, "Fault-tolerant quantum reversible full adder/subtractor: Design and implementation," *Optik (Stuttg)*, vol. 253, p. 168543, Mar. 2022, doi: 10.1016/J.IJLEO.2021.168543.
- [13] K. Surendra and S. D. P. Reddy, "High Performance ALU Design using Energy Efficient Borrow Select Subtractor," vol. Volume 9, Oct. 2022, doi: 10.32628/IJSRST.
- [14] F. Parandin *et al.*, "Recent advances in all-optical half-subtractor and full-subtractor based on photonic crystal platforms," Jun. 01, 2024, *Walter de Gruyter GmbH*. doi: 10.1515/joc-2023-0314.

- [15] F. Parandin and N. Bagheri, "Design of a  $2 \times 1$  multiplexer with a ring resonator based on 2D photonic crystals," *Results in Optics*, vol. 11, May 2023, doi: 10.1016/j.rio.2023.100375.
- [16] T. Ghafouri and N. Manavizadeh, "Design and simulation of high-performance 2:1 multiplexer based on side-contacted FED," *Ain Shams Engineering Journal*, vol. 12, no. 1, pp. 709–716, Mar. 2021, doi: 10.1016/j.asej.2020.05.005.
- [17] A. P. Sooriamala, V. S. Solomi, R. Korah, and A. K. Thomas, "Design of Multiplexers using Reversible Logic Technique," *International Journal on Recent and Innovation Trends in Computing and Communication*, vol. 11, pp. 62–68, Aug. 2023, doi: 10.17762/ijritcc.v11i9s.7397.
- [18] A. Kumar, A. Kumar, and A. V. Agrawal, "Field programmable gate array simulation and study on different multiplexer hardware for electronics and communication," *Computer Science and Information Technologies*, vol. 6, no. 1, pp. 28–39, 2025, doi: 10.11591/csit.v6i1.pp28-39.
- [19] D. Xia, Y. Zhang, Y. Tian, M. Xu, and L. Wen, "High-performance and low-power decoder circuits for SRAMs using mixed-logic scheme," *Integration*, vol. 98, p. 102227, Sep. 2024, doi: 10.1016/J.VLSI.2024.102227.
- [20] F. Zahoor *et al.*, "Design implementations of ternary logic systems: A critical review," Sep. 01, 2024, *Elsevier B.V.* doi: 10.1016/j.rineng.2024.102761.
- [21] A. H. Majeed, M. S. Zainal, E. Alkaldy, and D. M. Nor, "Single-Bit Comparator in Quantum-Dot Cellular Automata (QCA) Technology Using Novel QCA-XNOR Gates," *Journal of Electronic Science and Technology*, vol. 19, no. 3, pp. 263–273, 2021, doi: 10.1016/j.jnlest.2020.100078.
- [22] M. Darbandi, S. Seyedi, and H. M. Ridha Al-Khafaji, "An efficient new design of nano-scale comparator circuits using quantum-dot technology," *Heliyon*, vol. 10, no. 18, Sep. 2024, doi: 10.1016/j.heliyon.2024.e36933.
- [23] L. M. Donaire, G. Ortega, E. M. Garzón, and F. Orts, "Lowering the cost of quantum comparator circuits," *Journal of Supercomputing*, vol. 80, no. 10, pp. 13900–13917, Jul. 2024, doi: 10.1007/s11227-024-05959-4.
- [24] A. Saha, N. D. Singh, and D. Pal, "Efficient ternary comparator on CMOS technology," *Microelectronics J*, vol. 109, p. 105005, Mar. 2021, doi: 10.1016/J.MEJO.2021.105005.
- [25] W. Jendernalik, "An Ultra-Low-Energy Analog Comparator for A/D Converters in CMOS Image Sensors," *Circuits Syst Signal Process*, vol. 36, no. 12, pp. 4829–4843, Dec. 2017, doi: 10.1007/s00034-017-0630-6.
- [26] B. Singh Kalyan, B. Singh, and R. Devi, "Data on quantum dot cellular automata based flip flops for designing serial-in-serial-out shift register," 2024, doi: 10.1016/j.dib.2023.110019.
- [27] J. Niu, D. Kim, J. Li, J. Lyu, Y. Lee, and S. Lee, "Reconfigurable Sequential-Logic-in-Memory Implementation Utilizing Ferroelectric Field-Effect Transistors," *ACS Nano*, vol. 19, p. 5502, 2025, doi: 10.1021/acsnano.4c14062.

- [28] M. Alharbi, G. Edwards, and R. Stocker, "Novel ultra-energy-efficient reversible designs of sequential logic quantum-dot cellular automata flip-flop circuits," *Journal of Supercomputing*, vol. 79, no. 10, pp. 11530–11557, Jul. 2023, doi: 10.1007/s11227-023-05134-1.
- [29] Y. K. Maheshwari and M. Sachdev, "VLFF — A very low-power flip-flop with only two clock transistors," *Integration*, vol. 100, Jan. 2025, doi: 10.1016/j.vlsi.2024.102300.
- [30] S. S. Vali and A. kumar N, "Design of low delay low power hybrid logic based flip-flop using FinFET," *e-Prime - Advances in Electrical Engineering, Electronics and Energy*, vol. 9, Sep. 2024, doi: 10.1016/j.prime.2024.100648.
- [31] W. Feng, F. Gao, Y. Pugachov, M. Gulitski, and D. Malka, "materials Photonic Crystal Flip-Flops: Recent Developments in All Optical Memory Components," 2023, doi: 10.3390/ma16196467.
- [32] S. Bashir, S. Yaqoob, and S. Ahmed, "Design of QCA based N-bit single layer shift register using efficient JK Flip Flop for nano-communication applications," *Nano Commun Netw*, vol. 36, p. 100443, Jun. 2023, doi: 10.1016/J.NANCOM.2023.100443.
- [33] J.-F. ; Lin, Z.-J. ; Hong, J.-T. ; Wu, X.-Y. ; Tung, C.-H. ; Yang, and Yen, "Citation," 2022, doi: 10.3390/s22155696.
- [34] M. Alharbi, G. Edwards, and R. Stocker, "Novel ultra-energy-efficient reversible designs of sequential logic quantum-dot cellular automata flip-flop circuits," *Journal of Supercomputing*, vol. 79, no. 10, pp. 11530–11557, Jul. 2023, doi: 10.1007/s11227-023-05134-1.
- [35] M. M. Abutaleb, "Robust and efficient quantum-dot cellular automata synchronous counters," *Microelectronics J*, vol. 61, pp. 6–14, Mar. 2017, doi: 10.1016/J.MEJO.2016.12.013.
- [36] M. Gholamnia Roshan and M. Gholami, "Novel level and edge-triggered universal shift registers with low latency in QCA technology," *Heliyon*, vol. 10, no. 5, p. e26086, Mar. 2024, doi: 10.1016/J.HELİYON.2024.E26086.
- [37] G. Mohamed, A. Lotfi, and A. Pourabdollah, "Enhanced fuzzy finite state machine for human activity modelling and recognition," *J Ambient Intell Humaniz Comput*, vol. 11, no. 12, pp. 6077–6091, Dec. 2020, doi: 10.1007/s12652-020-01917-z.