

Temă Lab 6

24/
308

1. Nivel de citire a operandilor din rețea de registre (RD)
2. Nivel de scriere a rezultatului în rețea de registre (WR)

R: Nivelul de scriere (WR) este mai puțin datorită necesității evitării hazardurilor RAW între instrucțiuni succesive.

29/
309

a) 5 nivele (IF, ID, ALU, MEM, WB)

1 ciclu de tact / nivel

instrucțiune salt a cărei adresă se determină la finalul nivelului ALU

delay slots = ?

Inst. salt: IF ID ALU MEM WB

X X IF ID ALU MEM WB

R: delay slots = 2

b) procesare RISC (pipeline)

de ce se preferă implementarea unor busuri și memorii cache separate pe instrucțiuni, respectiv date?

R: Pentru a evita coliziunile la memorii în cazul hazard de IF și MEM.

50/315 a) Sumatorul este activat de o instrucțiune de branch. Acesta este activat pentru calculul adresei de salt.

b) Răspunsul de la exercitiul 24/308.

+

Soluție: Dacă operația de citire este după una de scriere atunci sunt șanse ca operația de citire să aibă nevoie de un registru în care nu s-a scris încă rezultatul.

c) În cazul unei instrucțiuni de tip LOAD unitatea ALU are rolul de a calcula adresa ~~de scriere în registru~~.

d) ST (R7+05, R2

În latch-ul EX/MEM se memorată valoarea (R7+05). (R7+05) provine din ALU.