



بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

# طراح سیستم‌های دیجیتال

استاد محسن فرهادی

استادیار: محمد امین ابطاحی

طراحی انکدر اولویت دار ۴ به ۲ با استفاده از دستور when و else

```
library IEEE;
use IEEE.std_logic_1164.all;
entity PrrxEnc is
    port(
        D : in STD_LOGIC_VECTOR(0 to 3);
        Q : out STD_LOGIC_VECTOR(0 to 1);
        v: out std_logic
    );
end PrrxEnc;

architecture PRXEN of PrrxEnc is
begin
    Q <= "00" WHEN D(0) = '1' ELSE
    "01" WHEN D(1) = '1' ELSE
    "10" WHEN D(2) = '1' ELSE
    "11" WHEN D(3) = '1' ELSE
    "00";
    v <= d(0) or d(1) or d(2) or d(3);
end PRXEN;
```

طراحی انکدر اولویت دار ۴ به ۲ با استفاده از عملگرهای منطقی

```
library IEEE;
use IEEE.std_logic_1164.all;
entity PrxEnc is
    port(
        I : in STD_LOGIC_VECTOR(0 to 3);
        o : inout STD_LOGIC_VECTOR(0 to 1);
        v : out STD_logic
    );
end PrxEnc;

architecture PrEn of PrxEnc is
    signal sig1:std_logic;
begin
    sig1 <= (NOT I(2)) And I(1);
    o(0) <= I(3) OR sig1;
    o(1) <= I(3) OR I(2);
    v <= o(1) or I(1) OR I(0);
end PrEn;
```

طراحی مالتی پلکسر ۴ به ۱ با استفاده از دستور when و else

```
library IEEE;
use IEEE.std_logic_1164.all;
entity Mux4to1 is
    port(
        Y : out STD_LOGIC;
        I : in STD_LOGIC_VECTOR(0 to 3);
        S : in STD_LOGIC_VECTOR(0 to 1)
    );
end Mux4to1;

architecture MUX of Mux4to1 is
begin
    Y <= I(0) WHEN S = "00" ELSE
    I(1) WHEN S = "01" ELSE
    I(2) WHEN S = "10" ELSE
    I(3) WHEN S = "11" ELSE
        'Z';
end MUX;
```

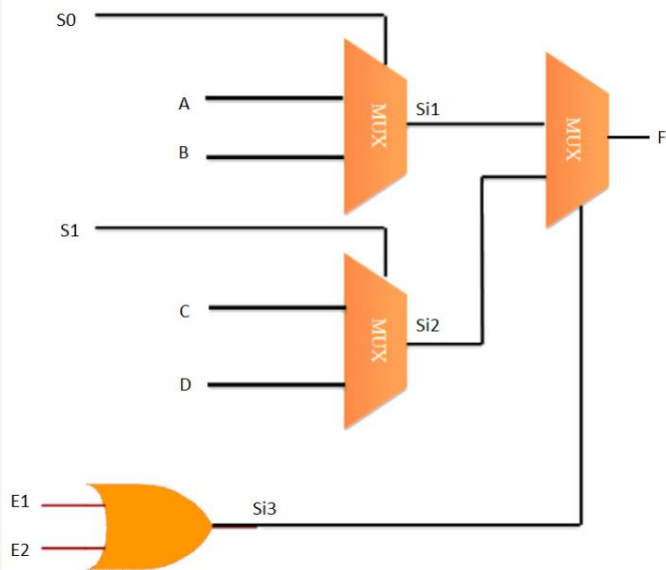
طراحی مالتی پلکسر ۴ به ۱ با استفاده از عملگرهای منطقی



```
library IEEE;
use IEEE.std_logic_1164.all;
entity Mux4to1 is
    port(
        Y : out STD_LOGIC;
        I : in STD_LOGIC_VECTOR(0 to 3);
        S : in STD_LOGIC_VECTOR(0 to 1)
    );
end Mux4to1;

architecture Mux of Mux4to1 is
    signal sig0,sig1,sig2,sig3:std_logic;
begin
    sig0 <= I(0) and (not s(0)) and (not s(1));
    sig1 <= I(1) and s(0) and (not s(1));
    sig2 <= I(2) and (not s(0)) and s(1);
    sig3 <= I(3) and s(0) and s(1);
    Y<= sig0 or sig1 or sig2 or sig3;
end Mux;
```

شکل زیر مدار یکی از سلول های منطقی را نشان میدهد. با توجه به اسم ورودی و خروجی ها آن را با کد های VHDL پیاده سازی کنید. (نوع پیاده سازی اختیاری)



```
library IEEE;
use IEEE.std_logic_1164.all;
entity q5 is
```

```
    port(
        A : in STD_LOGIC;
        B : in STD_LOGIC;
        C : in STD_LOGIC;
        D : in STD_LOGIC;
        F : out STD_LOGIC;
        So : in STD_LOGIC;
        S1 : in STD_LOGIC;
        E1 : in STD_LOGIC;
        E2 : in STD_LOGIC
    );
```

```
end q5;
```

```
architecture CIRCUIT of q5 is
```

```
begin
```

```
    F <= A WHEN ((So = '0') and (e1 = '0') and (e2 = '0')) ELSE
        B WHEN ((so = '1') and (e1 = '0') AND (e2 = '0')) ELSE
        C WHEN ((s1 = '0') and ((e1 = '1') OR (e2 = '1')))) ELSE
        D WHEN ((s1 = '1') and ((e1 = '1') OR (e2 = '1')));
```

```
end CIRCUIT;
```

```
library IEEE;
use IEEE.std_logic_1164.all;
entity Q5 is
```

```
    port(
```

```
        A : in STD_LOGIC;
        B : in STD_LOGIC;
        C : in STD_LOGIC;
        D : in STD_LOGIC;
        So : in STD_LOGIC;
        S1 : in STD_LOGIC;
        E1 : in STD_LOGIC;
        E2 : in STD_LOGIC;
        F : out STD_LOGIC
```

```
    );
```

```
end Q5;
```

```
architecture Q5C of Q5 is
```

```
    SIGNAL si1,si2,si3:std_logic;
```

```
    begin
```

```
        si1 <= A when so = '0' else
```

```
            B when s1 = '1';
```

```
        si2 <= C when s1 = '0' else
```

```
            D when s1 = '1';
```

```
        si3 <= e1 or e2;
```

```
        F <= si1 when si3 = '0' else
```

```
            si2 when si3 = '1';
```

```
    end Q5C;
```

## پاسخ سوال ۵ - روش دوم