

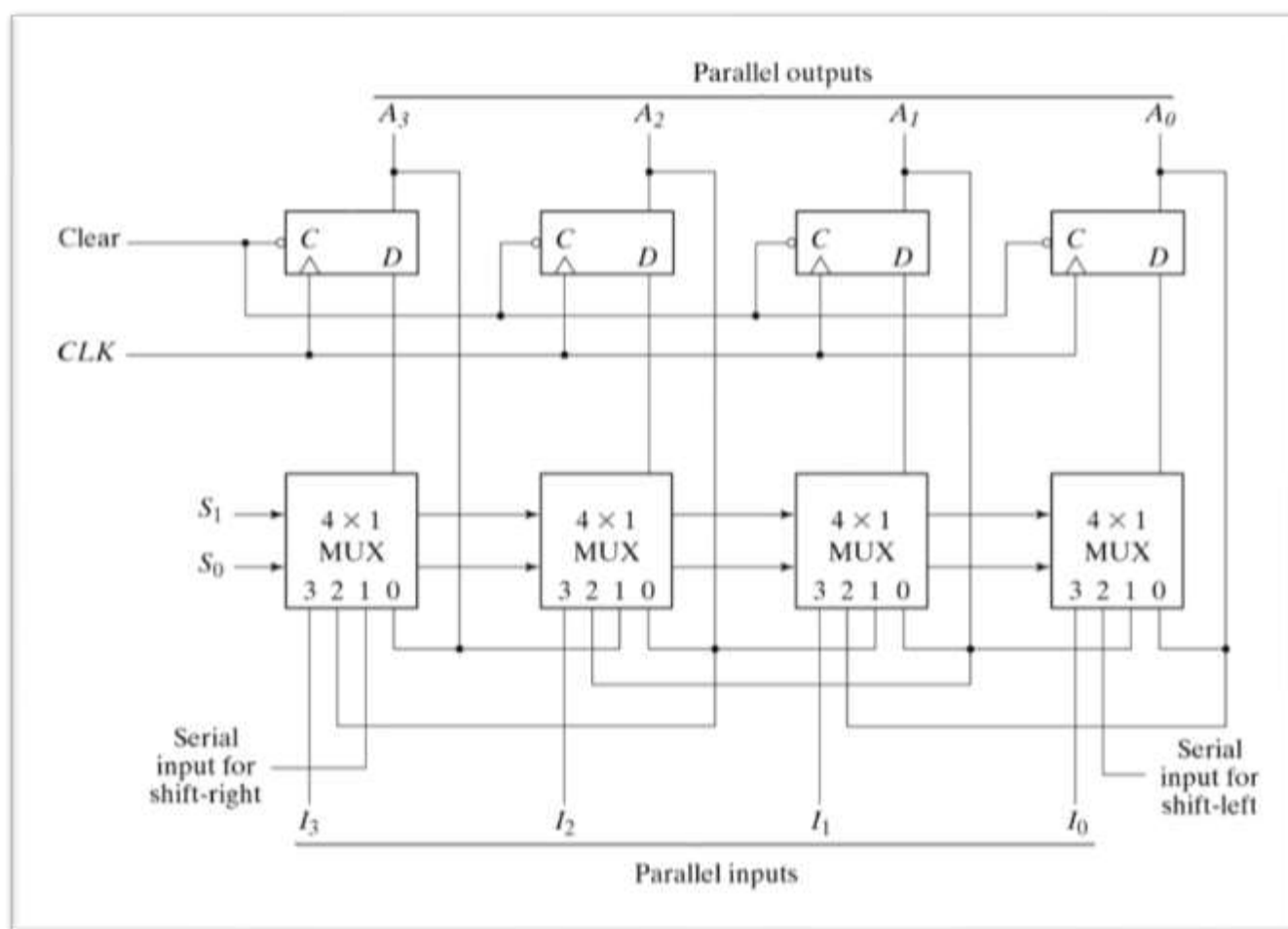
تمرین درس طراحی کامپیوتری سیستم های دیجیتال	دانشگاه صنعتی شاهرود
مدرس: محسن فرهادی	<u>تمرین سری پنجم</u>
دستیار مدرس: محمدامین ابطحی	
مهلت تحویل: 1400/9/11 ساعت 2 ظهر	پاسخ تمرین ها را در سامانه LMS آپلود کنید!

لطفا:

- پس از نوشتن کد VHDL هر سوال، آن را در فایل txt: کپی و با نام گذاری صحیح یا اسکرین شات کل کد را ارسال کنید.

- نام گذاری ورودی و خروجی ها را طبق تصویر پیاده سازی کنید.

طراحی شیف رجیستر یونیورسال بصورت ساختاری:



### Mode Control

$S_1$	$S_0$	Register Operation
0	0	No change
0	1	Shift right
1	0	Shift left
1	1	Parallel load

- ورودیهای کنترل  $s_0$  و  $s_1$  مولتی پلکسهای 4 به 1 را کنترل می کنند.
  - وقتی  $s_1s_0=00$  باشد، هر مولتی پلکس خروجی فلیپ فلاپ مربوطه را به ورودی آن وصل می کند.
  - وقتی  $s_1s_0=01$  باشد، هر مولتی پلکس خروجی فلیپ فلاپ سمت چپ را به ورودی فلیپ فلاپ خودش هدایت می کند.
  - وقتی  $s_1s_0=10$  باشد، هر مولتی پلکس خروجی فلیپ فلاپ سمت راست را به ورودی فلیپ فلاپ خودش هدایت می کند.
  - وقتی  $s_1s_0=11$  باشد، هر مولتی پلکس خروجی ورودی فلیپ فلاپ را به ورودی موازی مربوطه وصل می کند.