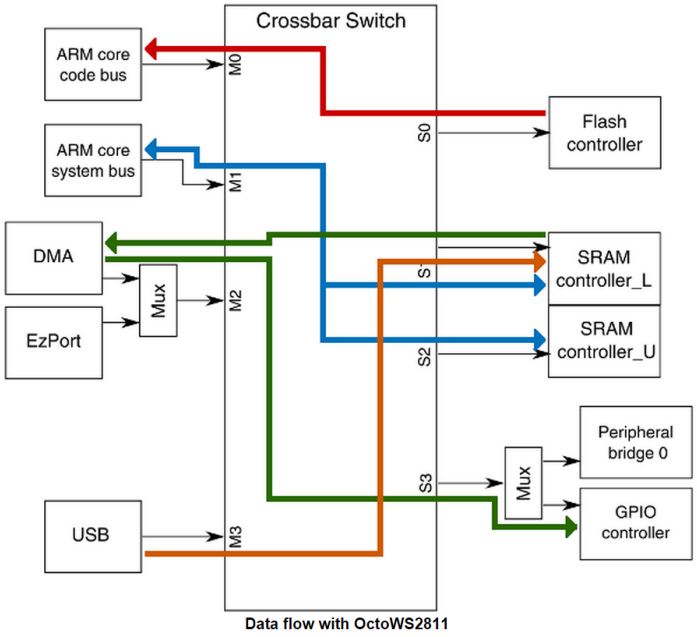
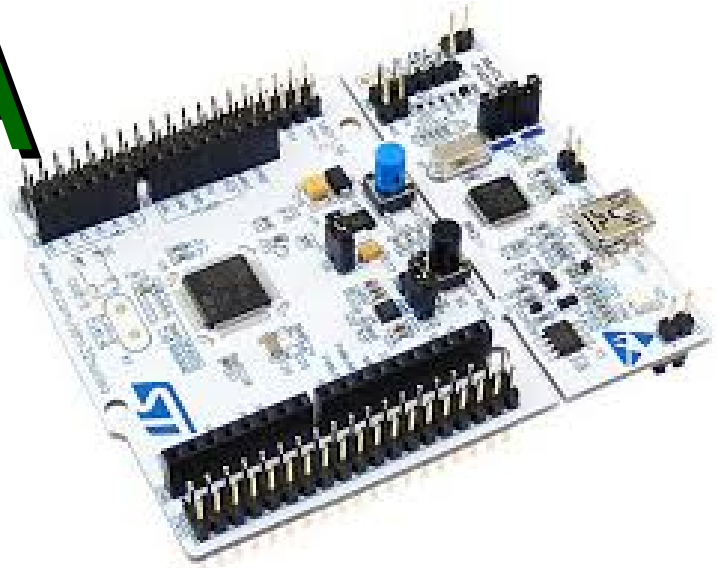
ARM Cortex M4 DMA



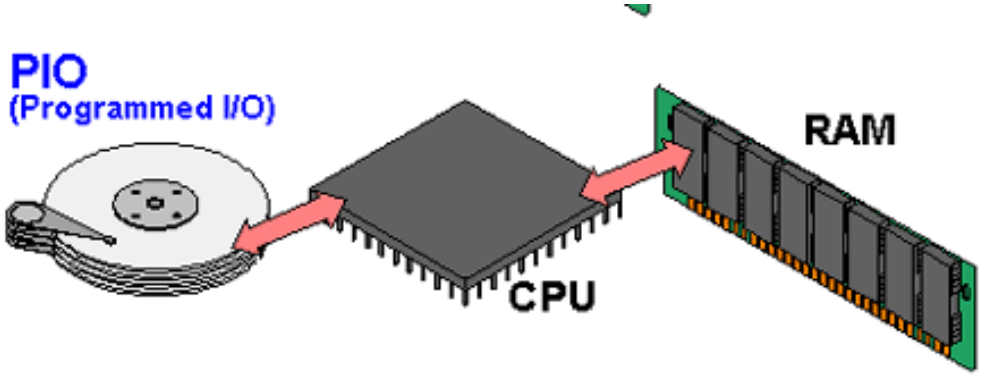
Data flow with OctoWS2811



Transferência Periféricos <=> Memória

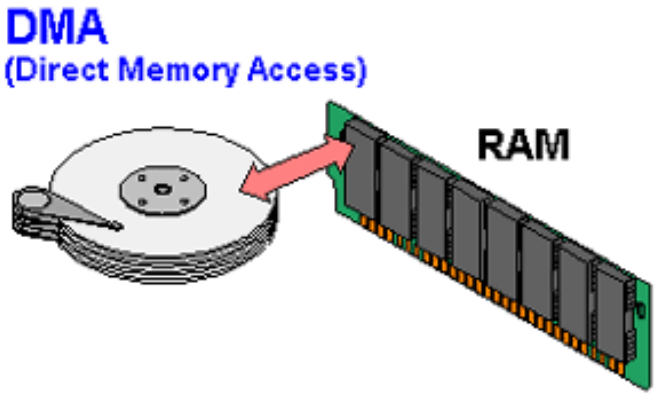
PIO – Programmed I/O
Entradas e saidas programadas

O acesso aos registradores de dados dos periféricos é realizado através de operações de E/S da CPU



DMA – Direct Memory Access
Acesso direto à memória

No DMA, o periférico pode transferir dados diretamente para/da memória, sem interferência da CPU.

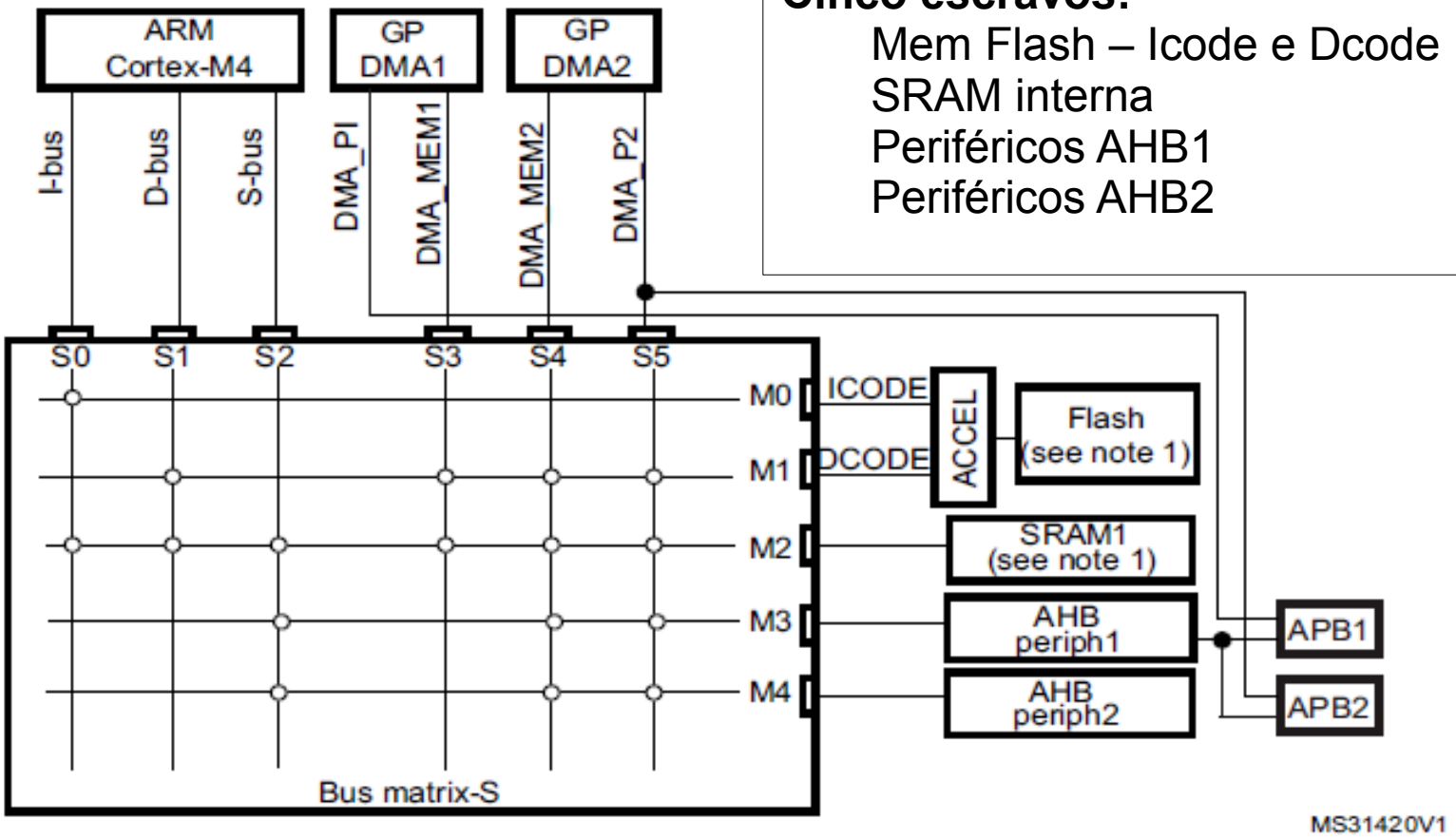


Arquitetura do barramento

AHB
Advanced High-performance Bus

Seis mestres:
- Core M4 – I-bus, D-bus, S-bus
- DMA1, DMA2 memoria e barramento

Cinco escravos:
- Mem Flash – Icode e Dcode
- SRAM interna
- Periféricos AHB1
- Periféricos AHB2



DMA Streams

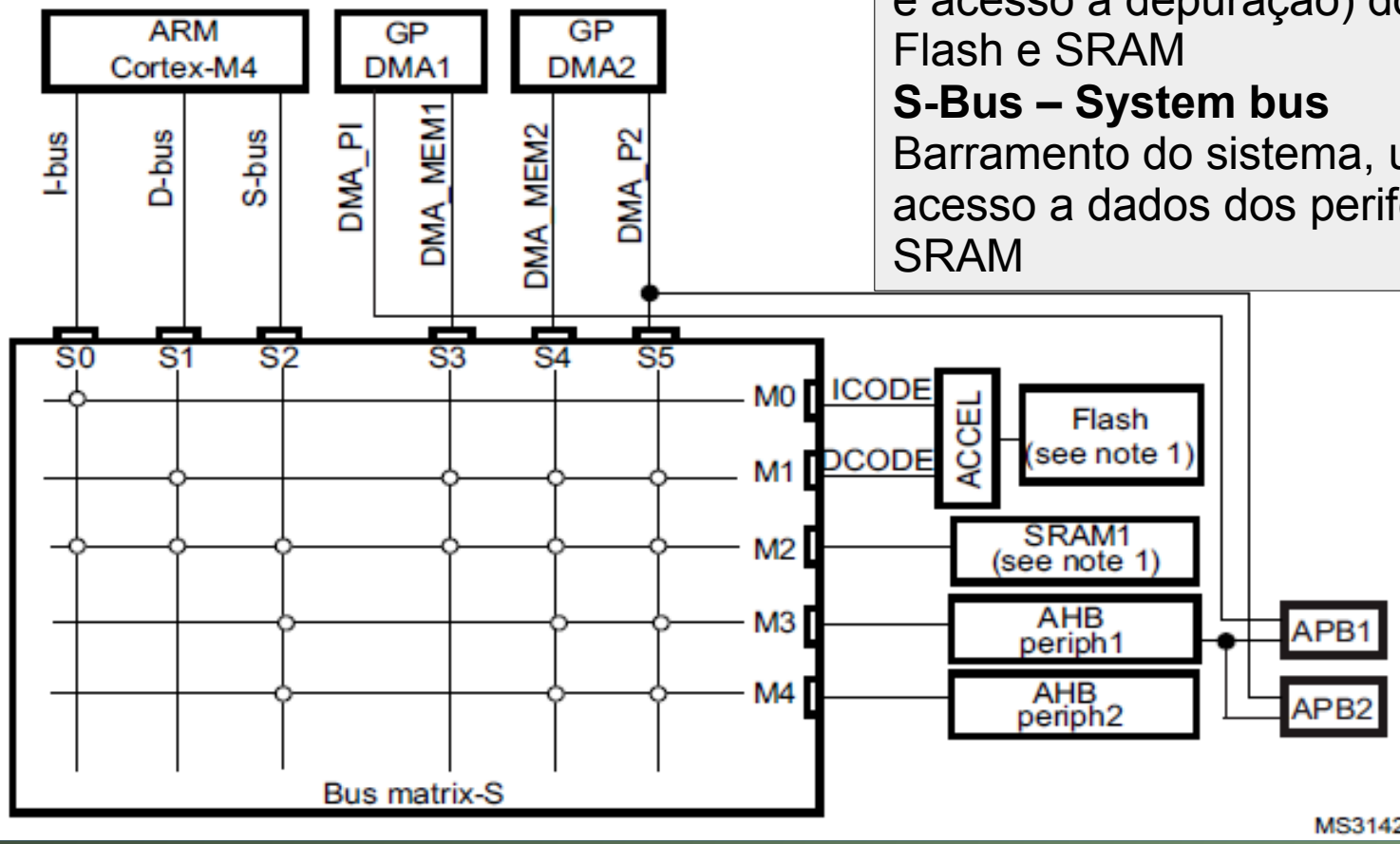
O controlador de DMA possui 8 *streams* destinados a gerenciar as requisições de um ou mais periféricos.

Cada *streams* possui até 8 canais, utilizados para requisição de transferência. Somente um canal pode ser atividado por vez. Um periférico pode utilizar somente uma *stream*.

Cada *stream* tem sua prioridade, configurada por software (4 níveis). Caso duas *streams* tenham a mesma prioridade de software, a prioridade de hardware prevalece (*Stream* 0 tem prioridade sobre *Stream* 1 e assim sucessivamente)

Arquitetura do barramento

AHB
Advanced High-performance Bus

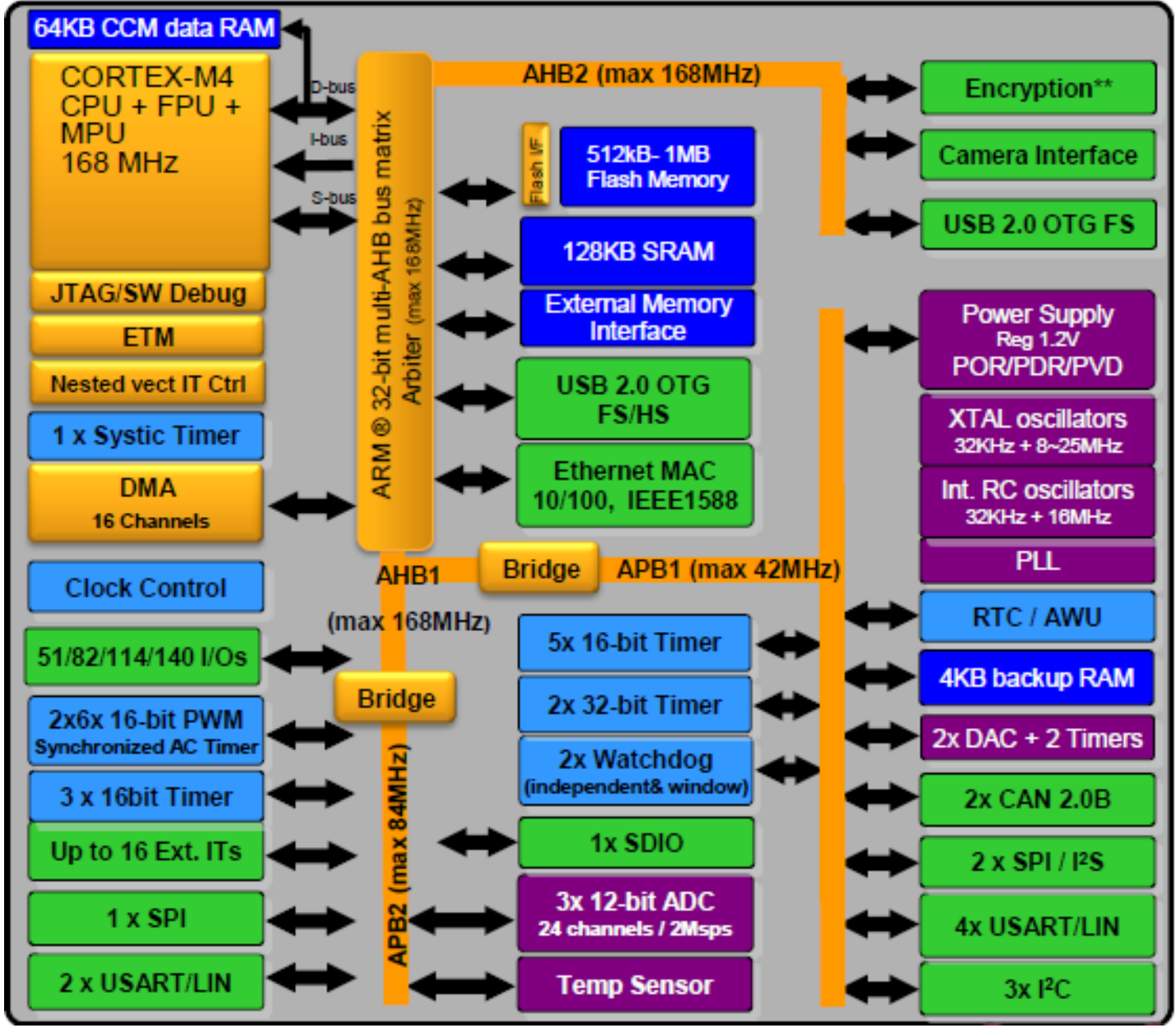


I-bus – Instruction bus
Barramento utilizado para a busca de instruções na memória Flash interna ou na SRAM

D-bus – Data bus
Conecta o barramento D (carga de literais e acesso a depuração) do Cortex M4 à Flash e SRAM

S-Bus – System bus
Barramento do sistema, utilizado para acesso a dados dos periféricos ou da SRAM

STM32F4xx


64KB CCM data RAM
CORTEX-M4
CPU + FPU +
MPU
168 MHz
D-bus
I-bus
S-bus
JTAG/SW Debug
ETM
Nested vect IT Ctrl
1 x Systic Timer
DMA
16 Channels
ARM ® 32-bit multi-AHB bus matrix
Arbiter (max 168MHz)
AHB2 (max 168MHz)
Flash I/F
512kB- 1MB
Flash Memory
128KB SRAM
External Memory
Interface
USB 2.0 OTG
FS/HS
Ethernet MAC
10/100, IEEE1588
Encryption**
Camera Interface
USB 2.0 OTG FS
Power Supply
Reg 1.2V
POR/PDR/PVD
XTAL oscillators
32KHz + 8~25MHz
Int. RC oscillators
32KHz + 16MHz
PLL
Clock Control
AHB1
Bridge
APB1 (max 42MHz)
(max 168MHz)
RTC / AWU
4KB backup RAM
51/82/114/140 I/Os
Bridge
2x6x 16-bit PWM
Synchronized AC Timer
3 x 16bit Timer
Up to 16 Ext. ITs
1 x SPI
2 x USART/LIN
APB2 (max 84MHz)
5x 16-bit Timer
2x 32-bit Timer
2x Watchdog
(independent& window)
1x SDIO
3x 12-bit ADC
24 channels / 2Msps
Temp Sensor
2x DAC + 2 Timers
2x CAN 2.0B
2 x SPI / I²S
4x USART/LIN
3x I²C

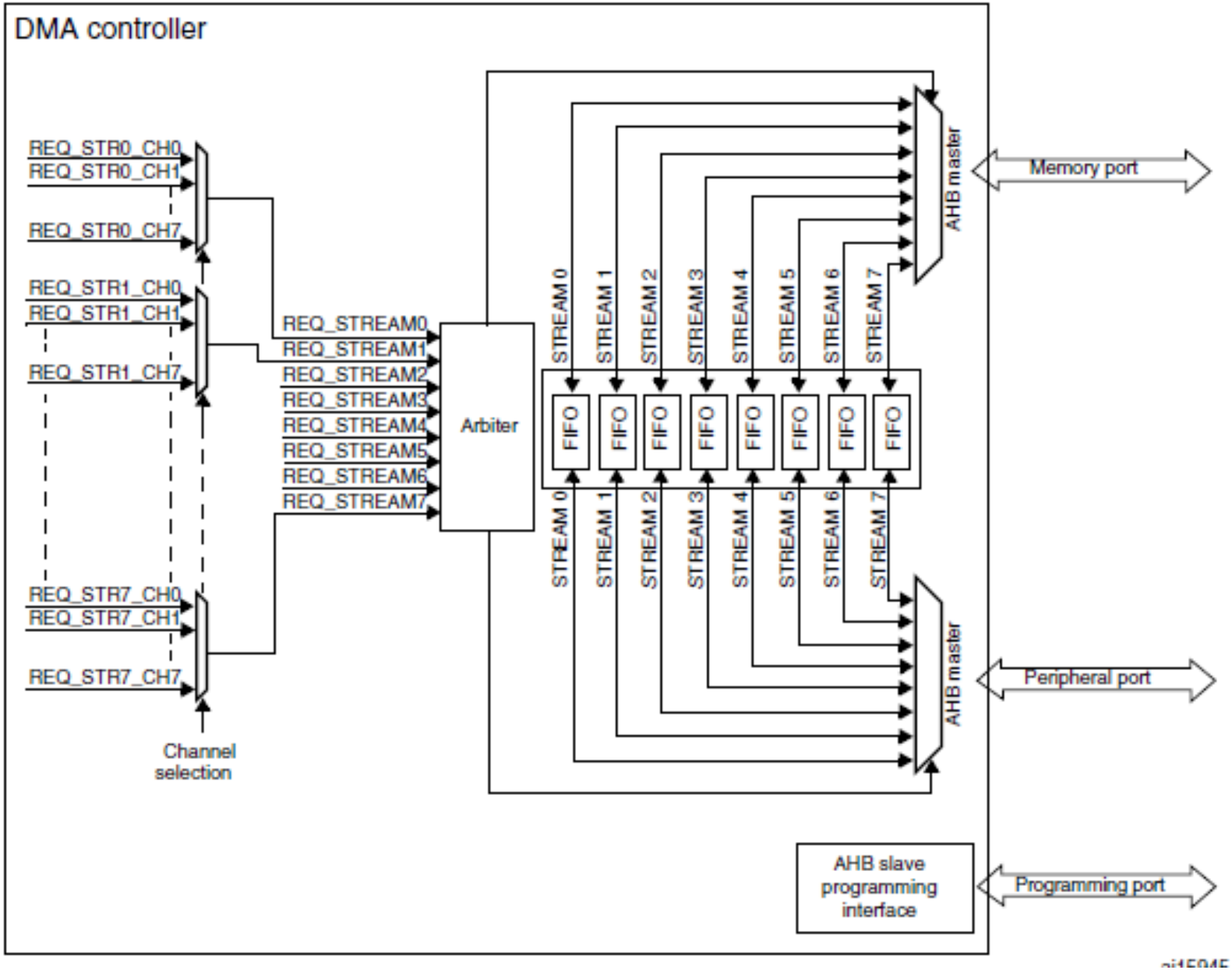
Operação de DMA

O DMA permite a transferência de dados entre módulos escravos conectados ao AHB

DMA é executado sem intervenção da CPU Cortex. Durante a operação, a CPU pode executar outras tarefas e é interrompida somente quando o bloco de dados estiver disponível para processamento.

Grandes quantidades de dados podem ser transferidos sem grande impacto ao desempenho do sistema. Esta solução é mais barata em termos de espaço em silício e energia, em comparação a soluções distribuídas onde cada periférico mantém seu armazenamento local.

Controlador DMA



Propriedades da transferência DMA

Uma transferência DMA é caracterizada pelas seguintes propriedades

- Canal / Fluxo DMA
- Prioridade de Fluxo
- Endereços de Origem e Destino
- Modo de Transferência
- Tamanho da Transferência
- Incremento de Endereçamento
- Largura de dados da Origem e Destino
- Tipo de Transferência
- Modo da FIFO
- Tamanho do *Burst*
- Modo de *bufferização* dupla
- Controle de Fluxo

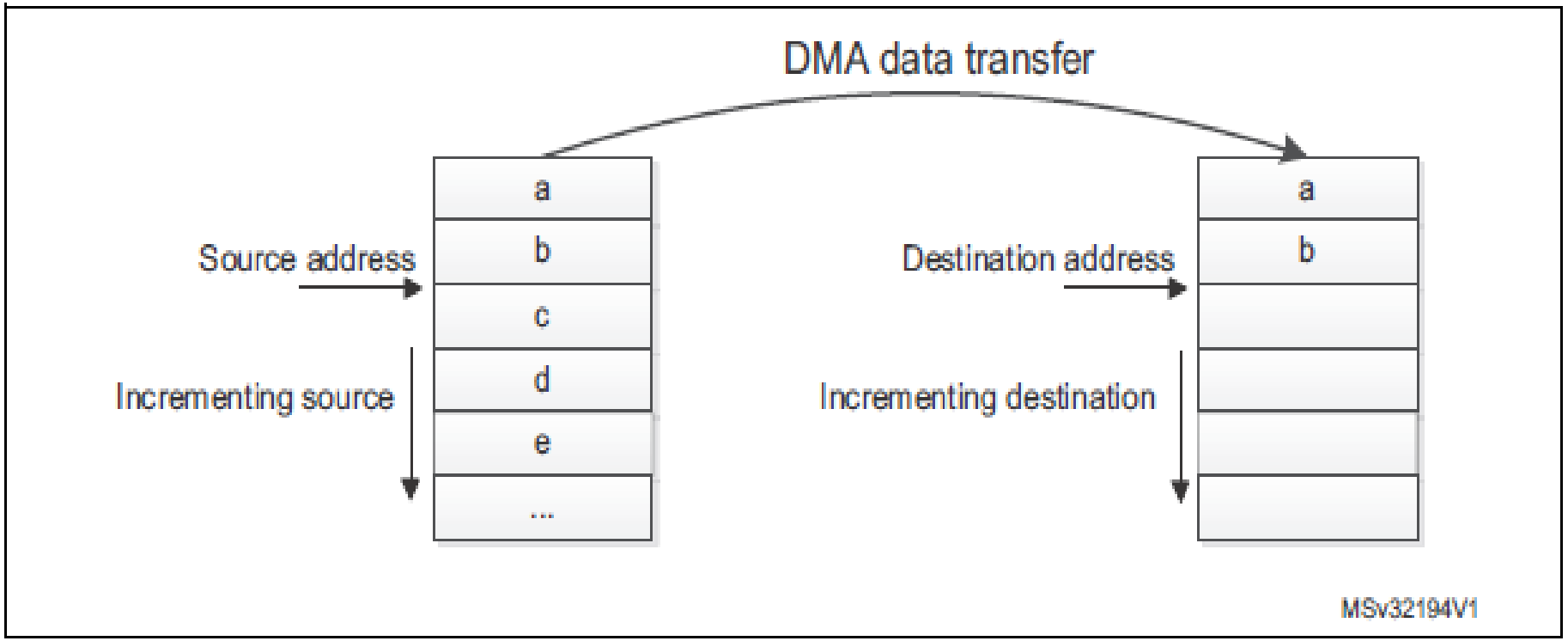
DMA Streams

O controlador de DMA possui 8 *streams* destinados a gerenciar as requisições de um ou mais periféricos.

Cada *streams* possui até 8 canais, utilizados para requisição de transferência. Somente um canal pode ser atividado por vez. Um periférico pode utilizar somente uma *stream*.

Cada *stream* tem sua prioridade, configurada por software (4 níveis). Caso duas *streams* tenham a mesma prioridade de software, a prioridade de hardware prevalece (*Stream* 0 tem prioridade sobre *Stream* 1 e assim sucessivamente)

Incremento do Endereço de Transferência



- Uma transferência DMA é definida pelos endereços de origem e destino. Ambos devem estar na faixa de memória dos barramentos AHB e APB e alinhados ao tamanho de transferência

- É possível configurar o incremento automático do endereço de origem/destino após cada transferência

Modo de Transferência

- Periférico para memória
- Memória para periférico
- Memória para memória (DMA2)

Largura de dados

- Byte (8 bits)
- Half-word (16 bits)
- Word (32 bits)

Tipos de Transferência

- Circular : Manipula *buffers* circulares (DMA_SxNDTR é recarregado automaticamente)
- Normal : Uma vez que DMA_SxNDTR chegue a zero o *stream* é desabilitado.

Tamanho da Transferência

Definido através do registrador DMA_SxNDTR e atrelado a largura de dados do periférico

DMA FIFO

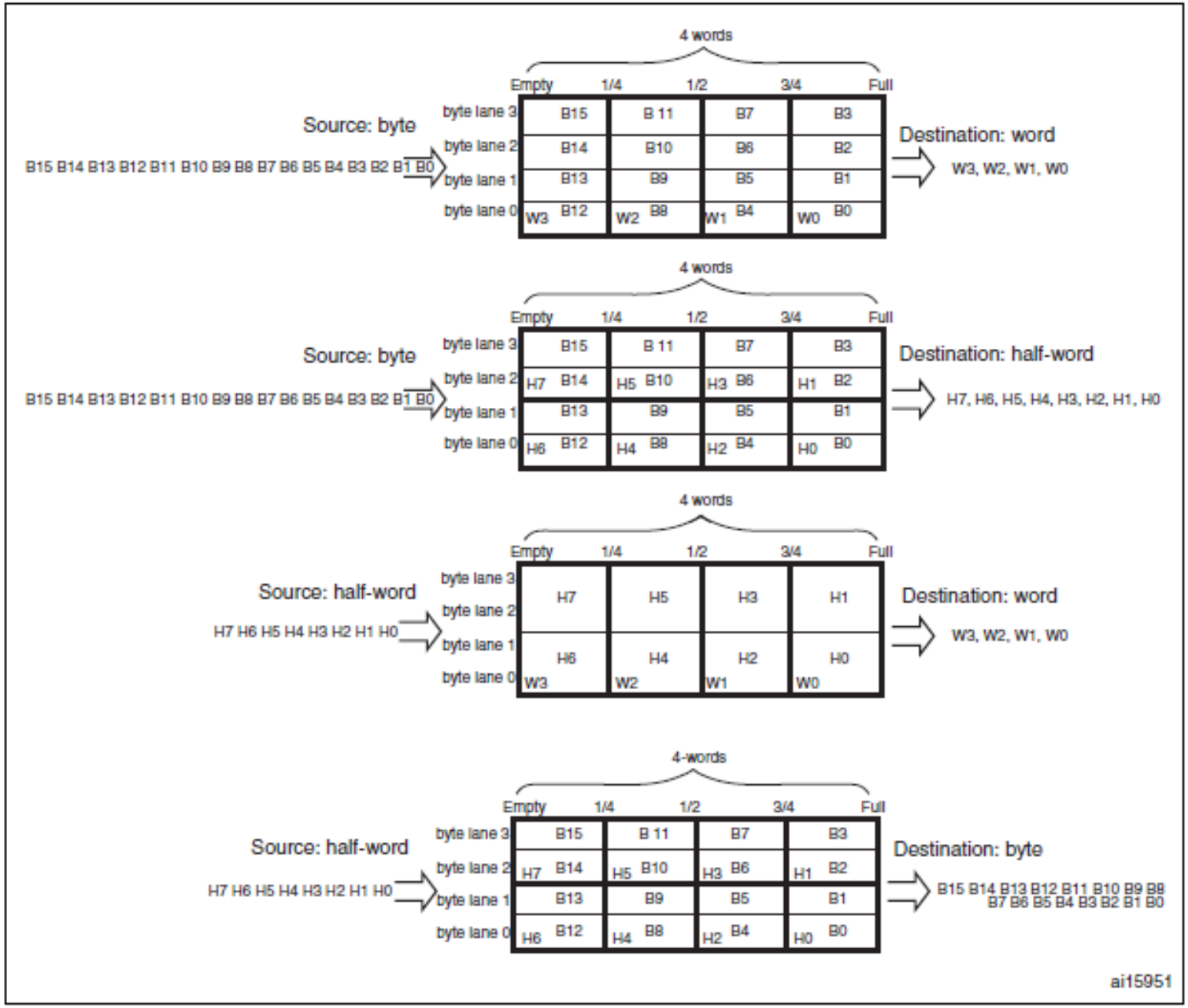
Cada *streams* possui uma FIFO de 4 *words* (4 * 32 bits) e limiar (*threshold*) configurável entre ¼, ½, ¾ ou cheia (*full*).

Quando o modo DMA FIFO estiver desabilitado, a transferência direta é realizada.

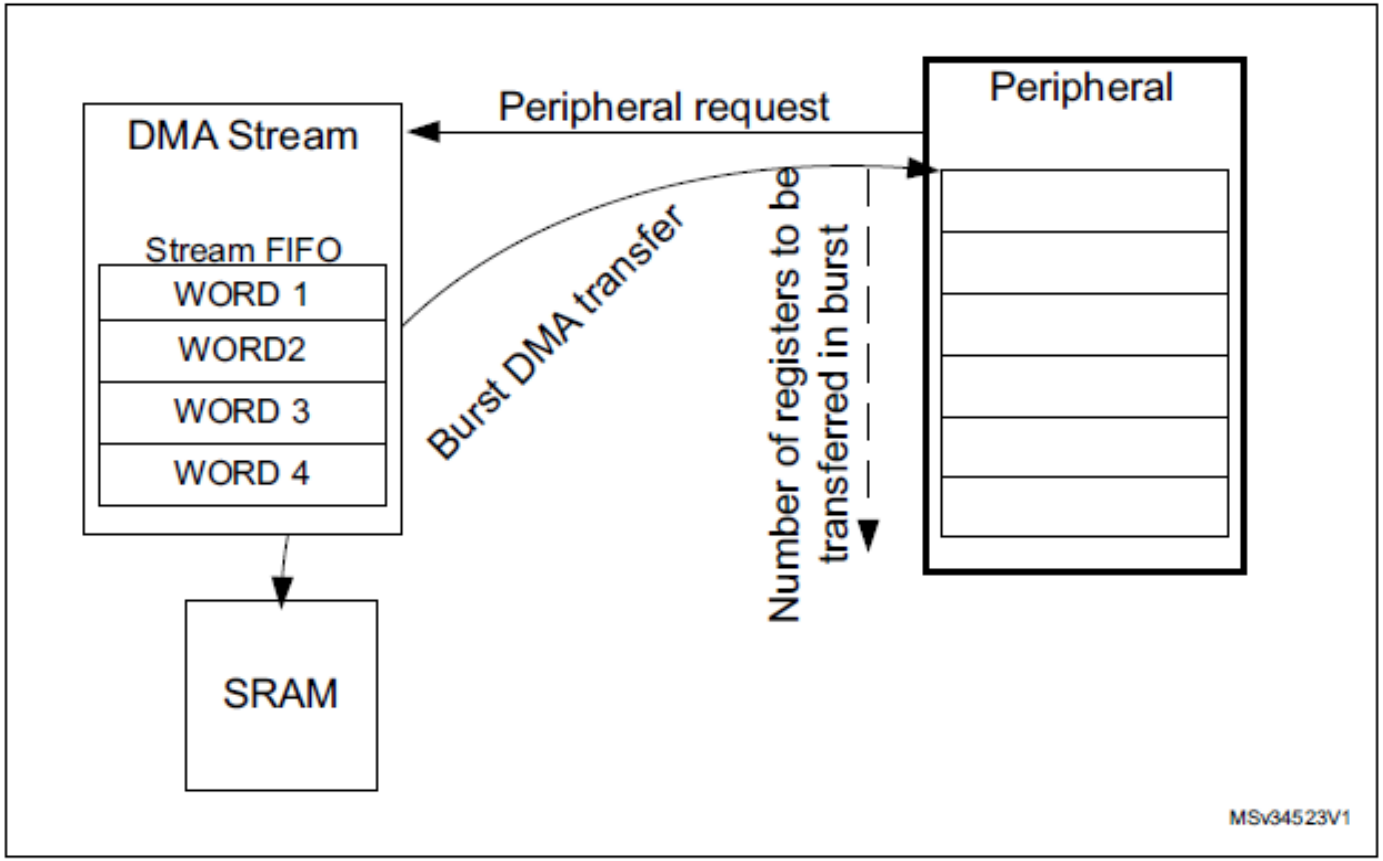
Os DMA FIFO auxiliam em :

- Reduzir o acesso à SRAM, liberando mais tempo para outros mestres acessarem o barramento sem concorrência;
- Permitir transferências no modo burst, que otimizam a largura de banda do barramento;
- Permitem o empacotamento/desempacotemento de dados para adaptar a largura de dados entre origem e destino

FIFO


4 words
Empty
1/4
1/2
3/4
Full
Source: byte
B15 B14 B13 B12 B11 B10 B9 B8 B7 B6 B5 B4 B3 B2 B1 B0
byte lane 3
byte lane 2
byte lane 1
byte lane 0
B15 B 11 B7 B3
B14 B10 B6 B2
B13 B9 B5 B1
W3 B12 W2 B8 W1 B4 W0 B0
Destination: word
W3, W2, W1, W0
4 words
Empty
1/4
1/2
3/4
Full
Source: byte
B15 B14 B13 B12 B11 B10 B9 B8 B7 B6 B5 B4 B3 B2 B1 B0
byte lane 3
byte lane 2
byte lane 1
byte lane 0
B15 B 11 B7 B3
H7 B14 H5 B10 H3 B6 H1 B2
B13 B9 B5 B1
H6 B12 H4 B8 H2 B4 H0 B0
Destination: half-word
H7, H6, H5, H4, H3, H2, H1, H0
4 words
Empty
1/4
1/2
3/4
Full
Source: half-word
H7 H6 H5 H4 H3 H2 H1 H0
byte lane 3
byte lane 2
byte lane 1
byte lane 0
H7 H5 H3 H1
H6 H4 H2 H0
W3 W2 W1 W0
Destination: word
W3, W2, W1, W0
4-words
Empty
1/4
1/2
3/4
Full
Source: half-word
H7 H6 H5 H4 H3 H2 H1 H0
byte lane 3
byte lane 2
byte lane 1
byte lane 0
B15 B 11 B7 B3
H7 B14 H5 B10 H3 B6 H1 B2
B13 B9 B5 B1
H6 B12 H4 B8 H2 B4 H0 B0
Destination: byte
B15 B14 B13 B12 B11 B10 B9 B8
B7 B6 B5 B4 B3 B2 B1 B0
ai15951

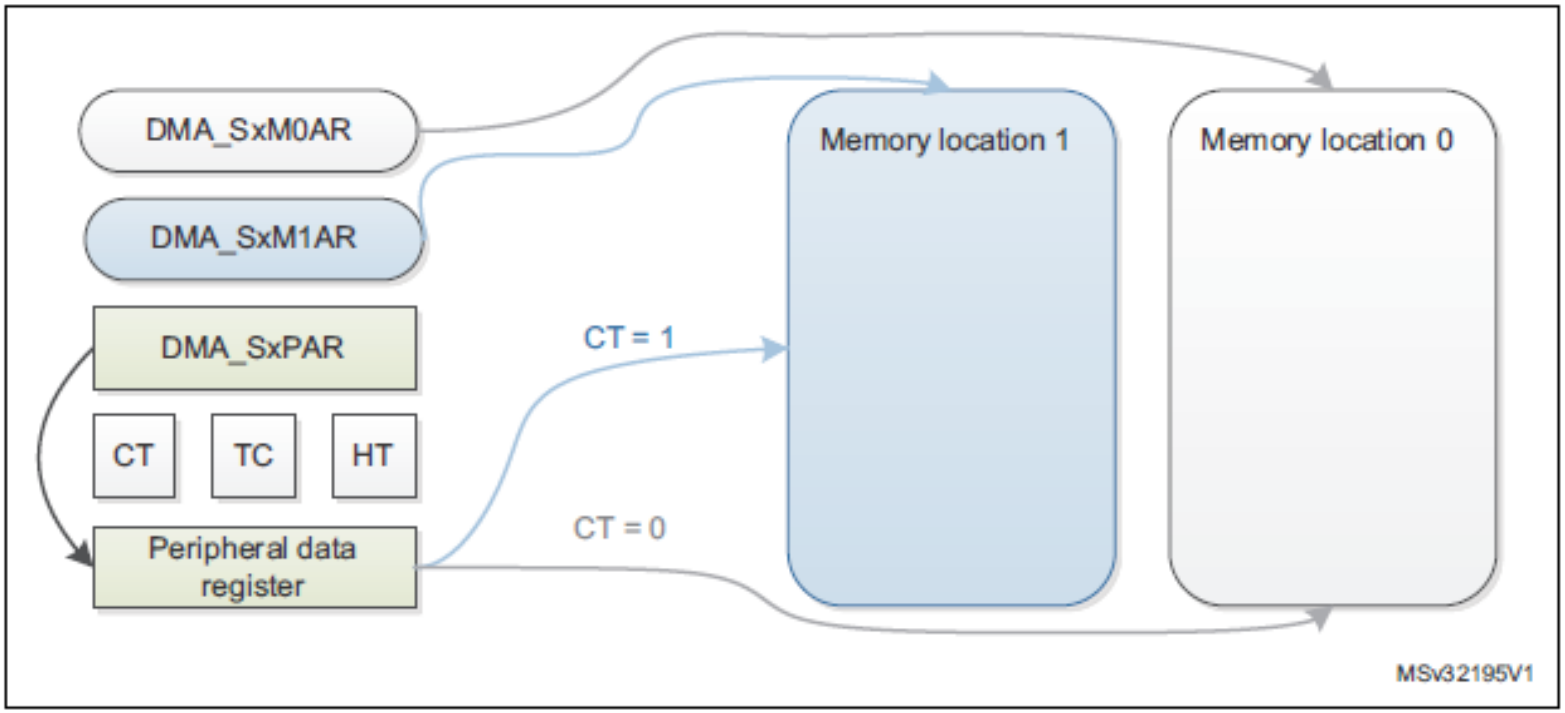
Transferência DMA no modo Burst



Configurações do modo Burst

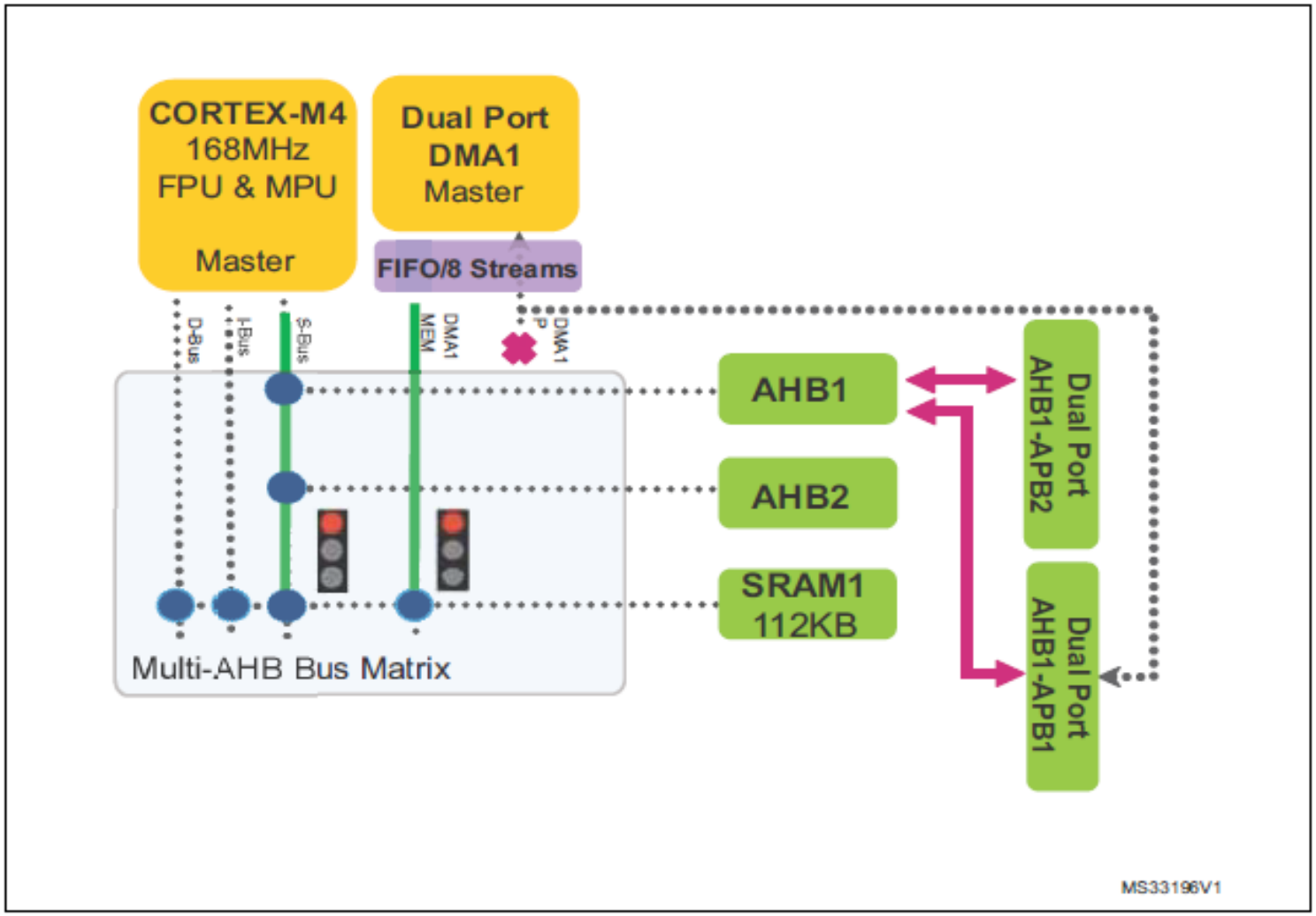
MSIZE	FIFO level	MBURST = INCR4	MBURST = INCR8	MBURST = INCR16
Byte	1/4	1 burst of 4 bytes	forbidden	forbidden
	1/2	2 bursts of 4 bytes	1 burst of 8 bytes	
	3/4	3 bursts of 4 bytes	forbidden	
	Full	4 bursts of 4 bytes	2 bursts of 8 bytes	1 burst of 16 bytes
Half-word	1/4	forbidden	forbidden	forbidden
	1/2	1 burst of 4 half-words		
	3/4	forbidden		
	Full	2 bursts of 4 half-words	1 burst of 8 Half-word	
Word	1/4	forbidden	forbidden	
	1/2			
	3/4			
	Full	1 burst of 4 words		

Transferência DMA no modo Buffer-duplo

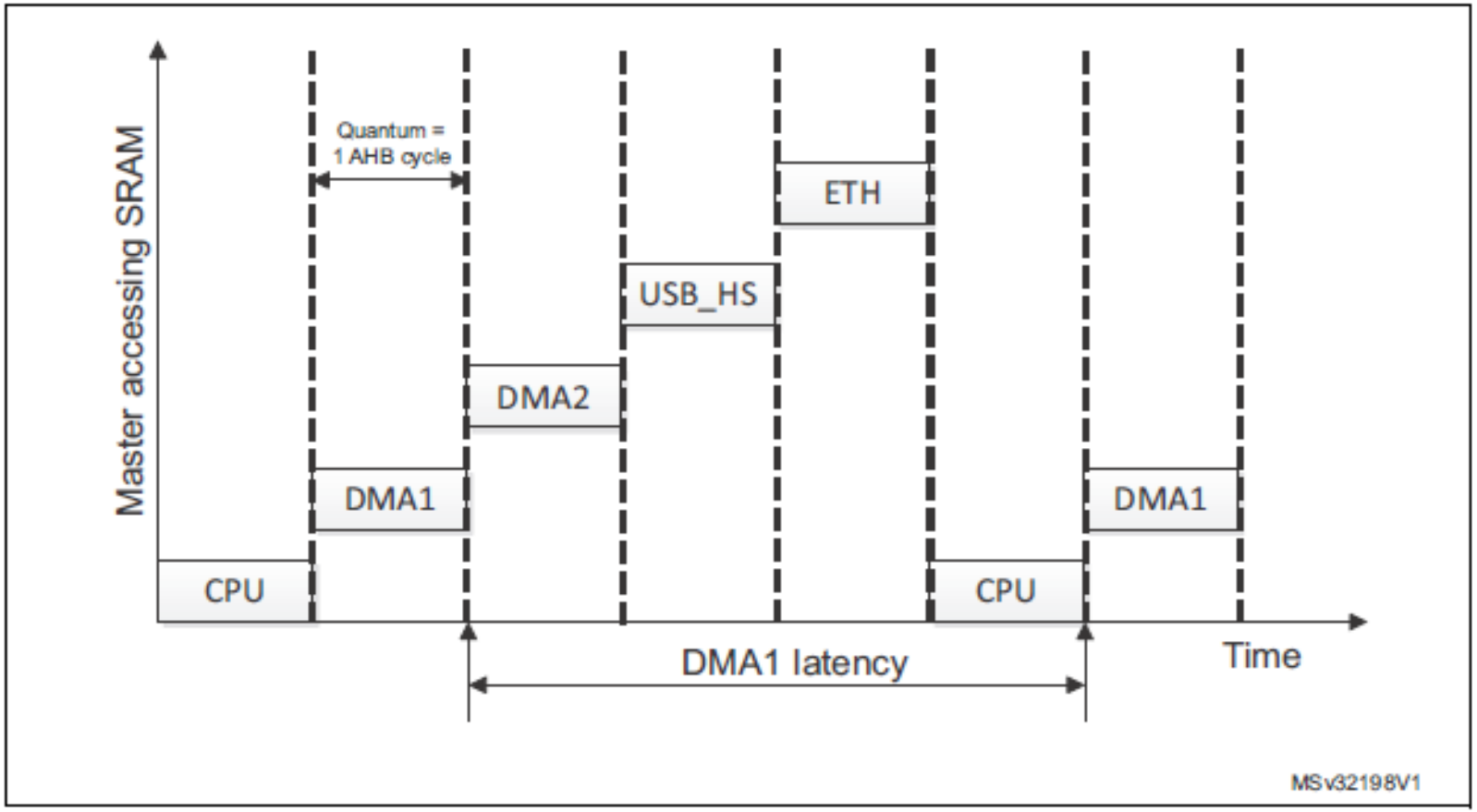


- Uma stream de buffer duplo possui dois ponteiros de memória.
- Quando habilitado, ao final da transferência o ponteiro de memória é trocado

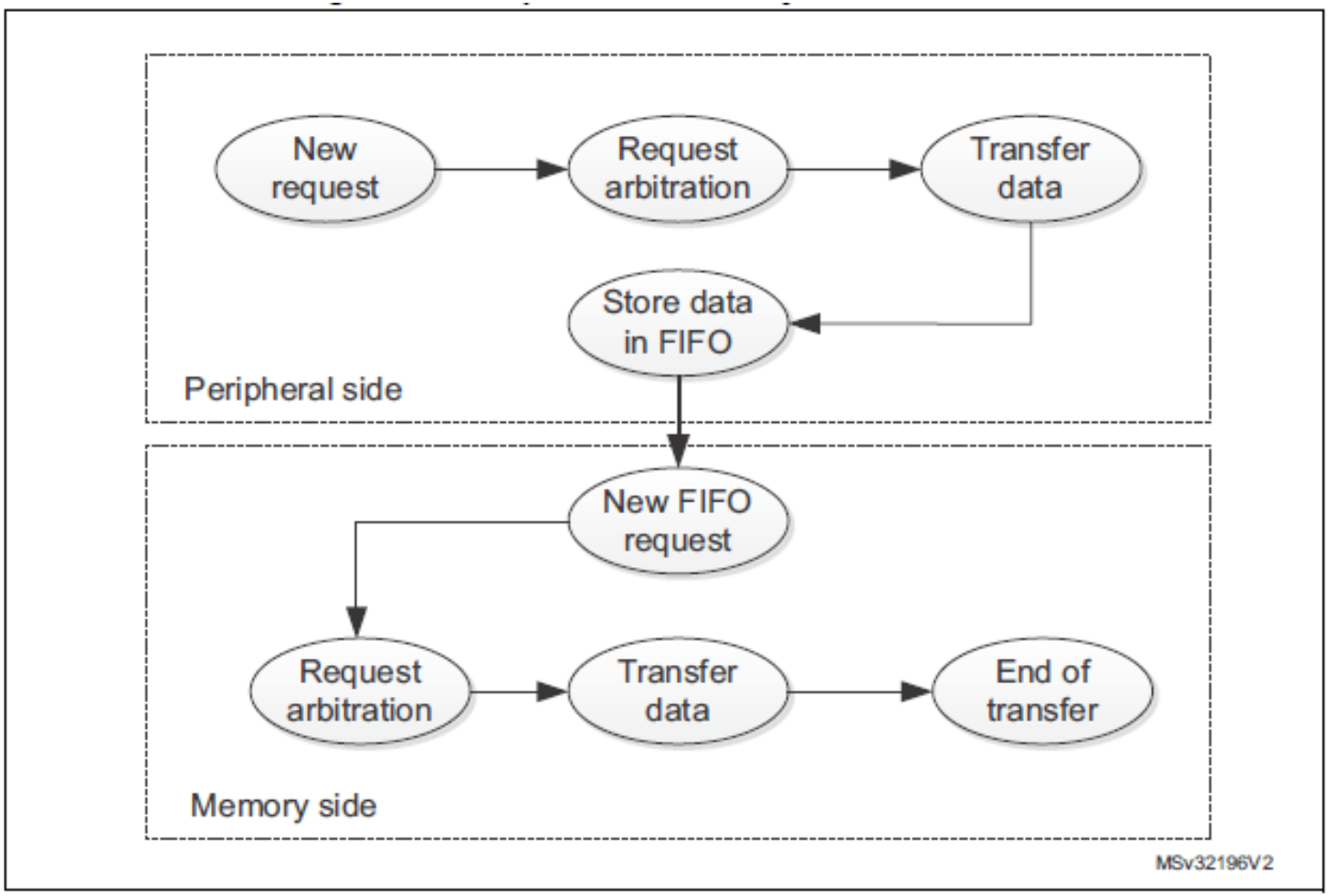
Arbitramento do Acesso ao Barramento



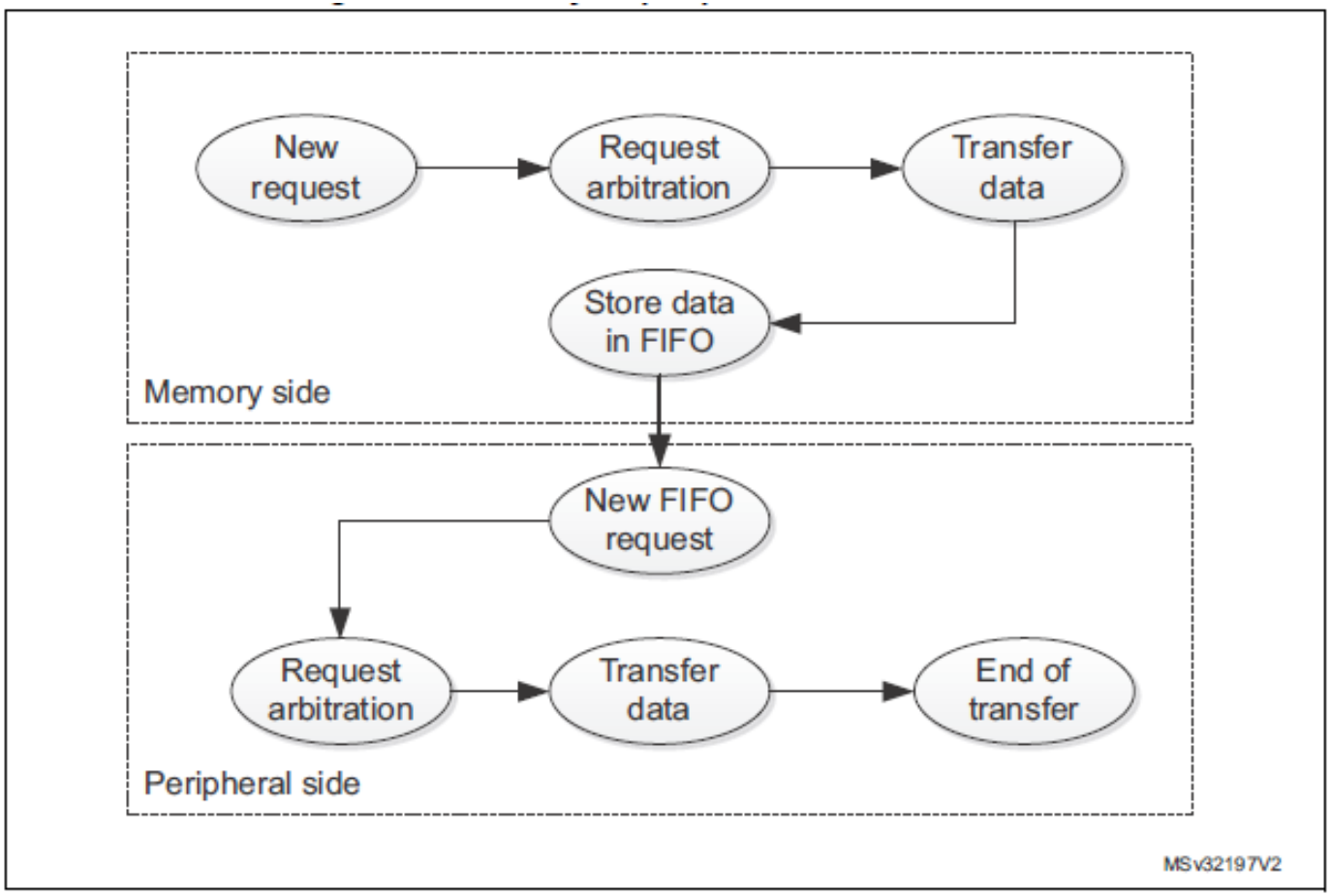
Politica Round-Robin



Maquina Estados Transferencia Periferico->Memoria



Maquina Estados Transferencia Memoria → Periferico



Referências

RM0383 - Reference manual - STM32F411xC/E advanced ARM®-based 32-bit MCUs

AN4031 - Application note - Using the STM32F2, STM32F4 and STM32F7 Series DMA controller