

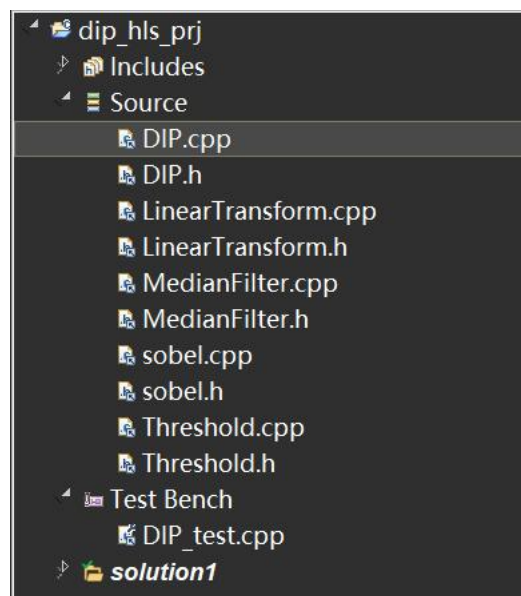
HLS 项目：数字图像处理（DIP）系统

完成人：石尚轩、赵浩文

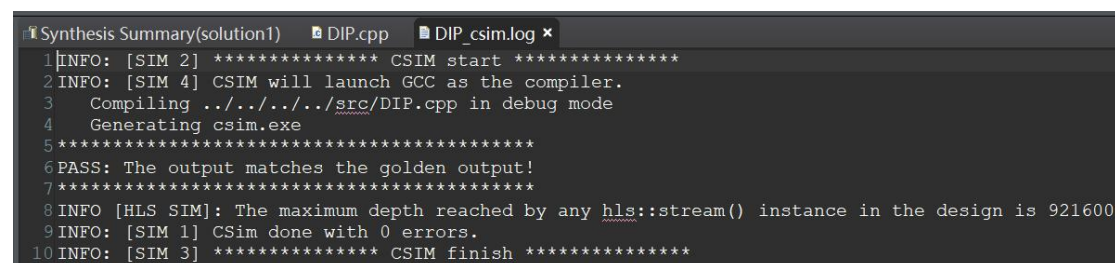
完成时间：2023.7.18

一．在 Vitis_HLS 中设计 DIP IP

1. 在 Vitis HLS 创建项目：dip_hls_prj，添加 source 和 test bench 代码，器件型号为 xc7z020clg484-1



2. 进行 C- Simulation，仿真成功



3. 进行 C- Synthesis，综合成功

Synthesis Summary Report of 'DIP'

General Information

Date: Tue Jul 18 17:16:36 2023

Version: 2023.1 (Build 3854077 on May 4 2023)

Project: dip_hls_prj

Solution: solution1 (Vivado IP Flow Target)

Product family: zynq

Target device: xc7z020-clg484-1

Timing Estimate

Target	Estimated	Uncertainty
10.00 ns	7.167 ns	2.70 ns

Performance & Resource Estimates

Modules

Loops

Modules & Loops	Issue Type	Violation Type	Distance	Slack	Latency(cycles)	Latency(ns)	Iteration Latency	Interval	Trip Count	Pipelined	BRAM	DSF	FF	LUT	URAM
• DIP				-	939448	9.394E6	-	939449	-	no	6	2	3423	9413	0
↳ • sobel				-	932246	9.322E6	-	932246	-	no	3	0	673	1523	0
↳ • MedianFilter				-	939446	9.394E6	-	939446	-	no	3	0	1575	5717	0
↳ • LinearTransform				-	933121	9.331E6	-	933121	-	no	0	2	773	1464	0
↳ VITIS_LOOP_8_1				-	925200	9.252E6	1285	-	720	no	-	-	-	-	-

Performance Pragma

Modules & Loops	Target TL(cycles)	TL(cycles)	TL met	Target TL(cycles)	TL(cycles)	TL met
• DIP	-	-	-	-	-	-
↳ • sobel	-	-	-	-	-	-
↳ • MedianFilter	-	-	-	-	-	-
↳ • LinearTransform	-	-	-	-	-	-
↳ VITIS_LOOP_8_1	-	-	-	-	-	-

4. 进行 C/RTL Co-simulation，联合仿真成功

Cosimulation Report for 'DIP'

General Information

Date: Tue Jul 18 17:20:21 2023

Version: 2023.1 (Build 3854077 on May 4 2023)

Project: dip_hls_prj

Status: Pass

Solution: solution1 (Vivado IP Flow Target)

Product family: zynq

Target device: xc7z020-clg484-1

Cosim Options

Tool: Vivado XSIM

RTL: Verilog

Performance Estimates

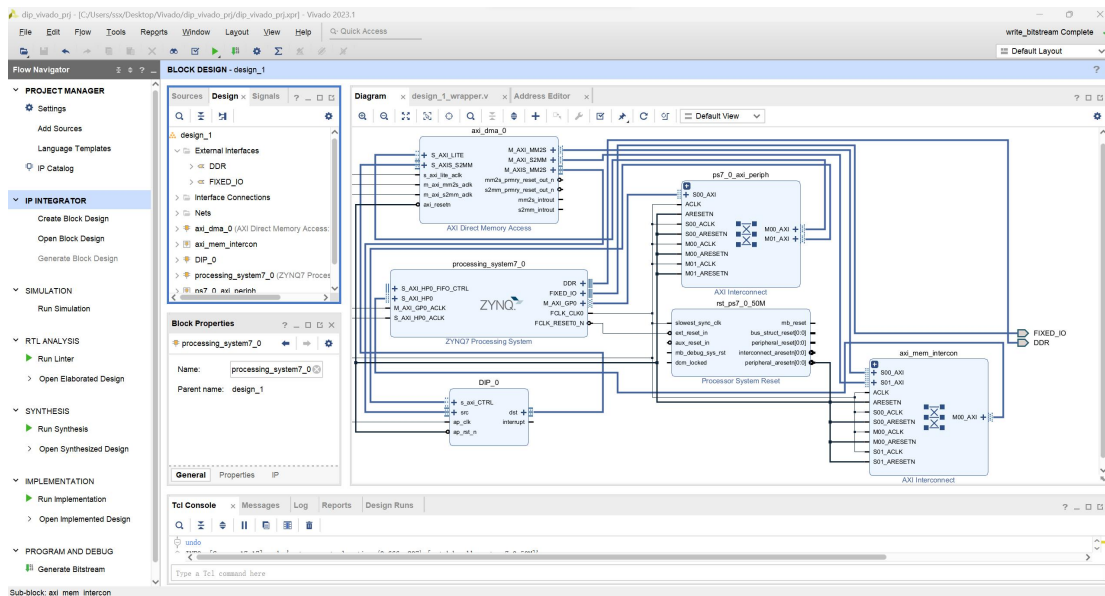
Modules & Loops	Avg II	Max II	Min II	Avg Latency	Max Latency	Min Latency
• DIP				923762	923762	923762
• sobel						
• MedianFilter						
• LinearTransform						
VITIS_LOOP_8_1				923761	923761	923761

5. 导出 RTL，导出成功

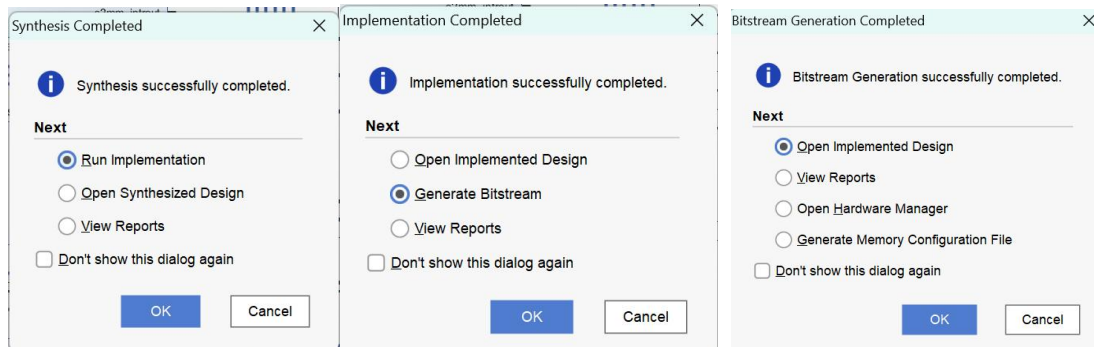
ip	2023/7/18 17:21	文件夹
misc	2023/7/18 17:20	文件夹
verilog	2023/7/18 17:20	文件夹
vhdl	2023/7/18 17:16	文件夹
export.zip	2023/7/18 17:21	压缩(zipped)文件夹

二. 在 Vivado 中进行 IP 集成

1. 在 Vivado 创建项目：dip_vivado_prj，将添加刚才生成的 IP 导入，创建一个 Block Design: design_1。在 Block 中添加相应模块：DIP_0、ZYNQ7 Processing System、AXI Direct Memory Access，配置好项目后进行自动连线，如图所示：



2. 综合与生成比特流, 综合生成成功



三．构建 PYNQ 设计

1. 提取 bit 与 hwh 文件

 DIP.bit	2023/7/18 0:29	BIT 文件	3,951 KB
 DIP.hwh	2023/7/18 0:21	HWH 文件	334 KB

2. 在 jupyter 中部署与运行 Overlay

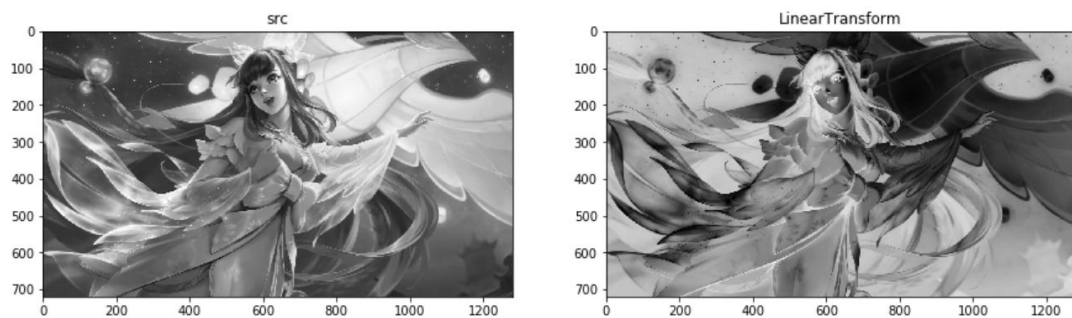
2.3 使用fpga加速图片处理

载入Overlay

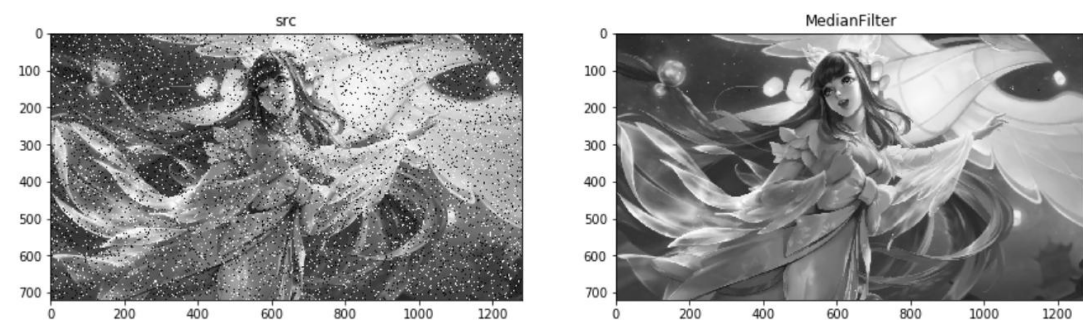
```
In [10]: from pynq import Overlay, allocate  
  
overlay = Overlay("./DIP.bit")  
  
DIP = overlay.DIP_0
```

3. 最后的图像处理结果如图所示：

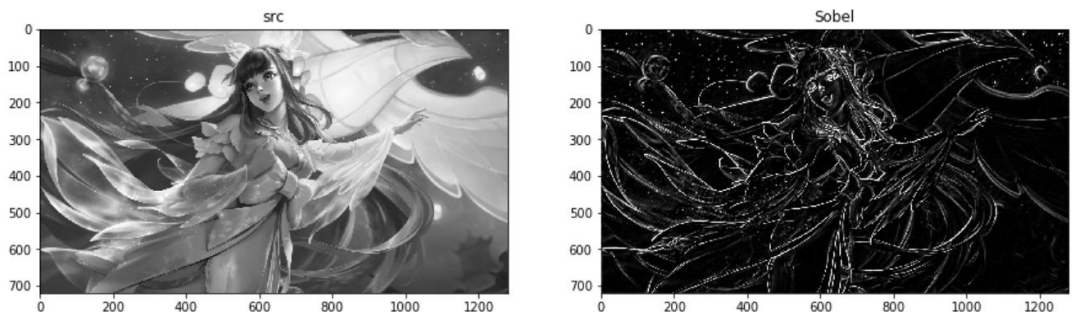
(1) 灰度变换，达到了颜色反转的效果



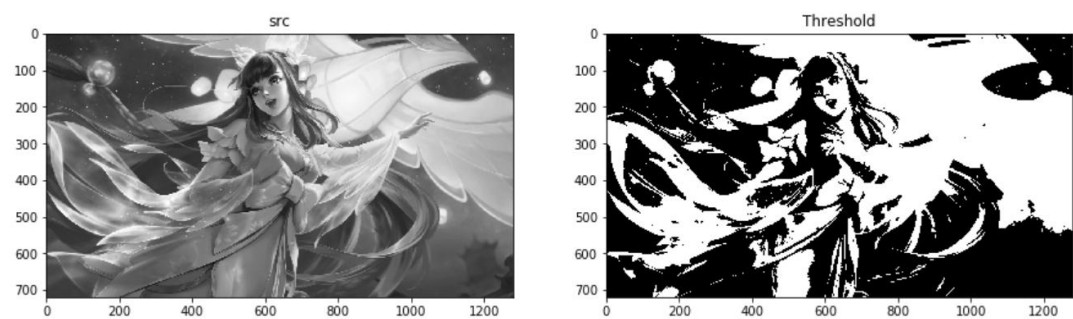
(2) 中值滤波，达到了去噪的效果



(3) 边缘检测



(4) 阈值分割



分别测试 cpu 和 fpga 处理相同任务所需要的时间，结果如下表所示。在灰度变换、阈值分割这种简单的任务上，fpga 的速度大约是 cpu 的两倍；在中值滤波、边缘检测这类较复杂的任务上，fpga 由于其并行计算的优势，速度大大领先 cpu，起到了很好的加速效果。本次 HLS 项目顺利完成！

	灰度变换	中值滤波	边缘检测	阈值分割
cpu	0.063709	0.810504	0.994434	0.066190
fpga	0.031092	0.031049	0.030859	0.030693