

3_4_I2C

Se utiliza principalmente internamente para la comunicación entre diferentes partes de un circuito, por ejemplo, entre un controlador y circuitos periféricos integrados.

El I²C está diseñado como un bus maestro-esclavo. La transferencia de datos es siempre inicializada por un maestro; el esclavo reacciona. Es posible tener varios maestros mediante un modo multimaestro, en el que se pueden comunicar dos maestros entre sí, de modo que uno de ellos trabaja como esclavo. El arbitraje (control de acceso en el bus) se rige por las especificaciones, de este modo los maestros pueden ir turnándose.

La señal de reloj siempre es generada por el maestro. Para cada modo especificado, está predeterminado respectivamente un pulso de reloj máximo permitido. En general, también pueden ser utilizadas señales de reloj más lentas, siempre y cuando sean compatibles con la interfaz del maestro. Sin embargo, algunos circuitos integrados (por ejemplo, un conversor o convertidor de señal analógica-digital) requieren una frecuencia mínima con el fin de funcionar correctamente. En la tabla siguiente se muestran los porcentajes máximos permisibles de reloj.

Modo	Velocidad de transmisión máxima	Dirección
Standard Mode (Sm)	0,1 Mbit/s	Bidireccional
Fast Mode (Fm)	0,4 Mbit/s	Bidireccional
Fast Mode Plus (Fm+)	1,0 Mbit/s	Bidireccional
High Speed Mode (Hs-mode)	3,4 Mbit/s	Bidireccional
Ultra Fast-mode (UFm)	5,0 Mbit/s	Unidireccional

La dirección de I²C estándar es el primer byte enviado por el maestro, aunque los primeros 7 bits representan la dirección y el octavo bit (R/W-Bit) es el que comunica al esclavo si debe recibir datos del maestro (low/bajo) o enviar datos al maestro (high/alto). Por lo tanto, I²C utiliza un espacio de direccionamiento de 7 bits, lo cual permite hasta 112 nodos en un bus.

El inicio de una transmisión es indicado por la señal de inicio del maestro, seguido de la dirección. Ésta es confirmada por el ACK-Bit del esclavo correspondiente. En función del R/W-Bit se escriben bytes de datos (datos al esclavo) o se leen (datos al maestro). El ACK es enviado desde el esclavo al escribir, y desde el maestro al leer. El último byte "leído" es reconocido por el maestro como un NACK (not acknowledge), para indicar el final de una transmisión. Una transmisión es finalizada por la señal de parada. Como alternativa, puede ser enviada una señal de reset al arranque de una nueva transmisión, sin necesidad de parar la transmisión anterior con una señal de parada.

Una de las propiedades del I²C es el hecho de que un microcontrolador puede controlar toda una red de circuitos integrados con sólo dos I/O-Pins (Input/Output) y un software muy simple. Los buses de este tipo fueron realizados ya que una proporción significativa del precio de un circuito integrado y la placa de circuito depende del tamaño de la carcasa y del número de pines. Una carcasa grande tiene más pines, necesita más espacio en la placa de circuito y tiene más conexiones que podrían fallar. Todo esto aumenta los costes de desarrollo, producción y pruebas.

También es utilizado como base para ACCESS.bus y monitores de interfaz VESA (DCC, Display Data Channel). El SMBus (del fabricante Intel) para la comunicación de componentes de la placa base, se parece mucho al bus I²C. La mayoría de los circuitos integrados soportan ambos buses.