



**ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ**

**ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ  
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ**

**ΔΙΑΤΜΗΜΑΤΙΚΟ ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ ΣΠΟΥΔΩΝ ΣΤΗ  
ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ**

**ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ**

**Εφαρμογές των Memristors  
σε  
Ψηφιακά και Αναλογικά  
Κυκλώματα**

**Γεώργιος Κ. Γεώργας**

*Επιβλέπουσα :* **Αγγελική Αραπογιάννη**, Ομότιμη Καθηγήτρια

**ΑΘΗΝΑ**

**ΙΟΥΝΙΟΣ 2019**

**ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ**

Εφαρμογές των Memristors  
σε  
Ψηφιακά και Αναλογικά  
Κυκλώματα

**Γεώργιος Κ. Γεώργας**

**A.M.: MM276**

**ΕΠΙΒΛΕΠΩΝ :** Αγγελική Αραπογιάννη, Ομότιμη Καθηγήτρια

Ιούνιος 2019

## **ΠΕΡΙΛΗΨΗ**

Η παρούσα εργασία έχει ως βασικό στοιχείο ανάλυσης το memristor, το οποίο ανακαλύφθηκε από τον καθηγητή Leon Chua και αποτελεί πλέον το τέταρτο θεμελιώδες ηλεκτρικό στοιχείο.

Στην πρώτη ενότητα γίνεται λεπτομερής αναφορά στην πρώτη εφαρμοσμένη υλοποίηση του, στον τρόπο λειτουργίας του και τις ιδιότητες που εμφανίζει. Παρουσιάζονται διαχρονικά οι προσπάθειες που έχουν γίνει για τη μοντελοποίηση της συσκευής. Για να γίνουν διακριτές οι μεταξύ τους διαφορές, παρατίθενται μέσω προσομοίωσης οι σχέσεις των εξεταζόμενων μεταβλητών των σημαντικότερων μοντέλων ώστε να δειχθεί η αλληλεπίδραση μεταξύ τους και τελικά να συμπεράνουμε ποιό θεωρητικό μοντέλο προσομοιάζει περισσότερο με το φυσικό. Στη συνέχεια παρουσιάζονται τρείς διαφορετικοί τρόποι υλοποίησης των ψηφιακών λογικών κυκλωμάτων με τη χρήση του memristor ως βασικό στοιχείο (τρόπος υλοποίησης Magic – MRL - Imply). Στην τελευταία ενότητα, παραθέτουμε και συγκρίνουμε αναλογικούς ενισχυτές μεταβλητού κέρδους και εύρους ζώνης με τη χρήση του memristor ως μεταβλητή αντίσταση.

Το βασικό συμπέρασμα που προκύπτει είναι ότι η εφαρμογή του memristor σε αντικατάσταση της αντίστασης παρουσιάζει σημαντικά πλεονεκτήματα όπως οι μικρότερες διαστάσεις της συσκευής, η σταθερότερη τάση εξόδου στις μεταβολές της θερμοκρασίας καθώς επίσης και η δυνατότητα ελέγχου της.

**ΘΕΜΑΤΙΚΗ ΠΕΡΙΟΧΗ:** Memristive devices

**ΛΕΞΕΙΣ ΚΛΕΙΔΙΑ:** memristor, μνημοαντίσταση , ενισχυτές με memristors, μη ππητική μνήμη, μη γραμμική αντίσταση.

## ABSTRACT

The present essay is analyzing the memristor, which was discovered by Professor Leon Chua and is now the fourth basic electrical element.

The first section details the first application, its operating mode and its properties. The attempts to model the device are presented over time. In order to distinguish the differences among them, the relationships between the examined variables of the most important models are shown by simulation in order to show the interaction between them and ultimately to conclude which theoretical model is more like the physical one. Moreover, three different ways of implementing the digital logic circuits using the memristor as a basic element (operating mode Magic - MRL - Imply) are presented. In the last section, we present and compare analog amplifiers of variable gain and bandwidth using the memristor as a variable resistor.

The basic conclusion is that the application of the memristor to replace the resistor presents important advantages such as the smaller dimensions of the device, the stable output voltage to temperature changes as well as its ability to control the output.

**SUBJECT AREA:** Memristive devices

**KEYWORDS:** memristor, memristance, memristive amplifiers, non volatile memory, non-linear resistance.

*Στην αδελφή μου Δήμητρα.*

## ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω την καθηγήτρια, κα Αραπογιάννη Αγγελική, για την πρόταση του συγκεκριμένου θέματος και τη συνεχή επίβλεψη της κατά τη διάρκεια της συγγραφής της εργασίας, που με βοήθησε να συνειδητοποιήσω πόσο σημαντικός είναι ο τομέας της έρευνας και η συνεχής προσπάθεια στην ανάπτυξη του τομέα της ηλεκτρονικής για τη σύγχρονη κοινωνία.

Επίσης, ευχαριστώ την οικογένεια μου για την έμπρακτη βοήθειά τους και τη συμπαράστασή τους καθ' όλη τη διάρκεια του μεταπτυχιακού.

# ΠΕΡΙΕΧΟΜΕΝΑ

<b>ΠΡΟΛΟΓΟΣ .....</b>	<b>20</b>
<b>1. MEMRISTORS.....</b>	<b>21</b>
<b>1.1 Εισαγωγή .....</b>	<b>21</b>
<b>1.2 Μοντέλα memristor.....</b>	<b>25</b>
<b>1.1.1 Μοντέλο HP .....</b>	<b>25</b>
<b>1.1.2 Μη γραμμικά μοντέλα .....</b>	<b>28</b>
<b>1.1.2.1 Μοντέλο A. Joglekar et al. window function.....</b>	<b>29</b>
<b>1.1.2.2 Μοντέλο B. Biolek et al. window function .....</b>	<b>30</b>
<b>1.1.2.3 Μοντέλο C. Prodromakis et al. window function.....</b>	<b>31</b>
<b>1.1.2.4 Μοντέλο Piecewise Linear window function [14],[17][18],[19].....</b>	<b>32</b>
<b>1.1.2.5 Μοντέλο Nonlinear window function [14].....</b>	<b>32</b>
<b>1.1.2.6 Μοντέλο Zha's window function [20] .....</b>	<b>33</b>
<b>1.1.2.7 Μοντέλο Benderli window function.....</b>	<b>33</b>
<b>1.1.3 Συγκριτικά στοιχεία .....</b>	<b>34</b>
<b>1.1.4 Μοντέλο Lehtonen.....</b>	<b>36</b>
<b>1.1.5 Μοντέλο Simmons Tunnel Barrier .....</b>	<b>36</b>
<b>1.1.6 Μοντέλο TEAM (Threshold Adaptive Memristor Model) .....</b>	<b>37</b>
<b>1.1.7 Μοντέλο VTEAM .....</b>	<b>37</b>
<b>1.1.8 Εφαρμογές των memristor .....</b>	<b>38</b>
<b>2. MAGIC.....</b>	<b>39</b>
<b>2.1. Memristor Aided loGIC (MAGIC).....</b>	<b>39</b>
<b>2.1.1. Πρώτο στάδιο .....</b>	<b>39</b>
<b>2.1.2. Δεύτερο στάδιο.....</b>	<b>40</b>
<b>2.2. Πύλη OR .....</b>	<b>41</b>
<b>2.2.1. Και οι δύο είσοδοι ίσες με λογικό μηδέν.....</b>	<b>41</b>
<b>2.2.2. Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν.....</b>	<b>42</b>
<b>2.2.3. Και οι δύο είσοδοι ίσες με λογικό ένα.....</b>	<b>43</b>
<b>2.3. Πύλη AND.....</b>	<b>43</b>
<b>2.3.1. Και οι δύο είσοδοι ίσες με λογικό μηδέν.....</b>	<b>44</b>

2.3.2.	Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν.....	44
2.3.3.	Και οι δύο είσοδοι ίσες με λογικό ένα.....	45
2.4.	Πύλη NOR.....	45
2.4.1.	Και οι δύο είσοδοι ίσες με λογικό μηδέν.....	46
2.4.2.	Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν.....	46
2.4.3.	Και οι δύο είσοδοι ίσες με λογικό ένα.....	47
2.5.	Πύλη NAND .....	47
2.5.1.	Και οι δύο είσοδοι ίσες με λογικό μηδέν.....	48
2.5.2.	Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν.....	48
2.5.3.	Και οι δύο είσοδοι ίσες με λογικό ένα.....	49
2.6.	Πύλη NOT .....	50
2.6.1.	Είσοδος ίση με λογικό μηδέν.....	50
2.6.2.	Είσοδος ίση με λογικό ένα.....	51
2.7.	Πύλη XOR .....	52
2.8.	Πύλη XNOR.....	53
2.9.	Πύλη Half Adder .....	55
2.10.	Πύλη Half Subtractor.....	57
2.11.	Πύλη Full Adder.....	60
2.12.	Πύλη Full Subtractor.....	63
<b>3.</b>	<b>MEMRISTOR RATIOED LOGIC .....</b>	<b>66</b>
3.1	MRL ένα υβριδικό μοντέλο .....	66
3.2	Πύλη OR.....	67
3.2.1	Και οι δύο είσοδοι ίσες με λογικό μηδέν.....	67
3.2.2	Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν.....	67
3.2.3	Και οι δύο είσοδοι ίσες με λογικό ένα.....	68

<b>3.3 Πύλη AND .....</b>	<b>69</b>
3.3.1 Και οι δύο είσοδοι ίσες με λογικό μηδέν.....	69
3.3.2 Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν.....	70
3.3.3 Και οι δύο είσοδοι ίσες με λογικό ένα.....	70
<b>3.4 Πύλη NOT .....</b>	<b>71</b>
<b>3.5 Πύλη NOR .....</b>	<b>72</b>
<b>3.6 Πύλη NAND.....</b>	<b>72</b>
<b>3.7 Πύλη XOR.....</b>	<b>73</b>
<b>3.8 Πύλη XNOR .....</b>	<b>74</b>
<b>3.9 Half Adder &amp; Half Subtractor .....</b>	<b>75</b>
<b>3.10 Full Adder .....</b>	<b>76</b>
<b>3.11 Full Subtractor.....</b>	<b>77</b>
<b>4. IMPLY .....</b>	<b>78</b>
<b>4.1 Εισαγωγή στην Imply .....</b>	<b>78</b>
<b>4.2 Βασικές λογικές πράξεις στη λογική IMPLY .....</b>	<b>78</b>
<b>4.3 Πύλη Buffer.....</b>	<b>79</b>
<b>4.4 Πύλη NOT .....</b>	<b>79</b>
<b>4.5 Πύλη OR.....</b>	<b>79</b>
<b>4.6 Πύλη NOR .....</b>	<b>80</b>
<b>4.7 Πύλη AND .....</b>	<b>80</b>
<b>4.8 Πύλη NAND.....</b>	<b>81</b>
<b>4.9 Πύλη XOR.....</b>	<b>81</b>
<b>4.10 Πύλη XNOR.....</b>	<b>82</b>
<b>4.11 Πύλη Half Adder .....</b>	<b>83</b>
<b>4.12 Πύλη Half Subtractor .....</b>	<b>84</b>

4.13 Full Adder & Full Subtractor .....	85
<b>5. ΕΝΙΣΧΥΤΕΣ .....</b>	<b>88</b>
5.1. Ενισχυτές με χρήση memristor.....	88
5.1.1. Αναστρέφων ενισχυτής με memristors .....	88
5.1.1.1. Αναστρέφων ενισχυτής με memristor στον βρόχο ανάδρασης .....	89
5.1.1.2. Αναστρέφων ενισχυτής με memristor στην αναστρέφουσα είσοδο.....	89
5.1.2. Μη αναστρέφων ενισχυτής με memristors .....	89
5.1.2.1. Μη αναστρέφων ενισχυτής με memristor στο βρόχο ανάδρασης.....	90
5.1.2.2. Μη αναστρέφων ενισχυτής με memristor στην αναστρέφουσα είσοδο .....	90
5.2. Προγραμματισμός memristor υψηλής ακρίβειας .....	91
5.2.1. Λειτουργία του κυκλώματος .....	92
5.2.2. Αποτελέσματα.....	95
5.3. Σύγκριση τριών Ενισχυτών με memristor .....	96
5.3.1. Ενισχυτής κοινής πηγής.....	96
5.3.2. Ενισχυτής κοινού απαγωγού.....	96
5.3.3. Διαφορικός ενισχυτής.....	97
5.3.4. Πειραματικά αποτελέσματα .....	97
5.4. Σύγκριση ενός ενισχυτή με ή χωρίς memristor.....	101
5.5. Αποτελέσματα προσομοίωσης.....	103
<b>ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ .....</b>	<b>112</b>
<b>ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ .....</b>	<b>114</b>
<b>ΠΑΡΑΡΤΗΜΑ .....</b>	<b>115</b>
<b>ΑΝΑΦΟΡΕΣ .....</b>	<b>122</b>

## ΚΑΤΑΛΟΓΟΣ ΕΙΚΟΝΩΝ

Εικόνα 1.1 Τα θεμελιώδη ηλεκτρικά στοιχεία (πηνίο, πυκνωτής, αντίσταση και memristor) και η συσχέτιση με τα τέσσερις θεμελιώδης ηλεκτρικές μεταβλητές ( τάση, ηλεκτρικό φορτίο, μαγνητική ροή και ηλεκτρικό ρεύμα). .....	21
Εικόνα 1.2 Διαγράμματα τάσης-ρεύματος για τα τέσσερα θεμελιώδη ηλεκτρικά στοιχεία. ....	22
Εικόνα 1.3 Διάγραμμα ρεύματος – τάσης του memristor για διαφορετικές συχνότητες τάσης εισόδου.....	23
Εικόνα 1.4 Μοντέλα memristor.....	25
Εικόνα 1.5 Τιτάνιο.....	25
Εικόνα 1.6 HP μοντέλο .....	26
Εικόνα 1.7 Αναπαράσταση των δύο περιοχών του memristor στις αντίστοιχες αντιστάσεις $R_{ON}$ και $R_{OFF}$ . .....	27
Εικόνα 1.8 Γραφικές για διαφορετικές τιμές της παραμέτρου $\rho$ στο μοντέλο του A.Joglekar.....	29
Εικόνα 1.9 Γραφικές για διαφορετικές τιμές της παραμέτρου $\rho$ στο μοντέλο του B. Biolek.....	30
Εικόνα 1.10 Γραφικές για διαφορετικές τιμές των παραμέτρων $\rho$ και $j$ στο μοντέλο του C. Prodromakis. ....	31
Εικόνα 1.11 Γραφικές για διαφορετικές τιμές της παραμέτρου $\rho$ στο μοντέλο Piecewise Linear. ....	32
Εικόνα 1.12 Γραφικές για διαφορετικές τιμές της παραμέτρου $\rho$ στο μοντέλο Nonlinear. ....	32
Εικόνα 1.13 Γραφικές για διαφορετικές τιμές της παραμέτρου $\rho$ στο μοντέλο Zha's. ....	33
Εικόνα 1.14 Γραφική παράσταση για το μοντέλο Benderli.....	33
Εικόνα 1.15 Γραφική παράσταση ρεύματος-τάσης για memristor για διαφορετικές τάσεις εισόδου.....	34
Εικόνα 1.16 Γραφική παράσταση ρεύματος-τάσης για memristor για διαφορετικές τάσεις εισόδου. ....	34

Εικόνα 1.17 Γραφικές παραστάσεις memristance (μνημοαντίστασης) - time (χρόνου) για τα μοντέλα συνάρτησης : Joglekar, Prodromakis, Biolek, piecewise linear, nonlinear και Zah's .....	35
Εικόνα 1.18 Αναπαράσταση του μοντέλου Simmons Tunnel Barrier.....	36
Εικόνα 1.19 Εφαρμογές του memristor σε υλοποιήσεις κυκλωμάτων με διακριτά στοιχεία ή με crossbar arrays, στον τομέα των ψηφιακών και στον αναλογικών ηλεκτρονικών κυκλωμάτων.....	38
Εικόνα 2.1 Πύλη OR.....	41
Εικόνα 2.2 Είσοδοι ίσες με λογικό «0».....	42
Εικόνα 2.3 Διαφορετικές Είσοδοι.....	42
Εικόνα 2.4 Είσοδοι ίσες με λογικό «1».....	43
Εικόνα 2.5 Πύλη AND.....	43
Εικόνα 2.6 Είσοδοι ίσες με λογικό «0».....	44
Εικόνα 2.7 Διαφορετικές Είσοδοι.....	44
Εικόνα 2.8 Είσοδοι ίσες με λογικό «1».....	45
Εικόνα 2.9 Πύλη NOR.....	45
Εικόνα 2.10 Είσοδοι ίσες με λογικό «0».....	46
Εικόνα 2.11 Διαφορετικές Είσοδοι.....	47
Εικόνα 2.12 Είσοδοι ίσες με λογικό «1».....	47
Εικόνα 2.13 Πύλη AND.....	48
Εικόνα 2.14 Είσοδοι ίσες με λογικό «0».....	48
Εικόνα 2.15 Διαφορετικές Είσοδοι.....	49
Εικόνα 2.16 Είσοδοι ίσες με λογικό «1».....	49
Εικόνα 2.17 Πύλη NOT.....	50
Εικόνα 2.18 Είσοδος ίση με λογικό «0».....	50
Εικόνα 2.19 Είσοδος ίση με λογικό «1».....	51
Εικόνα 2.20 Πύλη XOR.....	52
Εικόνα 2.21 Πύλη XNOR.....	53

Εικόνα 2.22 Απλοποιημένη πύλη XOR.....	54
Εικόνα 2.23 Απλοποιημένη πύλη XNOR.....	54
Εικόνα 2.24 Πύλη Half Adder. ....	55
Εικόνα 2.25 Πύλη Half Adder χωρίς την χρήση πρόσθετης AND.....	56
Εικόνα 2.26 Απλοποιημένη πύλη Half Adder. ....	56
Εικόνα 2.27 Πύλη Half Subtractor, έξοδος D. ....	57
Εικόνα 2.28 Απλοποιημένη πύλη Half Subtractor. ....	59
Εικόνα 2.29 Full Adder αποτελούμενος από μία magic XOR πύλη (S) και μία σύνθεση τριών magic AND και μίας magic OR ( $C_{OUT}$ ) .....	60
Εικόνα 2.30 Απλοποιημένος Full Adder. ....	61
Εικόνα 2.31 Full Subtractor αποτελούμενος από μία magic XOR πύλη (D) και μία σύνθεση αποτελούμενη από δύο magic NOT , τριών magic AND και μίας magic OR ( $B_{OUT}$ ).....	63
Εικόνα 2.32 Απλοποιημένος Full Subtractor. ....	64
Εικόνα 3.1 Πύλη OR.....	67
Εικόνα 3.2 Για μηδενική τάση και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις $R_{MEMRISTOR}$ των οποίων ο πρώτος ακροδέκτης (είσοδοι της πύλης) είναι γειωμένος ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.....	67
Εικόνα 3.3 Για τη μία από τις δύο εισόδους στο λογικό ένα και την άλλη στο λογικό μηδέν το ισοδύναμο κύκλωμα της πύλης είναι ένας διαιρέτης τάσης. Εφόσον $R_{OFF} \gg R_{ON}$ , η τιμή της εξόδου της πύλης είναι ίση με $V_{CC}$ δηλαδή λογικό «1».....	68
Εικόνα 3.4 Για λογικό «1» και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις $R_{MEMRISTOR}$ των οποίων ο πρώτος ακροδέκτης (είσοδοι της πύλης) είναι συνδεδεμένος με μία πηγή τάσης ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.....	68
Εικόνα 3.5 Πύλη AND.....	69
Εικόνα 3.6 Για μηδενική τάση και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις $R_{MEMRISTOR}$ των οποίων ο πρώτος ακροδέκτης	

(είσοδοι της πύλης) είναι γειωμένος ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.....	69
Εικόνα 3.7 Έξοδος AND πύλης για διαφορετικό ζεύγος εισόδων. Για αντίθετες τάσεις στις δύο εισόδους της πύλης, το ισοδύναμο κύκλωμα είναι ένας διαιρέτης τάσης. Εφόσον $R_{OFF} \gg R_{ON}$ , η τιμή της εξόδου της πύλης είναι ίση με μηδέν δηλαδή λογικό «0». ....	70
Εικόνα 3.8 Για λογικό «1» και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις $R_{MEMRISTOR}$ των οποίων ο πρώτος ακροδέκτης (είσοδοι της πύλης) είναι συνδεδεμένος με μία πηγή τάσης ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.....	70
Εικόνα 3.9 Πύλη NOT .....	71
Εικόνα 3.10 Πύλη NOR. ....	72
Εικόνα 3.11 Πύλη NAND. ....	72
Εικόνα 3.12 Πύλη XOR.....	73
Εικόνα 3.13 Πύλη XNOR. ....	74
Εικόνα 3.14 Πύλη Half Adder. ....	75
Εικόνα 3.15 Πύλη Half Subtractor.....	75
Εικόνα 3.16 Full Adder με την βοήθεια half adder. ....	76
Εικόνα 3.17 Πύλη Full Adder. ....	76
Εικόνα 3.18 Πύλη Full Subtractor.....	77
Εικόνα 4.1 Παράδειγμα.....	78
Εικόνα 5.1 Αναστρέφων ενισχυτής με memristors.....	88
Εικόνα 5.2 Αναστρέφων ενισχυτής με memristor στο βρόχο ανάδρασης. ....	89
Εικόνα 5.3 Αναστρέφων ενισχυτής με memristor στην αναστρέφουσα είσοδο του τελεστικού. ....	89
Εικόνα 5.4 Μη αναστρέφων ενισχυτής με memristors. ....	90
Εικόνα 5.5 Μη αναστρέφων ενισχυτής με memristors στο βρόχο ανάδρασης.....	90
Εικόνα 5.6 Μη αναστρέφων ενισχυτής με memristors στην αναστρέφουσα είσοδο του τελεστικού. ....	90

Εικόνα 5.7 Προτεινόμενο κύκλωμα προγραμματισμού Memristor με υψηλή ακρίβεια και με πηγή τάσης AC ( $V_{READ} * \cos(2\pi F_{READ} * t)$ ) .....	92
Εικόνα 5.8 Προγραμματισμός της τιμής $M(t_S)$ του memristor για έναν προγραμματιστικό κύκλο λειτουργίας του κυκλώματος της εικόνας 5.6.Η $V_{IN}$ εφαρμόζεται στο $t_0$ και ο προγραμματισμός σταματά στο $t_S$ .....	93
Εικόνα 5.9 Αποτελέσματα της μνημοαντίστασης μετά τον προγραμματισμό.....	95
Εικόνα 5.10 Κύκλωμα ενισχυτή κοινής πηγής με memristors. ....	96
Εικόνα 5.11 Κύκλωμα ενισχυτή κοινού απαγωγού (ακόλουθος πηγής) με memristors. 97	97
Εικόνα 5.12 Κύκλωμα διαφορικού ενισχυτή με memristor. ....	97
Εικόνα 5.13 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινής πηγής για διάφορες τιμές του memristor $M_D$ . ....	98
Εικόνα 5.14 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινής πηγής για διαφορετικές αρχιτεκτονικές με τιμή memristor $M_D=1.72k\Omega$ .....	98
Εικόνα 5.15 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινού επαγωγού για διάφορες τιμές του memristor $M_S$ .....	99
Εικόνα 5.16 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινού επαγωγού για διαφορετικές αρχιτεκτονικές με τιμή memristor $M_S=1.72k\Omega$ .....	99
Εικόνα 5.17 Γραφική παράσταση κέρδους τάσης του διαφορικού ενισχυτή για διάφορες τιμές του memristor $M_{SS}$ .....	100
Εικόνα 5.18 Γραφική παράσταση κέρδους τάσης του διαφορικού ενισχυτή για διαφορετικές αρχιτεκτονικές με τιμή memristor $M_{SS}=1.72k\Omega$ .....	100
Εικόνα 5.19 Γραφική παράσταση της εξάρτησης της αντίστασης εξόδου σε σύγκριση με την τιμή της αντίσταση των memristors (memristance) για κάθε έναν από τους τρείς ενισχυτές. .....	100
Εικόνα 5.20 Διαφορικός ενισχυτής χωρίς memristors.....	105
Εικόνα 5.21 Διαφορικός ενισχυτής με memristors. ....	105
Εικόνα 5.22 Γραφική παράσταση της τάσης εξόδου $V_{OUT}$ σε σχέση με το ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή χωρίς memristors. ....	106
Εικόνα 5.23 Γραφική παράσταση της τάσης εξόδου $V_{OUT}$ σε σχέση με το ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή με memristors.....	106

Εικόνα 5.24 Γραφική παράσταση της τάσης εξόδου $V_{OUT}$ σε σχέση με το ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή χωρίς memristors για διαφορετικές παραμέτρους.	106
Εικόνα 5.25 Γραφική παράσταση της τάσης εξόδου $V_{OUT}$ σε σχέση με το ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή με memristors για διαφορετικές παραμέτρους.....	106
Εικόνα 5.26 Γραφική παράσταση του κέρδους του ενισχυτή για διαφορετικές θερμοκρασίες. Κύκλωμα διαφορικού ενισχυτή χωρίς memristors.....	107
Εικόνα 5.27 Γραφική παράσταση του κέρδους του ενισχυτή για διαφορετικές θερμοκρασίες. Κύκλωμα διαφορικού ενισχυτή με memristors. ....	107
Εικόνα 5.28 Γραφική παράσταση του κέρδους του ενισχυτή για διαφορετικές θερμοκρασίες. Κύκλωμα διαφορικού ενισχυτή χωρίς memristors για διαφορετικές παραμέτρους.....	107
Εικόνα 5.29 Γραφική παράσταση του κέρδους του ενισχυτή για διαφορετικές θερμοκρασίες. Κύκλωμα διαφορικού ενισχυτή με memristors για διαφορετικές παραμέτρους.....	107
Εικόνα 5.30 Γραφική παράσταση της απόκρισης της συχνότητας. Κύκλωμα διαφορικού ενισχυτή χωρίς memristors.....	108
Εικόνα 5.31 Γραφική παράσταση της απόκρισης της συχνότητας. Κύκλωμα διαφορικού ενισχυτή με memristors.....	108
Εικόνα 5.32 Γραφική παράσταση της απόκρισης της συχνότητας. Κύκλωμα διαφορικού ενισχυτή χωρίς memristors για διαφορετικές παραμέτρους.....	108
Εικόνα 5.33 Γραφική παράσταση της απόκρισης της συχνότητας. Κύκλωμα διαφορικού ενισχυτή με memristors για διαφορετικές παραμέτρους. ....	108
Εικόνα 5.34 Γραφική παράσταση THD για ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή χωρίς memristors.....	109
Εικόνα 5.35 Γραφική παράσταση THD για ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή με memristors.....	109
Εικόνα 5.36 Γραφική παράσταση THD για ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή χωρίς memristors για διαφορετικές παραμέτρους.....	109
Εικόνα 5.37 Γραφική παράσταση THD για ρεύμα εισόδου $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή με memristors για διαφορετικές παραμέτρους. ....	109

## **ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ**

Πίνακας 2.1 Προγραμματισμός των memristors εισόδου.....	39
Πίνακας 2.2 Προγραμματισμός του memristor εξόδου.....	40
Πίνακας 2.3 Αποτέλεσμα του memristor εξόδου.....	40
Πίνακας 2.4 Πύλη OR.....	41
Πίνακας 2.5 Πύλη AND.....	43
Πίνακας 2.6 Πύλη NOR.....	45
Πίνακας 2.7 Πύλη AND.....	48
Πίνακας 2.8 Πύλη NOT.....	50
Πίνακας 2.9 Πύλη XOR.....	52
Πίνακας 2.10 Πύλη XNOR.....	53
Πίνακας 2.11 Πύλη Half Adder.....	55
Πίνακας 2.12 Πύλη Half Subtractor, έξοδος D.....	58
Πίνακας 2.13 Πύλη Half Subtractor, έξοδος $B_{OUT}$ .....	58
Πίνακας 2.14 Full Adder, έξοδος XOR (S).....	62
Πίνακας 2.15 Full Adder, έξοδος OR ( $C_{OUT}$ ) .....	62
Πίνακας 2.16 Full Subtractor, έξοδος XOR (D).....	65
Πίνακας 2.17 Full Subtractor, έξοδος NOR ( $B_{OUT}$ ).....	65
Πίνακας 3.1 Τιμή της αντίστασης του memristor ανάλογα με τη φορά του ρεύματος.....	66
Πίνακας 3.2 Πίνακας αληθείας OR.....	67
Πίνακας 3.3 Πίνακας αληθείας AND .....	69
Πίνακας 3.4 Πίνακας αληθείας NOT.....	71
Πίνακας 3.5 Πίνακας αληθείας NOR.....	72
Πίνακας 3.6 Πίνακας αληθείας NAND.....	72
Πίνακας 3.7 Πίνακας αληθείας XOR.....	73
Πίνακας 3.8 Πίνακας αληθείας XNOR.....	74
Πίνακας 3.9 Πίνακας αληθείας Half Adder.....	75

Πίνακας 3.10 Πίνακας αληθείας Half Subtractor.....	75
Πίνακας 3.11 Πίνακας αληθείας Full Adder.....	76
Πίνακας 3.12 Πίνακας αληθείας Full Subtractor.....	77
Πίνακας 4.2 Βασικές λογικές συναρτήσεων σε λογική imply.....	78
Πίνακας 4.1 Ρ imply Ζ.....	78
Πίνακας 4.3 Στάδια υλοποίησης πύλης Buffer.....	79
Πίνακας 4.4 Πύλη Buffer.....	79
Πίνακας 0.1 Στάδια υλοποίησης πύλης NOT.....	79
Πίνακας 0.2 Πύλη NOT.....	79
Πίνακας 0.3 Στάδια υλοποίησης πύλης OR.....	79
Πίνακας 0.4 Πύλη OR.....	79
Πίνακας 0.5 Στάδια υλοποίησης πύλης NOR.....	80
Πίνακας 0.6 Πύλη NOR.....	80
Πίνακας 0.7 Στάδια υλοποίησης πύλης AND.....	80
Πίνακας 0.8 Πύλη AND.....	80
Πίνακας 0.9 Στάδια υλοποίησης πύλης NAND.....	81
Πίνακας 0.10 Πύλη NAND.....	81
Πίνακας 0.1 Στάδια υλοποίησης πύλης XOR.....	81
Πίνακας 0.2 Πύλη XOR.....	82
Πίνακας 0.3 Στάδια υλοποίησης πύλης XNOR.....	82
Πίνακας 0.4 Πύλη XNOR.....	82
Πίνακας 0.5 Στάδια υλοποίησης πύλης Half Adder.....	83
Πίνακας 0.6 Πύλη Half Adder.....	83
Πίνακας 0.1 Στάδια υλοποίησης πύλης Half Subtractor.....	84
Πίνακας 0.2 Πύλη Half Subtractor.....	84
Πίνακας 0.3 Πύλη Full Adder.....	85
Πίνακας 0.4 Πύλη Full Subtractor.....	85

Πίνακας 0.5 Στάδια υλοποίησης πύλης Full Adder .....	86
Πίνακας 0.6 Στάδια υλοποίησης πύλης Full Subtractor .....	87
Πίνακας 5.1 Τιμές των μεταβλητών .....	94
Πίνακας 5.2 Οι διαστάσεις των τρανζίστορς .....	103
Πίνακας 5.3: Οι καινούργιες διαστάσεις των τρανζίστορς .....	104
Πίνακας 5.4 Συγκεντρωτικός πίνακας για τις τέσσερις περιπτώσεις .....	110
Πίνακας 5.5 Συγκεντρωτικός πίνακας επί τις εκατό (%) για τις τέσσερις περιπτώσεις.	111

## **ΠΡΟΛΟΓΟΣ**

Η συνεχής ανάπτυξη της τεχνολογίας οφείλεται στην προσπάθεια των ερευνητών να λύσουν άλιτα μυστήρια του παρελθόντος όπως αυτό των ιδιαίτερων συμπεριφορών των υλικών που χρησιμοποιούνται στις ηλεκτρονικές δομές. Ένας από τους ερευνητές που ανακάλυψαν μια από αυτές τις συμπεριφορές μέσω μίας αρχικής παρατήρησης ήταν ο Leon Chua. Το αποτέλεσμα της έρευνας του ήταν η δημιουργία του memristor. Η σημαντικότητα του οφείλεται στην ικανότητα των ηλεκτρικών κυκλωμάτων να μπορούν να διατηρούν τα δεδομένα της προηγούμενης λειτουργίας τους σε περίπτωση διακοπής της παροχής ρεύματος, φαινόμενο το οποίο δεν παρατηρείται σε άλλα κυκλώματα με άλλα ηλεκτρικά στοιχεία όπως ο πυκνωτής, το πηνίο και η αντίσταση. Η έρευνα για περαιτέρω εφαρμογή των memristor υπέδειξε πολλά πλεονεκτήματα, όπως η μείωση των διαστάσεων των συσκευών, η μείωση της κατανάλωσης ενέργειας και σε ορισμένες περιπτώσεις η βελτίωση των επιδόσεων τους. Συγχρόνως, η ανάγκη για πιο πυκνές δομές κυκλωμάτων με όσο το δυνατόν μικρότερο όγκο των συσκευών καθιστά τη συνέχιση της έρευνας των memristor πιο επιτακτική για τη γρηγορότερη παραγωγή και προώθηση τους στην αγορά.

# 1. MEMRISTORS

## 1.1 Εισαγωγή

Η θεωρία του memristor διατυπώθηκε για πρώτη φορά το 1971 από τον καθηγητή Leon O.Chua του Πανεπιστημίου Berkley της Καλιφόρνια στο δημοσιευμένο άρθρο του "Memristor - the missing circuit element" [1] στο Ινστιτούτο Ηλεκτρολόγων και Ηλεκτρονικών Μηχανικών (IEEE) [2]. Ο Leon O.Chua είναι ιδιαίτερα γνωστός στην επιστημονική κοινότητα λόγω της επινόησης του memristor (1971) [3],[4], του κυκλώματος Chua (1983), των κυψελωτών νευρωνικών δικτύων (1988), καθώς και της μελέτης πληθώρας μη γραμμικών φαινομένων σε κυκλώματα. Αναγνωρίζεται από πολλούς ως ο «πατέρας» της θεωρίας των μη γραμμικών κυκλωμάτων, καθώς το κύκλωμα Chua ήταν το πρώτο και απλούστερο κατασκευασμένο κύκλωμα που παρουσιάζει χαοτική συμπεριφορά [5].

Η θεωρία του ηλεκτρικού κυκλώματος, έως την αρχή της δεκαετίας του '70, βασίζονταν σε τρία στοιχειώδη ηλεκτρικά στοιχεία, την αντίσταση ( $R$ ) (1827), τον πυκνωτή ( $C$ ) (1745) και το πηνίο ( $L$ ) (1831). Η εργασία του Chua απέδειξε με μαθηματικό τρόπο ότι το memristor είναι το τέταρτο στοιχειώδες ηλεκτρικό στοιχείο.

Οι ιδιότητες κάθε παθητικού ηλεκτρικού κυκλώματος βασίζονται σε τέσσερις ηλεκτρικές μεταβλητές, την τάση ( $v$ ), το ηλεκτρικό φορτίο ( $q$ ), το ηλεκτρικό ρεύμα ( $i$ ) και τη μαγνητική ροή ( $\phi$ ). Κάθε ένα από αυτά τα ηλεκτρικά κυκλώματα είναι συνάρτηση δύο εκ των τεσσάρων ηλεκτρομαγνητικών μεταβλητών. Η αντίσταση είναι συνάρτηση της τάσης και του ηλεκτρικού ρεύματος ( $R(i) = dv / di$ ), ο πυκνωτής είναι συνάρτηση του ηλεκτρικού φορτίου και της τάσης ( $C(v) = dq / dv$ ) και το πηνίο είναι συνάρτηση της μαγνητικής ροής και του ηλεκτρικού ρεύματος ( $L(i) = d\phi / di$ ) [6]. Ο καθηγητής Chua παρατήρησε την ελλιπή έως τότε συσχέτιση του ηλεκτρικού φορτίου και της μαγνητικής ροής και εισήγαγε το νέο ηλεκτρικό στοιχείο, το memristor ( $M(q) = d\phi / dq$ ).



**Εικόνα 1.1 Τα θεμελιώδη ηλεκτρικά στοιχεία (πηνίο, πυκνωτής, αντίσταση και memristor) και η συσχέτιση με τα τέσσερις θεμελιώδης ηλεκτρικές μεταβλητές (τάση, ηλεκτρικό φορτίο, μαγνητική ροή και ηλεκτρικό ρεύμα).**

Διαφορίζοντας τη σχέση  $M(q) = \frac{d\varphi}{dq}$  ως προς  $dt$  ( $t$ =χρονική στιγμή) η εξίσωση έχει ως εξής:

$$d\varphi = M(q) dq \rightarrow \frac{d\varphi}{dt} = M(q) \frac{dq}{dt} \quad \text{επειδή } i = \frac{dq}{dt} \text{ και } v = \frac{d\varphi}{dt} \rightarrow v(t) = M(q) \cdot i(t) \quad (1.1)$$

$$d\varphi = M(q) dq \rightarrow dq = \frac{1}{M(q)} d\varphi \rightarrow \frac{dq}{dt} = W(\varphi) \frac{d\varphi}{dt} \rightarrow i(t) = W(\varphi) \cdot v(t) \quad (1.2)$$

Η εξίσωση 1.1. είναι γνωστή ως memristor ελεγχόμενο από το ρεύμα, δηλαδή από το φορτίο γιατί το φορτίο λειτουργεί ως ανεξάρτητη μεταβλητή και η εξίσωση 1.2 είναι γνωστή ως memristor ελεγχόμενο από την τάση, δηλαδή από τη ροή γιατί η μαγνητική ροή λειτουργεί ως ανεξάρτητη μεταβλητή. Ο συντελεστής  $M(q)$  στην 1.1 ονομάζεται memristance και έχει μονάδα μέτρησης τα Ohm ( $\Omega$ ), ενώ ο συντελεστής  $W(\varphi)$  στην 1.2 ονομάζεται memductance και έχει μονάδα μέτρησης τα Siemens ( $S$ ).

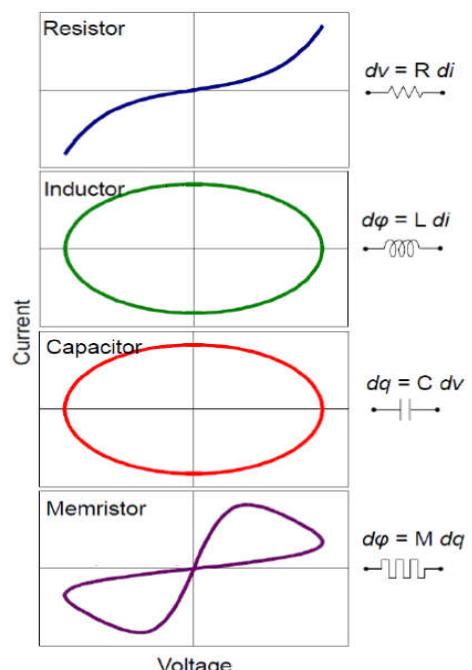
Παρατηρούμε ότι εάν η σχέση μεταξύ του φορτίου και της μαγνητικής ροής είναι γραμμική  $\varphi = \alpha q + \beta$ , όπου  $\alpha, \beta \in R$ , η τιμή της  $M(q)$  θα είναι σταθερή [ $M(q) = \alpha$ ] και θα ταυτίζεται με την αντίσταση  $R$ . Εάν όμως η σχέση μεταξύ του φορτίου και της μαγνητικής ροής είναι μη γραμμική τότε έχουμε την περίπτωση της memristance με διαφορετικές ιδιότητες.

Το 1976 ο καθηγητής Chua και ο καθηγητής Kang γενίκευσαν την θεωρία του memristor στη θεωρία των memristive systems για τη μοντελοποίηση μεγαλύτερου εύρους μη γραμμικών δυναμικών συστημάτων. Οι δύο παραπάνω εξισώσεις 1.1 και 1.2 μπορούν να γενικευθούν για όλες μεταξύ των τεσσάρων αρχικών μεταβλητών ως εξής:

$$y(t) = g(x, u, t) \quad u(t)$$

όπου  $y(t)$  και  $u(t)$  είναι οποιεσδήποτε δύο από τις ηλεκτρικές μεταβλητές (φορτίο, ρεύμα, τάση και μαγνητική ροή),  $x$  είναι μια μεταβλητή που εκφράζει την εσωτερική κατάσταση του υλικού και  $g$  είναι μια συνάρτηση των μεταβλητών  $x, u, t$ .

Από παλαιότερες παρατηρήσεις ερευνητών είχε εντοπιστεί ότι κάποιες ιδιότητες των υλικών που χρησιμοποιούνταν επηρέαζαν τα αποτελέσματα των συστημάτων αλλά δεν μπορούσαν να προσδιορίσουν την αιτία. Το 2008 έγινε αντιληπτό από την ερευνητική ομάδα της HP ένα από τα βασικά χαρακτηριστικά των memristor, η ύπαρξη του βρόχου υστέρησης,. Σήμερα, οποιοδήποτε ηλεκτρικό κύκλωμα παρουσιάζει βρόχο υστέρησης μπορεί να χαρακτηριστεί ως memristor. Σε ένα ηλεκτρικό κύκλωμα το ενδεχόμενο αποτέλεσμα μπορεί να διαφέρει από το πραγματικό. Σε αυτές τις περιπτώσεις στις οποίες κάποιος δεν μπορεί να προβλέψει σωστά την έξοδο ενός συστήματος σε συγκεκριμένη χρονική στιγμή με βάση την εφαρμοζόμενη είσοδο, το σύστημα χαρακτηρίζεται από "υστέρηση".



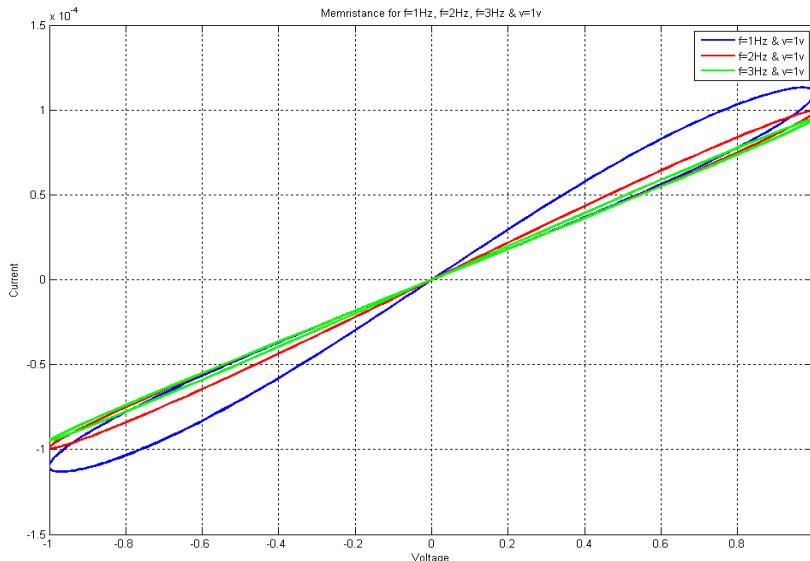
Εικόνα 1.2 Διαγράμματα τάσης-ρεύματος για τα τέσσερα θεμελιώδη ηλεκτρικά στοιχεία.

Προκειμένου να προβλέψουμε την έξοδο ενός συστήματος με υστέρηση πρέπει να γνωρίζουμε την ιστορία της εισόδου του, δηλαδή την κατάσταση του συστήματος για δεδομένη είσοδο.

Στην παραπάνω εικόνα παραθέτουμε τα διαγράμματα ρεύματος – τάσης των τεσσάρων θεμελιωδών ηλεκτρικών στοιχείων.

- Το πρώτο διάγραμμα ρεύματος – τάσης αναπαριστά μία καμπύλη, η κλίση της οποίας μας δίνει την τιμή της αντίστασης.
- Το δεύτερο και τρίτο διάγραμμα ρεύματος – τάσης αναπαριστούν μια έλλειψη, η κλίση/παράγωγος της οποίας μας δίνει αντίστοιχα την τιμή του πηνίου στο δεύτερο διάγραμμα και την τιμή του πυκνωτή στο τρίτο διάγραμμα.
- Το τελευταίο διάγραμμα ρεύματος – τάσης εμφανίζει το βρόχο υστέρησης του memristor. Η κλίση της καμπύλης μας δίνει την τιμή της memristance η αλλιώς μνημοαντίστασης. **Παρατηρούμε ότι η τιμή της είναι μεταβαλλόμενη και μη γραμμική.**

Παρακάτω παρουσιάζουμε το διάγραμμα ρεύματος – τάσης για διαφορετικές συχνότητες. Όπως παρατηρούμε, όσο πιο μεγάλη η συχνότητα τόσο η γραφική παράσταση τείνει να γίνει γραμμική και να συμπέσει με την αντίσταση. Συνεπώς, είναι σημαντικό να τονίσουμε ότι ο βρόχος υστέρησης εξαρτάται από τη συχνότητα και μπορεί να εμφανιστεί μόνο σε χαμηλές συχνότητες. Ο λόγος είναι ότι σε υψηλές συχνότητες η memristance δεν "προλαβαίνει" να προσαρμοστεί στις νέες συνθήκες ρεύματος-τάσης και παραμένει στην ίδια τιμή, ενώ σε χαμηλές συχνότητες η memristance "προλαβαίνει" να προσαρμοστεί στις νέες συνθήκες ρεύματος-τάσης και αλλάζει την τιμή της βασιζόμενη στην προηγούμενη κατάστασή της.



**Εικόνα 1.3 Διάγραμμα ρεύματος – τάσης του memristor για διαφορετικές συχνότητες τάσης εισόδου.**

Μία λοιπόν από τις ιδιότητες του memristor είναι η εμφάνιση του βρόχου υστέρησης. Άλλη μία ιδιότητα του memristor είναι ότι λειτουργεί ως στοιχείο μνήμης. Ο ορισμός ενός συστήματος με ή χωρίς μνήμη είναι ο εξής:

**Ένα σύστημα δεν έχει μνήμη, αν η απόκριση του σε κάθε χρονική στιγμή και για κάθε διέγερση εξαρτάται μόνο από τη στιγμιαία τιμή της διέγερσης. Αντίθετα, αν η στιγμιαία τιμή της απόκρισης για την χρονική στιγμή  $t$  εξαρτάται και από προηγούμενες τιμές της διέγερσης, το σύστημα λέμε ότι έχει μνήμη [7].**

Αν ολοκληρώσουμε τις εξισώσεις 1.1 και 1.2 ως προς το χρόνο θα έχουμε:

$$v(t) = M \left( \int_{-\infty}^t i(t') dt' \cdot i(t) \right) \quad 1.1.1$$

$$i(t) = W \left( \int_{-\infty}^t v(t') dt' \cdot v(t) \right) \quad 1.2.1$$

Από τις εξισώσεις 1.1.1 και 1.2.1 φαίνεται ότι οι συναρτήσεις  $M$  και  $W$  καθορίζονται από ιστορικές τιμές των αντίστοιχων μεταβλητών του ρεύματος και της τάσης.

Για το λόγο αυτό μπορούμε να πούμε ότι το memristor έχει μη πτητική μνήμη που σημαίνει ότι δε χάνει τα δεδομένα του σε περίπτωση διακοπής της τροφοδοσίας του συστήματος (π.χ. διακοπή της τάσης). Αυτή η ανακάλυψη έφερε επανάσταση σε πολλά επιστημονικά πεδία καθώς πολλά φαινόμενα σε συστήματα όπως στα θερμίστορ των οποίων η εσωτερική κατάσταση εξαρτάται από τη θερμοκρασία, στις συσκευές spintronic των οποίων η αντίσταση ποικίλει σε σχέση με την πολικότητα τους και στα μόρια των οποίων η αντίσταση μεταβάλλεται σε σχέση με τον ατομικό τους σχηματισμό μπορούσαν τώρα να εξηγηθούν με την χρήση των memristors. Επιπλέον ηλεκτρονικά κυκλώματα με στοιχεία μνήμης μπορούσαν να προσομοιώσουν διαδικασίες βιολογικών συστημάτων όπως απομνημόνευση μαθητικής διαδικασίας και διαδικασίας συσχετισμού δεδομένων. Η μνημαντίσταση διαμορφώνεται στο χρόνο εφόσον το ρεύμα διαπερνά την συσκευή. Εάν σταματήσουμε να προμηθεύουμε με ρεύμα τη συσκευή η τιμή της μνημαντίστασης θα παραμείνει σταθερή στην τελευταία τιμή που είχε λάβει τη χρονική στιγμή πριν τη διακοπή του ρεύματος. Όταν επαναφέρουμε την τροφοδοσία στην συσκευή, αυτή «θυμάται» την τελευταία τιμή που είχε λάβει (δηλαδή δεν μηδενίζεται).

Ακόμη μία ιδιότητα του memristor είναι η παθητικότητα. Ο ορισμός της είναι ο ακόλουθος:

**Ένα ηλεκτρικό σύστημα λέγεται παθητικό όταν δεν μπορεί να παράγει ή να ενισχύσει ισχύ δηλαδή όταν η ενέργεια που αποδίδει στην έξοδο δεν μπορεί να υπερβεί αυτή που παίρνει από την διέγερση. Στα παθητικά συστήματα, μπορεί η τάση στην έξοδο να είναι μεγαλύτερη αυτής της εισόδου, αλλά με τέτοιο ρεύμα που η ισχύς στην έξοδο να παραμένει το πολύ ίση με αυτή της εισόδου. Τα ηλεκτρικά συστήματα που μπορούν και ενισχύουν την ισχύ της διέγερσης παίρνοντας όμως την παραπανίστα ισχύ από κάποια πηγή ονομάζονται ενεργά. Στα ενεργά συστήματα είναι χαρακτηριστική η ύπαρξη κάποιας πηγής συνήθως υπό μορφή πολώσεως κάποιων στοιχείων.**

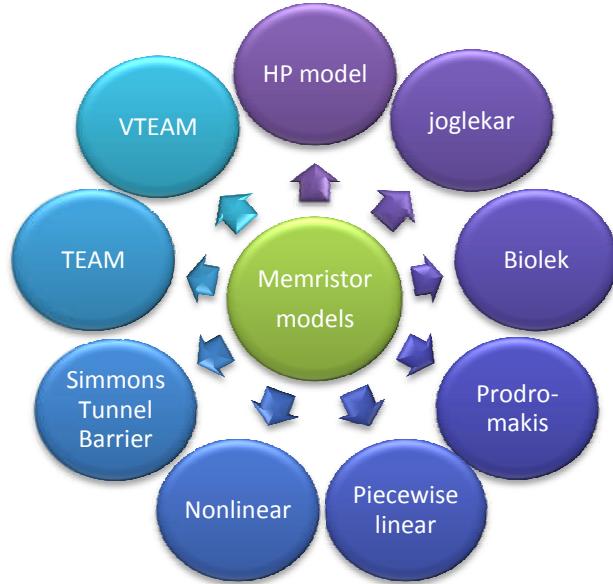
Επειδή όταν η τάση  $v(t)$  είναι μηδέν, μηδενίζεται και το ηλεκτρικό ρεύμα  $i(t)$  που διέρχεται από το σύστημα, δηλαδή η καμπύλη I-V περνά από την αρχή των αξόνων, το memristor δεν αποθηκεύει ενέργεια και για αυτόν το λόγο είναι παθητικό ηλεκτρικό στοιχείο.

Οι ιδιότητες του memristor και γενικά των memristive systems μπορούν να παρατηρηθούν μόνο σε αυτά τα συστήματα και είναι διαφορετικές από τα άλλα στοιχειώδη ηλεκτρικά στοιχεία. Οι ιδιότητες τους είναι οι εξής:

1. Βρόχος υστέρησης [8]
2. Μη πτητική μνήμη [9]
3. Παθητικότητα

## 1.2 Μοντέλα memristor

Στο παρακάτω σχήμα αναφέρονται κάποια μοντέλα προσομοίωσης της φυσικής υπόστασης του memristor. Στη συνέχεια αναλύονται κάποια βασικά μοντέλα [6], τα χαρακτηριστικά τους και τα διαγράμματα των προσομοιώσεων για την εξαγωγή συμπερασμάτων.



Εικόνα 1.4 Μοντέλα memristor.

### 1.1.1 Μοντέλο HP

Το memristor δημιουργήθηκε πρώτη φορά από τους ερευνητές της Hewlett-Packard στο εργαστήριο τους το 2010. Δημιουργήθηκε από δύο στρώματα διοξειδίου του τιτανίου τα οποία τοποθετήθηκαν μεταξύ δύο ηλεκτροδίων από πλατίνα.

Το τιτάνιο ανακαλύφτηκε το 1791 από τον Ουίλιαμ Γκρέγκορ [10],[11]. Το χημικό στοιχείο τιτάνιο ( $Ti$ ) είναι πολύ ανθεκτικό, αργυρόλευκο, όλκιμο μέταλλο με μικρή πυκνότητα. Έχει θερμοκρασία τήξης  $1.668^{\circ}C$  και θερμοκρασία βρασμού  $3.287^{\circ}C$ . Το τιτάνιο είναι το  $9^{\circ}$  πιο άφθονο στοιχείο και αποτελεί περίπου το  $0.6\% w/w$  του στερεού φλοιού της Γης. Βρίσκεται σχεδόν σε όλα τα έμβια όντα, τα πετρώματα, τα υδατικά συστήματα και τα εδάφη. Το τιτάνιο ( $Ti$ ) δε βρίσκεται με τη μεταλλική του μορφή (ελεύθερο) στη φύση αλλά πάντα συνδεδεμένο με άλλα στοιχεία και γι' αυτό είναι απαραίτητο να εξαχθεί από τα ορυκτά του. Εμφανίζεται στη φύση πάντα ενωμένο στα ορυκτά που υπάρχει συνήθως οξυγόνο αλλά και αλκαλιμέταλλα, μέταλλα αλκαλικών γαιών, σίδηρος, μαγγάνιο, χαλκός πυρίτιο κ.α.. Το καθαρό μέταλλο είναι ελαφρύ και έχει εξαιρετική δύναμη και αντοχή στη διάβρωση. Έχει παραπλήσια χημική συμπεριφορά με το πυρίτιο και το ζιρκόνιο [12].



Εικόνα 1.5 Τιτάνιο.

Το διοξείδιο του τιτανίου είναι ένα ημιαγώγιμο υλικό με “έμμεσο” ενεργειακό χάσμα, το οποίο έχει έντεκα (11) συνολικά πολυμορφισμούς. Οι τρεις πιο συνήθεις που συναντώνται στη φύση είναι το ρουτίλιο (rutile), ο ανατάσης (anatase) και ο μπρουκίτης (brookite).

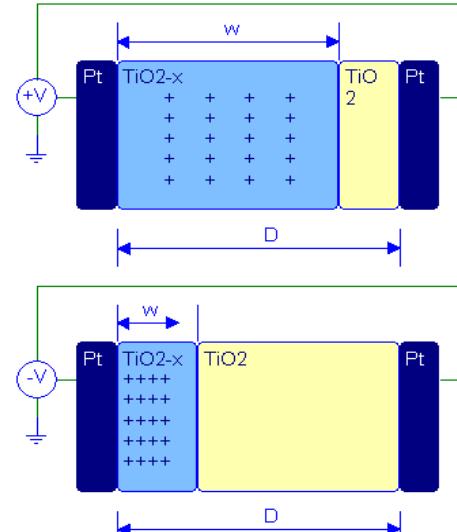
Το ρουτίλιο είναι ο πιο συνήθης και γνωστός πολυμορφισμός, ενώ ο ανατάσης είναι ο πιο σπάνιος. Σε θερμοκρασία  $900^{\circ}\text{C}$  ο ανατάσης αρχίζει να μεταπίπτει σε ρουτίλιο, ίδια μετάπτωση συμβαίνει στον μπρουκίτη στους  $750^{\circ}\text{C}$ .

Οι κρύσταλλοι του ρουτίλιου και του μπρουκίτη μοιράζονται αρκετές ιδιότητες όπως το χρώμα, την πυκνότητα και τη σκληρότητα. Αν και έχουν διαφορετική δομή, έχουν την ίδια συμμετρία.

Το  $\text{TiO}_2$  χρησιμοποιείται σε πολλές βιομηχανικές εφαρμογές γιατί:

- Είναι αδρανές.
- Δεν είναι τοξικό.
- Είναι ανθεκτικό σε διάβρωση (χημική σταθερότητα).
- Ημιαγωγός ή τύπου με ενεργειακό χάσμα  $\sim 3,23 \text{ eV}$ .
- Είναι φιλικό στο περιβάλλον και στον άνθρωπο.
- Παραμένει σταθερό κάτω από υψηλές συνθήκες πίεσης.
- Έχει παραπλήσια χημική συμπεριφορά με το πυρίτιο και το ζιρκόνιο.
- Υπάρχουν αρκετά αποθέματα οπότε δεν τίθεται θέμα εξάντλησης για πολλά ακόμη χρόνια.
- Η παρασκευή τους είναι εύκολη και χαμηλού κόστους. Καθώς επίσης απαιτεί λιγότερη μετέπειτα επεξεργασία.
- Παρουσιάζει υψηλή ικανότητα διάθλασης του φωτός, για αυτό το λόγο χρησιμοποιείται ως αντι-ανακλαστική επίστρωση σε ηλιακά κελιά (φωτοβολταικά συστήματα) πυριτίου και σε άλλες οπτικές συσκευές.

Στα υμένια με πολύ μικρά πάχη ( $<10 \text{ nm}$ ) εμφανίζονται μεγάλες αλλαγές στις ιδιότητές τους. Η συμπεριφορά αυτή οφείλεται και στο γεγονός ότι η μέση ελεύθερη διαδρομή των ηλεκτρονίων είναι πλέον συγκρίσιμη με το συνολικό πάχος του φιλμ. Γενικά τα νέφη των ηλεκτρονίων και των οπών σε μια νανοδομή τείνουν να είναι πιο εντοπισμένα και τείνουν να σχηματίζονται διακριτές ενεργειακές καταστάσεις στις ζώνες σθένους και αγωγιμότητας. Οι οπτικές ιδιότητες των υμενίων μεταβάλλονται επίσης όσο μικράνουν οι διαστάσεις. Μάλιστα οι μεταβολές στο χρώμα είναι τόσο ευαίσθητες ως προς το πάχος των υμενίων όπου συχνά μπορεί να γίνει εκτίμηση του πάχους ενός υμενίου από το χρώμα του.



Εικόνα 1.6 HP μοντέλο

Η ερευνητική ομάδα της HP κατάφερε να υλοποιήσει μια διάταξη memristor [13],[6] (σε υλοποίηση crossbar), η οποία αποτελούταν από ένα λεπτό στρώμα διοξειδίου του τιτανίου πάχους  $D$  εκατέρωθεν του οπίου βρίσκονταν δύο μεταλλικές επαφές από πλατίνα (Pt). Το συνολικό μέγεθος της συσκευής ήταν πολύ μικρό, μετρημένο σε μερικά νανόμετρα ( $\approx 10\text{nm}$ ).

Το στρώμα τιτανίου αποτελούταν από δύο στρώματα (Εικόνα 1.6), το μεν πρώτο αποτελούταν από  $\text{TiO}_{2-x}$  (περιοχή πλάτους  $w$ ) και το δε δεύτερο από διοξείδιο του τιτανίου  $\text{TiO}_2$  (περιοχή πλάτους  $D-w$ ).

Η ένωση  $TiO_{2-x}$  λόγω του γεγονότος ότι έχουν αφαιρεθεί άτομα οξυγόνου με συνέπεια την εμφάνιση θετικά φορτισμένων ιόντων παρουσιάζει αγώγιμη συμπεριφορά και ονομάζεται ντοπαρισμένη περιοχή, ενώ η ένωση  $TiO_2$  παρουσιάζει μεγάλη αντίσταση και λειτουργεί ως μονωτής.

Τα δύο προαναφερθέντα στρώματα τιτανίου δεν είναι διακριτά χωρισμένα καθώς σε αυτήν τη δομή είναι δυνατή η μετακίνηση των ιόντων οξυγόνου με την εφαρμογή κατάλληλης τάσης και καταλήγει σε μια δυναμική αλλαγή του πάχους της ντοπαρισμένης περιοχής  $w$  (Εικόνα 1.6). Το μοντέλο αυτό ονομάστηκε «μοντέλο κινητού τείχους» επειδή μεταξύ των δύο περιοχών υπάρχει ένα νοητό τείχος το οποίο μετακινείται αναλόγως της τάσης που εφαρμόζεται.

Σε κάθε χρονική στιγμή η στατική αντίσταση του memristor προκύπτει από το άθροισμα των επιμέρους αντιστάσεων των δύο περιοχών και η οποία εκφράζεται ως memristance και ορίζεται από τον παρακάτω τύπο:

$$M(t) = x \cdot R_{ON} + (1 - x) \cdot R_{OFF}, \quad \text{όπου } x = \frac{w(t)}{D}$$

$$M(t) = \frac{w(t)}{D} \cdot R_{ON} + \left(1 - \frac{w(t)}{D}\right) \cdot R_{OFF} \quad (1.3)$$

Αν εφαρμόσουμε θετική τάση στη διάταξη, οι οπές οξυγόνου φορτίζονται θετικά και κινούνται από το στρώμα  $TiO_{2-x}$  προς το στρώμα  $TiO_2$  διευρύνοντας την αγώγιμη περιοχή. Συνεπώς, αυξάνεται η συνολική αγωγιμότητα (Εικόνα 1.6). Το  $w$  αυξάνεται και όταν  $w=D$ , ο δεύτερος όρος της συνάρτησης μηδενίζεται. Η αντίσταση του μειώνεται έως την ελάχιστη δυνατή που ονομάζεται  $R_{ON}$ .

$$M(t) = R_{ON}$$

Αντιθέτως, αν εφαρμόσουμε αρνητική τάση στη διάταξη, το στρώμα  $TiO_{2-x}$  συρρικνώνεται. Το  $w$  μειώνεται και όταν  $w=0$ , ο πρώτος όρος της συνάρτησης μηδενίζεται. Η αντίσταση του αυξάνεται έως τη μέγιστη δυνατή που ονομάζεται  $R_{OFF}$ .

$$M(t) = R_{OFF}$$

Η ταχύτητα ολίσθησης των ιόντων ( $u_D$ ) ορίζεται ως εξής:

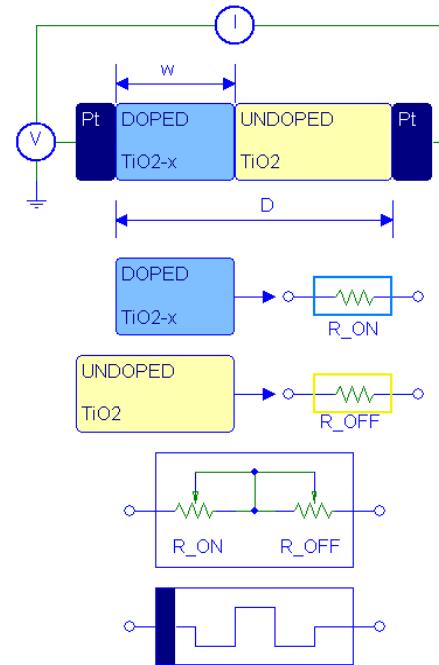
$$v_D = \frac{dw}{dt} = \mu_D \cdot E = \frac{\mu_D \cdot R_{ON}}{D} \cdot I(t) \quad (1.4)$$

όπου  $\mu_D$  η κινητικότητα των οπών οξυγόνου.

Αν ολοκληρώσουμε την παραπάνω σχέση, προκύπτει η ακόλουθη σχέση η οποία δείχνει τη συνάρτηση του πλάτους  $w$ .

$$\begin{aligned} \frac{dw}{dt} &= \frac{\mu_D \cdot R_{ON}}{D} \cdot I(t) \rightarrow dw = \frac{\mu_D \cdot R_{ON}}{D} \cdot I(t) dt \rightarrow \int dw = \int \frac{\mu_D \cdot R_{ON}}{D} \cdot I(t) dt \\ \int dw &= \frac{\mu_D \cdot R_{ON}}{D} \int I(t) dt \rightarrow w(t) = w_0 + \frac{\mu_D \cdot R_{ON} \cdot q(t)}{D} \quad (1.5) \end{aligned}$$

όπου  $w_0$  το αρχικό πλάτος του  $TiO_{2-x}$ .



Εικόνα 1.7 Αναπαράσταση των δύο περιοχών του memristor στις αντίστοιχες αντιστάσεις  $R_{ON}$  και  $R_{OFF}$ .

Αντικαθιστώντας τη συνάρτηση (1.5) στην (1.3), έχουμε:

$$M(q) = R_0 - \frac{\mu_D \cdot R_{ON} \cdot \Delta R \cdot q(t)}{D^2}$$

$$M(t) = \frac{w_0 + \frac{\mu_D \cdot R_{ON} \cdot q(t)}{D}}{D} \cdot R_{ON} + \left( 1 - \frac{w_0 + \frac{\mu_D \cdot R_{ON} \cdot q(t)}{D}}{D} \right) \cdot R_{OFF}$$

$$M(t) = \frac{\frac{w_0 \cdot D}{D} + \frac{\mu_D \cdot R_{ON} \cdot q(t)}{D}}{D} \cdot R_{ON} + \left( \frac{D}{D} - \frac{\frac{w_0 \cdot D}{D} + \frac{\mu_D \cdot R_{ON} \cdot q(t)}{D}}{D} \right) \cdot R_{OFF}$$

$$M(t) = \frac{w_0 \cdot D + \mu_D \cdot R_{ON} \cdot q(t)}{D^2} \cdot R_{ON} + \left( \frac{D^2}{D} - \frac{w_0 \cdot D}{D} + \frac{\mu_D \cdot R_{ON} \cdot q(t)}{D} \right) \cdot R_{OFF}$$

$$M(t) = \frac{w_0 \cdot D \cdot R_{ON} + \mu_D \cdot R_{ON}^2 \cdot q(t) + D^2 \cdot R_{OFF} - w_0 \cdot D \cdot R_{OFF} + \mu_D \cdot R_{ON} \cdot q(t) \cdot R_{OFF}}{D^2}$$

$$M(t) = \frac{w_0 \cdot D \cdot (R_{ON} - R_{OFF}) + D^2 \cdot R_{OFF} + \mu_D \cdot R_{ON} \cdot q(t)(R_{ON} + R_{OFF})}{D^2}$$

$$M(t) = \frac{w_0 \cdot (R_{ON} - R_{OFF})}{D} + R_{OFF} + \frac{\mu_D \cdot R_{ON} \cdot q(t)(R_{ON} + R_{OFF})}{D^2}$$

Ισχύει όμως ότι :  $\Delta R = R_{OFF} - R_{ON}$

$$M(t) = \frac{R_{ON} \cdot w_0}{D} - \frac{R_{OFF} \cdot w_0}{D} + \frac{R_{OFF} \cdot D}{D} + \frac{\mu_D \cdot R_{ON} \cdot q(t) \Delta R}{D^2}$$

$$M(t) = R_{ON} \cdot \frac{w_0}{D} + R_{OFF} \cdot \frac{D}{D} - \frac{R_{OFF} \cdot w_0}{D} + \frac{\mu_D \cdot R_{ON} \cdot q(t) \Delta R}{D^2}$$

$$M(t) = R_{ON} \cdot \frac{w_0}{D} + R_{OFF} \cdot \left( 1 - \frac{w_0}{D} \right) + \frac{\mu_D \cdot R_{ON} \cdot q(t) \Delta R}{D^2}$$

Av  $R_0 = R_{ON} \cdot \frac{w_0}{D} + R_{OFF} \cdot \left( 1 - \frac{w_0}{D} \right)$  τότε  $M(q) = R_0 + \frac{\mu_D \cdot R_{ON} \cdot q(t) \Delta R}{D^2}$

Ο όρος  $R_0$  συμβολίζει την αρχική τιμή της αντίστασης κατά τη χρονική στιγμή  $t=0$ . Αποτελεί την τιμή της αντίστασης που θυμάται η συσκευή και σε αυτήν αναφερόμαστε όταν μιλάμε για memristance.

### 1.1.2 Μη γραμμικά μοντέλα

Το γραμμικό μοντέλο του memristor υποθέτει ότι η μεταβλητή  $w$  είναι ευθέως ανάλογη του φορτίου  $q$  που διαπερνά τη συσκευή και περιορίζεται στο διάστημα  $[0,D]$ . Η θέση της ντοπαρισμένης περιοχής η οποία περιγράφεται από τη μεταβλητή  $w$  μεταβάλλεται ανάλογα με την εφαρμοζόμενη τάση στις διεπαφές των ηλεκτροδίων με τα άκρα του στρώματος του διοξειδίου του τιτανίου. Από τη βιβλιογραφία γνωρίζουμε ότι η εφαρμογή έστω και μικρής τάσης μπορεί να προκαλέσει ένα μεγάλο ηλεκτρικό πεδίο κατά μήκος της συσκευής, το οποίο προκαλεί την έντονη (υψηλά μη γραμμική) μετακίνηση των οπών οξυγόνου κοντά στα άκρα της συσκευής. Η προσπάθεια να οριστεί μέσω συναρτήσεων η συμπεριφορά των οπών οξυγόνου όταν εφαρμόζεται μία αρχική τάση στο κύκλωμα έχει οδηγήσει στην εμφάνιση πολλών μη γραμμικών μοντέλων. Θεωρητικά είναι σαν μια συνάρτηση έκφρασης της ταχύτητας των οπών οξυγόνου η οποία εκφράζεται με τη συνάρτηση  $f(x)$ .

$$\frac{dw}{dt} = \frac{\mu_D \cdot R_{ON}}{D} \cdot I(t) \cdot f(x) \quad \text{ή} \quad \frac{dx}{dt} = \frac{\mu_D \cdot R_{ON}}{D^2} \cdot I(t) \cdot f(x)$$

Η συμπληρωματική συνάρτηση  $f(x)$  πρέπει να λαμβάνει τις μέγιστες τιμές στο κέντρο της συσκευής και σχεδόν μηδενικές τιμές στα άκρα της συσκευής γιατί οι οπές οξυγόνου κινούνται στην αρχή επιταχυνόμενες μέχρι να φθάσουν σε μια σταθερή ταχύτητα, έπειτα διατηρούν την ταχύτητά τους σταθερή μέχρι να πλησιάσουν τα άκρα του στρώματος του διοξειδίου του τιτανίου όπου λόγω έλλειψης χώρου κινούνται επιβραδυνόμενες.

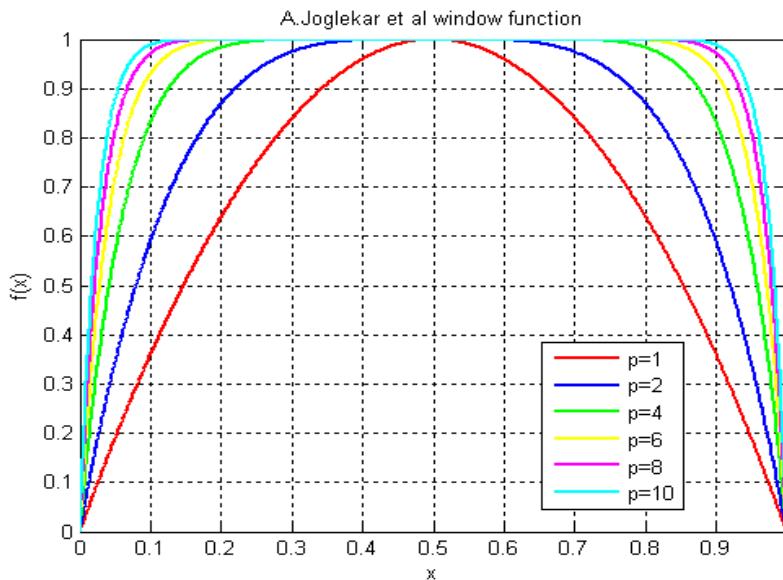
Ακόμη, ένας άλλος φυσικός περιορισμός είναι ότι η μεταβλητή  $w$  ποτέ δεν μπορεί να μηδενιστεί γιατί τότε θα είχαμε απουσία των οπών οξυγόνου ούτε να πάρει τη μέγιστη τιμή  $w=D$  γιατί θα είχαμε μηδενισμό της ταχύτητας (οριακές συνθήκες). Συνεπώς το εύρος τιμών της συνάρτησης είναι  $0 < f(x) < 1$ . Πολλά μοντέλα έχουν αναπτυχθεί βασιζόμενα σε διαφορετικές μορφές της συνάρτησης  $f(x)$ , τα οποία αναλύονται παρακάτω [14].

### 1.1.2.1 Μοντέλο A. Joglekar et al. window function.

Η συνάρτηση του Joglekar [15] είναι μία καμπύλη η οποία ανάλογα με την τιμή της παραμέτρου  $p$  δείχνει πόσο γρήγορα αυξάνεται η ταχύτητα των οπών οξυγόνου μέχρι να αποκτήσει μία σταθερή τιμή  $f_{max}$  και έπειτα πόσο γρήγορα θα αρχίσει να φθίνει η ταχύτητα τους γιατί έχει καλύψει η ντοπαρισμένη περιοχή όλο σχεδόν το στρώμα του διοξειδίου του τιτανίου. Όσο μεγαλύτερη είναι η τιμή της παραμέτρου  $p$  τόσο μεγαλύτερη είναι η επιτάχυνση των οπών οξυγόνου μέχρι να αποκτήσει μία σταθερή τιμή  $f_{max}$  και τόσο μεγαλύτερη αντίστοιχα η επιβράδυνση τους.

$$f(x) = 1 - (2x - 1)^{2p}$$

$$\frac{dw(t)}{dt} = \left( \frac{\mu_v R_{ON}}{D} i(t) \right) f(x) \Leftrightarrow \frac{dw(t)}{dt} = \left( \frac{\mu_v R_{ON}}{D} i(t) \right) (1 - (2x - 1)^{2p})$$



Εικόνα 1.8 Γραφικές για διαφορετικές τιμές της παραμέτρου  $p$  στο μοντέλο του A.Joglekar.

**Πλεονέκτημα:** Το μοντέλο εμφανίζει τη γραμμική συμπεριφορά στο κέντρο της συσκευής και τη μη γραμμική συμπεριφορά στα άκρα της συσκευής.

**Μειονέκτημα:** Πρόβλημα οριακών συνθηκών. Εάν η μεταβλητή ω φθάσει σε ένα από τα δύο άκρα ( $w=0$  ή  $w=D$ ), η εσωτερική κατάσταση της συσκευής, η memristance, θα ταυτιστεί είτε με την  $R_{ON}$  είτε με την  $R_{OFF}$ . Συνεπώς, στην επόμενη εφαρμογή τάσης δεν θα έχει διατηρηθεί η προηγούμενη τιμή της και η ιδιότητα της πιπητικής μνήμης δεν θα ισχύει.

### 1.1.2.2 Μοντέλο B. Biodek et al. window function

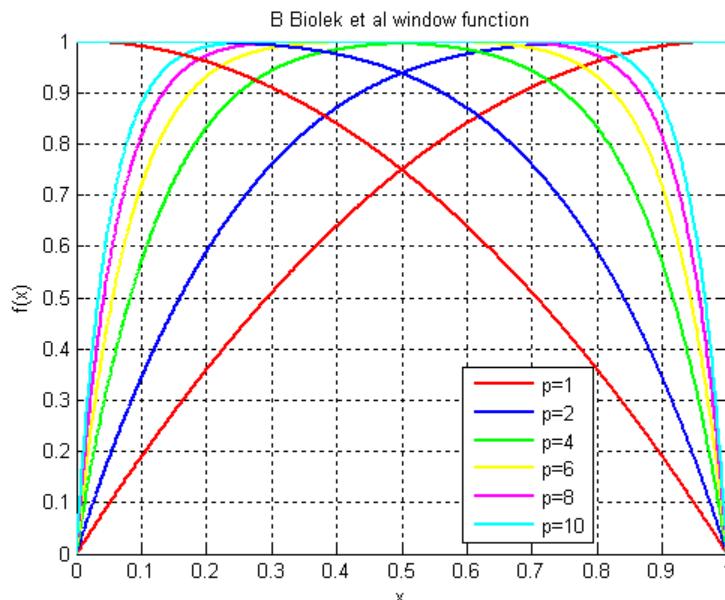
Ο Biodek [16] πρότεινε μία συνάρτηση η οποία θα έλυνε το πρόβλημα της μη γραμμικότητας που παρουσιάζει η συνάρτηση του joglekar στα άκρα της συσκευής. Η νέα αυτή συνάρτηση είχε σαν βασικό χαρακτηριστικό της, την εξάρτησή από το ρεύμα που διαρρέει το memristor. Όταν το ρεύμα είναι θετικό ή ίσο με μηδέν η παράμετρος  $stp$  γίνεται ίση με ένα (1), ενώ όταν είναι αρνητικό είναι ίση με μηδέν (0). Το ρεύμα της συσκευής θεωρείται θετικό όταν η ντοπαρισμένη περιοχή του memristor διευρύνεται και αντίθετα θεωρείται αρνητικό όταν η ντοπαρισμένη περιοχή συρρικνώνεται.

$$f(x) = 1 - (x - stp(-i))^{2p}$$

Όπου

$$f(x) = \begin{cases} 1 - (x - 1)^{2p}, & x \geq 0 \\ 1 - (x)^{2p}, & x < 0 \end{cases}$$

$$\frac{dw(t)}{dt} = \left( \frac{\mu_v R_{ON}}{D} i(t) \right) \left( 1 - (x - stp(-i))^{2p} \right)$$



Εικόνα 1.9 Γραφικές για διαφορετικές τιμές της παραμέτρου  $p$  στο μοντέλο του B. Biodek.

**Πλεονέκτημα:** Εξαλείφει το πρόβλημα της μη γραμμικότητας

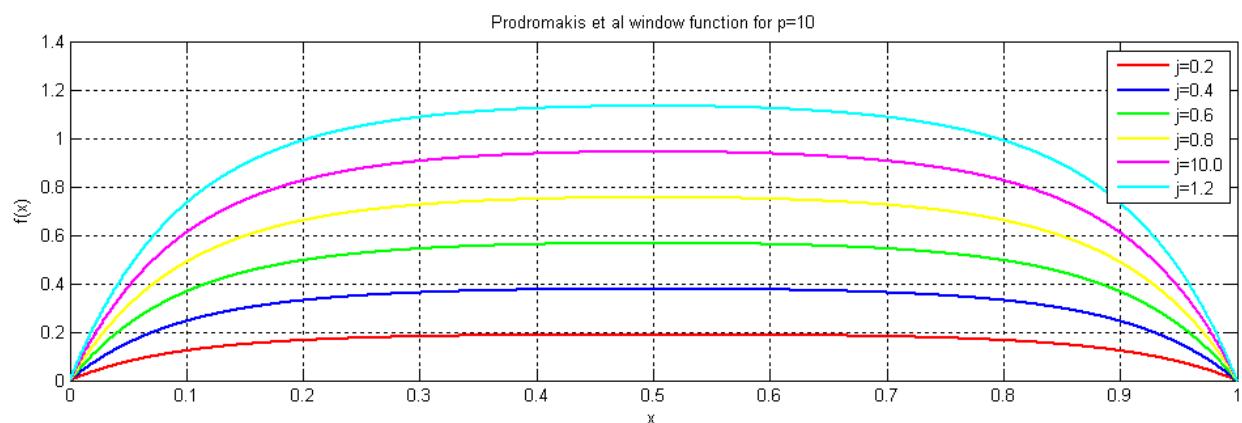
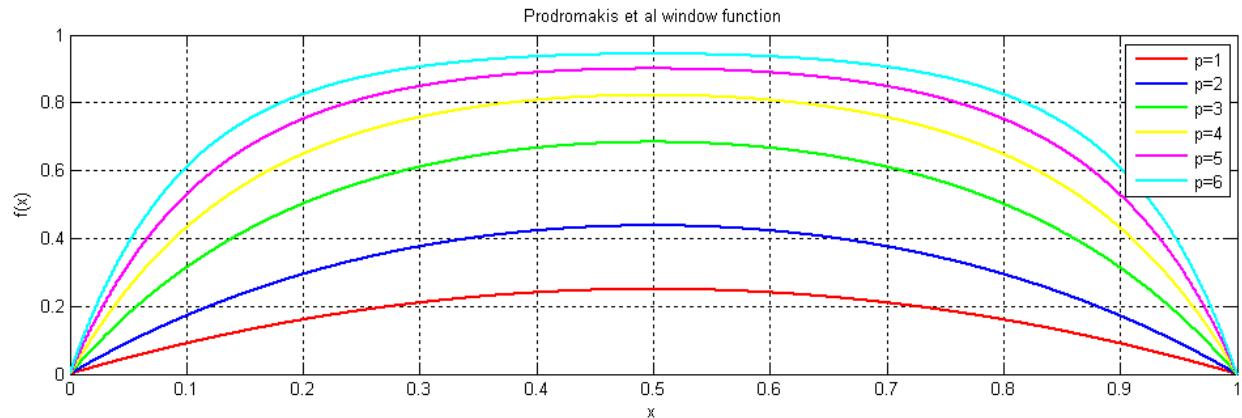
**Μειονέκτημα:** Το πρόβλημα που αντιμετωπίζει αυτή η συνάρτηση είναι το γεγονός ότι δεν υπάρχει συνεχής οριακή συνθήκη για την τιμή της συνάρτησης στα όρια της συσκευής. Η τιμή στα άκρα της συσκευής δεν μεταβάλλεται από τη μέγιστη τιμή.

### 1.1.2.3 Μοντέλο C. Prodromakis et al. window function

Τα δύο προβλήματα που αντιμετώπιζαν οι συναρτήσεις των δύο προηγούμενων μοντέλων επιλύονται με τις συναρτήσεις του Προδρομάκη [17]. Εκτός της παραμέτρου  $j$  εισάγει και την παράμετρο  $p$  σαν πρόσθετο παράγοντα ελέγχου της συνάρτησης.

$$f(x) = 1 - ((x - 0.5)^2 + 0.75)^p$$

$$f(x) = j1 - j((x - 0.5)^2 + 0.75)^p$$



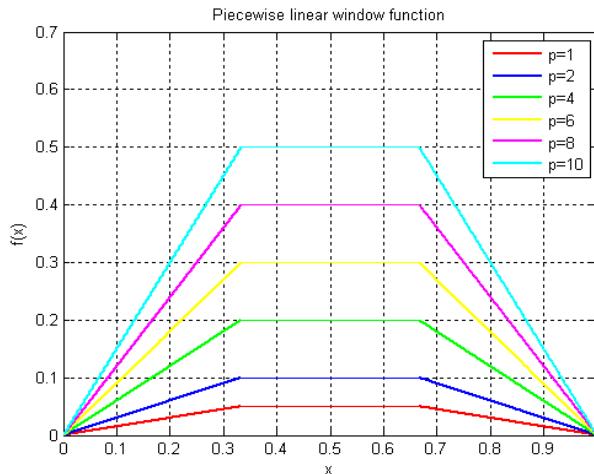
Εικόνα 1.10 Γραφικές για διαφορετικές τιμές των παραμέτρων  $p$  και  $j$  στο μοντέλο του C. Prodromakis.

**Πλεονέκτημα:** Εξαλείφει το πρόβλημα της μη γραμμικότητας

**Μειονέκτημα:** Πρόβλημα οριακών συνθηκών.

#### 1.1.2.4 Μοντέλο Piecewise Linear window function [14],[17][18],[19]

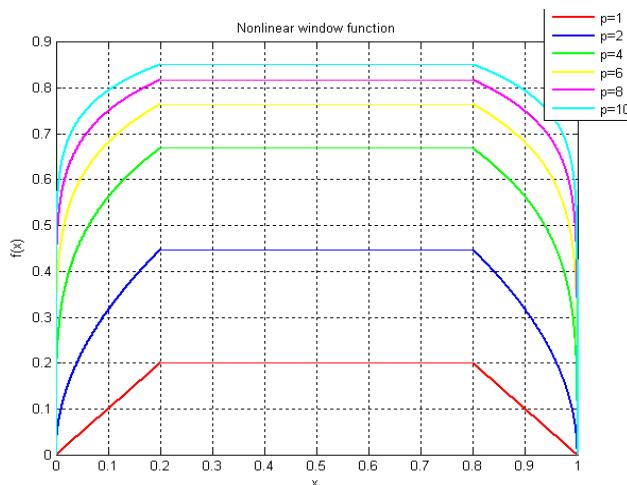
$$f(x) = \begin{cases} \frac{3px}{20}, & 0 \leq x \leq \frac{1}{3} \\ \frac{p}{20}, & \frac{1}{3} \leq x \leq \frac{2}{3} \\ \frac{3p(1-x)}{20}, & \frac{2}{3} \leq x \leq 1 \end{cases}$$



Εικόνα 1.11 Γραφικές για διαφορετικές τιμές της παραμέτρου  $p$  στο μοντέλο Piecewise Linear.

#### 1.1.2.5 Μοντέλο Nonlinear window function [14]

$$f(x) = \begin{cases} x^{\frac{1}{p}}, & 0 \leq x \leq \frac{1}{5} \\ \frac{1}{5^{\frac{1}{p}}}, & \frac{1}{5} \leq x \leq \frac{4}{5} \\ |(x-1)^{\frac{1}{p}}|, & \frac{4}{5} \leq x \leq 1 \end{cases}$$



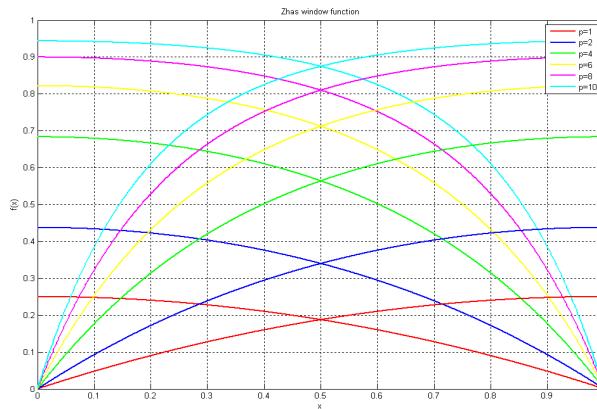
Εικόνα 1.12 Γραφικές για διαφορετικές τιμές της παραμέτρου  $p$  στο μοντέλο Nonlinear.

### 1.1.2.6 Μοντέλο Zha's window function [20]

$$f(x) = 1j - j \left( 0.25(x - \text{stp}(-i))^2 + 0.75 \right)^p$$

Όπου

$$f(x) = \begin{cases} 1j - j(0.25(x-1)^2 + 0.75)^p, & x \geq 0 \\ 1j - j(0.25(x)^2 + 0.75)^p, & x < 0 \end{cases}$$

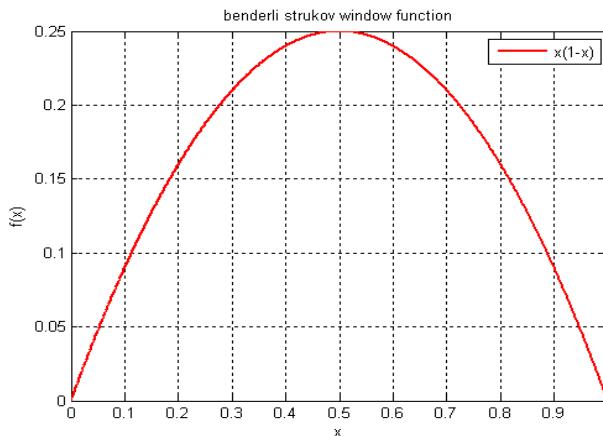


Εικόνα 1.13 Γραφικές για διαφορετικές τιμές της παραμέτρου  $p$  στο μοντέλο Zha's.

**Μειονέκτημα:** Πρόβλημα οριακών συνθηκών.-Πρόβλημα γραμμικότητας.- Η τιμή στα άκρα της συσκευής δεν μεταβάλλεται από τη μέγιστη τιμή.

### 1.1.2.7 Μοντέλο Benderli window function

Το μοντέλο αυτό προτάθηκε πρώτη φορά από τον Strukov και αργότερα αναθεωρήθηκε από τους Benderli και Way. Ήταν η πρώτη προσπάθεια που έγινε να λυθεί το πρόβλημα της μη γραμμική συμπεριφοράς την οποία βελτιστοποίησε αργότερα ο joglekar με την δική του συνάρτηση. Η εν λόγῳ συνάρτηση δεν συμπεριλαμβάνεται στα αποτελέσματα της προσομοίωσης λόγο της απλότητας της.  $f(x) = x(1-x)$

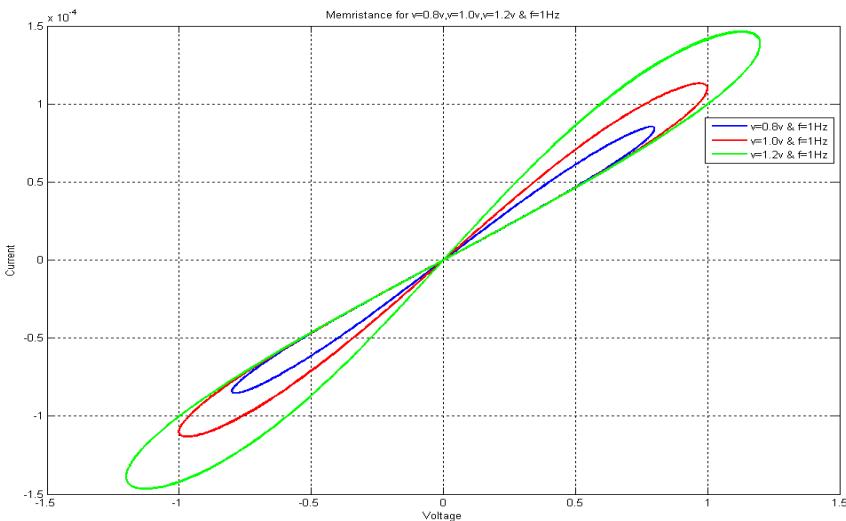


Εικόνα 1.14 Γραφική παράσταση για το μοντέλο Benderli.

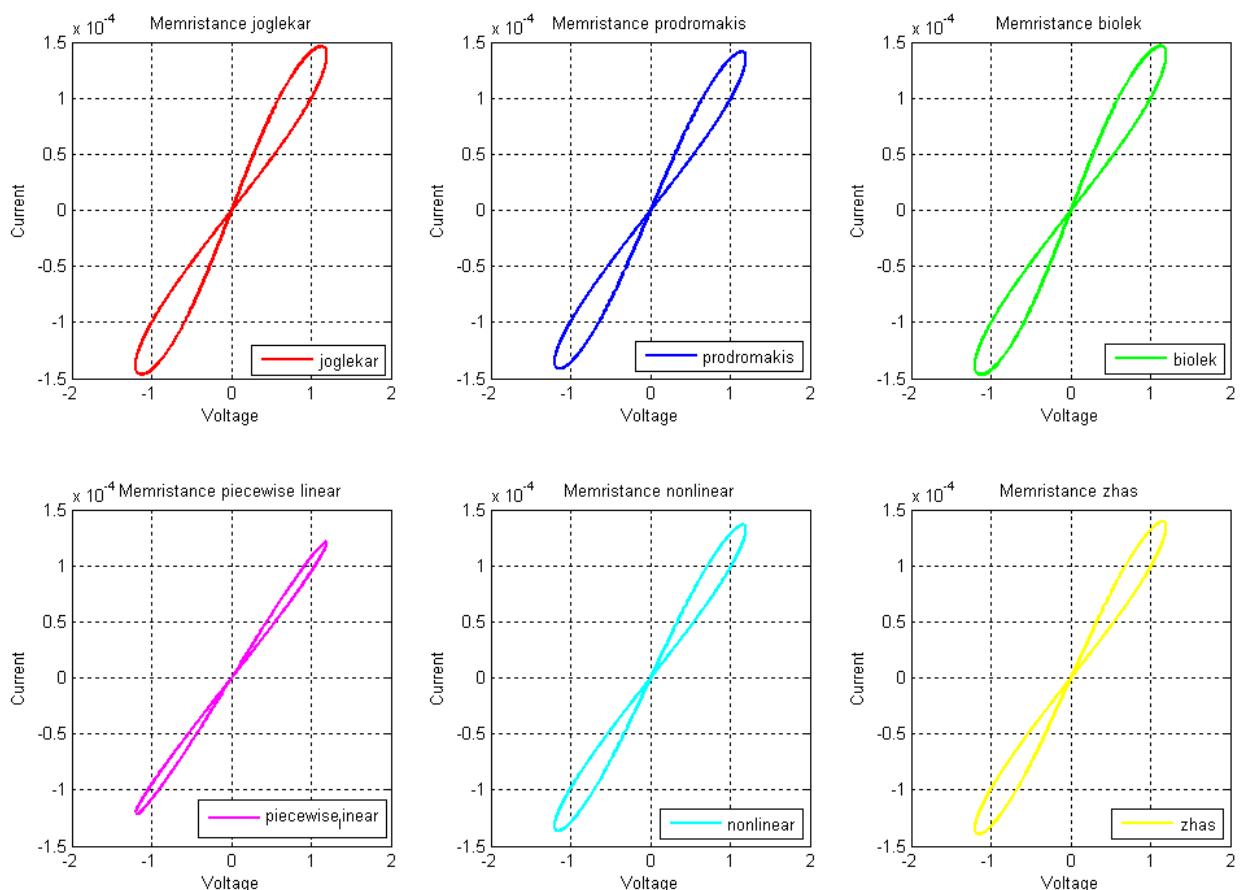
**Μειονέκτημα:** Πρόβλημα οριακών συνθηκών.-Πρόβλημα γραμμικότητας.- Η τιμή στα άκρα της συσκευής δεν μεταβάλλεται από τη μέγιστη τιμή.

### 1.1.3 Συγκριτικά στοιχεία

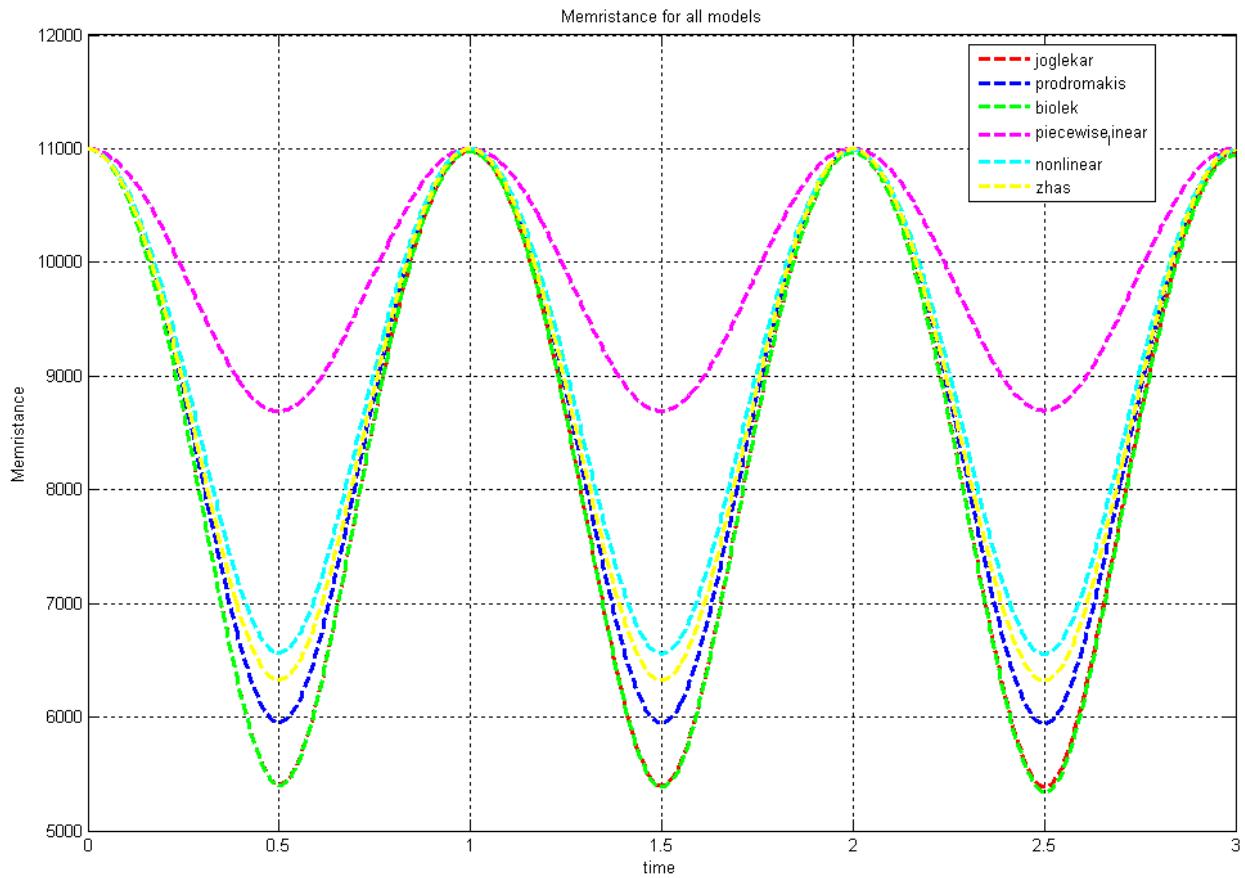
Παρακάτω παρουσιάζουμε μια αναπαράσταση του βρόγχου υστέρησης μιας προσομοίωσης του memristor υπολογισμένη με την συνάρτηση του joglekar, για σταθερή συχνότητα  $f=1\text{Hz}$  και τρείς διαφορετικές τάσεις εισόδου  $V_1 = 0.8\text{V}$ ,  $V_2 = 1\text{V}$  και  $V_3 = 1.2\text{V}$ . Παρατηρούμε ότι όσο αυξάνουμε την τάση στην είσοδο τόσο πιο έντονο είναι το φαινόμενο του βρόχου υστέρησης (μεγαλύτερο άνοιγμα της καμπύλης).



Εικόνα 1.15 Γραφική παράσταση ρεύματος-τάσης για memristor για διαφορετικές τάσεις εισόδου.



Εικόνα 1.16 Γραφική παράσταση ρεύματος-τάσης για memristor για διαφορετικές τάσεις εισόδου.



**Εικόνα 1.17 Γραφικές παραστάσεις memristance (μνημοαντίστασης) - time (χρόνου) για τα μοντέλα συνάρτησης : Joglekar, Prodromakis, Biolek, piecewise linear, nonlinear και Zah's .**

Αν προσπαθήσουμε να ερμηνεύσουμε συνδυαστικά τα διαγράμματα του βρόχου υστέρησης και το διάγραμμα memristance-χρόνου, μπορούμε να συμπεράνουμε τα εξής:

- Στα μοντέλα των Biolek και joglekar οι τιμές που παίρνει η memristance είναι μεγαλύτερου εύρους σε σχέση με τα υπόλοιπα μοντέλα. Αυτό σημαίνει ότι μπορεί να αποθηκεύσει τις πληροφορίες πιο γρήγορα και με μεγαλύτερη ακρίβεια (μεγαλύτερο όγκο δεδομένων) για να τις ανακτήσει αργότερα.

### 1.1.4 Μοντέλο Lehtonen

Προτάθηκε από τους Lehtonen et al. και περιγράφει μία μη γραμμική εξάρτηση της παραγώγου της μεταβλητής  $w$  από την τάση.

$$i(t) = w(t)^n \beta \sinh(av(t)) + xe^{\gamma v(t)-1}$$

$$\frac{dw}{dt} = af(w)v(t)^m$$

Όπου  $a, \beta, \gamma, x, n$  και  $m$  παράμετροι που επαληθεύονται πειραματικά.

### 1.1.5 Μοντέλο Simmons Tunnel Barrier

Προτάθηκε από τους Pickett et al. Σε αντίθεση με το  $hp$  μοντέλο που θεωρεί τα δύο στρώματα οξειδίου του τιτανίου σαν δύο αντιστάσεις συνδεδεμένες σε σειρά, στο μοντέλο Simmons Tunnel Barrier θεωρούμε μία αντίσταση σε σειρά με ένα φράγμα σήραγγας ηλεκτρονίων εικόνα 1.18.

$$\frac{dx(t)}{dt} = \begin{cases} C_{off} \sinh\left(\frac{i}{i_{off}}\right) \exp\left(-\exp\left(\frac{x - a_{off}}{W_c}\right) - \frac{|i|}{b}\right) - \frac{x}{W_c}, & i > 0 \\ C_{on} \sinh\left(\frac{i}{i_{on}}\right) \exp\left(-\exp\left(\frac{x - a_{on}}{W_c}\right) - \frac{|i|}{b}\right) - \frac{x}{W_c}, & i < 0 \end{cases}$$

$$A_1 = \tilde{A}(x, v_g) \varphi_1(v_g, x) \exp\left(-B(v_g, x) \cdot \varphi_1(v_g, x)^{\frac{1}{2}}\right)$$

$$i(t) = A_1 - A_2$$

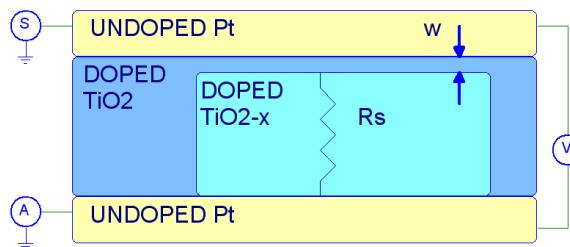
$$A_2 = \tilde{A}(x, v_g) (\varphi_1(v_g, x) + e|v_g|) \exp\left(-B(v_g, x) \cdot (\varphi_1(v_g, x) + ev_g)^{\frac{1}{2}}\right)$$

$$v_g = v - i(t)R_S$$

Όπου  $C_{off}, C_{on}, i_{off}, i_{on}, w_c$  και  $b$  σταθερές μεταβλητές που επαληθεύονται πειραματικά. Οι μεταβλητές  $a_{off}$  και  $a_{on}$  είναι τα όρια της μεταβλητής  $x$  και τα ρεύματα  $i_{off}$  και  $i_{on}$  αποτελούν τα ρεύματα κατωφλίου του μοντέλου.

**Πλεονέκτημα:** Δεν γίνεται χρήση κάποιας πρόσθετης συνάρτησης.

**Μειονέκτημα:** Πολύπλοκες εξισώσεις.



Εικόνα 1.18 Αναπαράσταση του μοντέλου Simmons Tunnel Barrier.

### 1.1.6 Μοντέλο TEAM (Threshold Adaptive Memristor Model)

Προτάθηκε από τους Kvatinsky et al. Στο μοντέλο TEAM [21] ισχύουν τα εξής:

- Υπάρχει μία πολυωνυμική εξάρτηση μεταξύ του ρεύματος και της παραγώγου της μεταβλητής  $x$ .
- Η μεταβλητή  $x$  παραμένει σταθερή για μία συγκεκριμένη τιμή ρεύματος κατωφλίου.

$$\frac{dx}{dt} \begin{cases} k_{off} \left( \frac{i(t)}{i_{off}} - 1 \right)^{a_{off}} f_{off}(x), & 0 < i_{off} < i \\ k_{on} \left( \frac{i(t)}{i_{on}} - 1 \right)^{a_{on}} f_{on}(x), & i < i_{on} < 0 \\ 0 & , \quad i_{on} < i < i_{off} \end{cases}$$

$$V(t) = \left( R_{ON} + \frac{R_{OFF} - R_{ON}}{x_{OFF} - x_{ON}} (x - x_{ON}) \right) i(t)$$

Όπου  $a_{off}$ ,  $a_{on}$ ,  $k_{off}$ ,  $k_{on}$  σταθερές για τις οποίες ισχύει  $k_{off} > 0$  και  $k_{on} < 0$ ,  $i_{off}$ ,  $i_{on}$  είναι τιμές για τα ρεύματα κατωφλίου και  $f_{off}$ ,  $f_{on}$  συναρτήσεις της μεταβλητής  $x$  στο διάστημα  $[x_{on}, x_{off}]$ . Οι αντιστάσεις  $R_{ON}$  και  $R_{OFF}$  είναι οι τιμές των αντιστάσεων της συσκευής όταν η τιμή της μεταβλητής  $x$  παίρνει τις ακραίες της τιμές  $x_{on}$  και  $x_{off}$  αντίστοιχα. Εάν θέλουμε να εκφράσουμε εκθετικά την εξάρτηση του ρεύματος από την τάση τότε προκύπτει η εξής σχέση :

$$V(t) = R_{ON} e^{\frac{\lambda}{x_{OFF}-x_{ON}}(x-x_{ON})} i(t), \quad \frac{R_{OFF}}{R_{ON}} = e^\lambda \text{ Οπου } \lambda \text{ μία παράμετρος προσαρμογής.}$$

### 1.1.7 Μοντέλο VTEAM

Το μοντέλο VTEAM αποτελεί συνέχεια του προηγούμενου μοντέλου TEAM με την βασική διαφορά ότι το μοντέλο αυτό στηρίζει την λειτουργία του σε μία τάση κατωφλίου και όχι σε ένα ρεύμα κατωφλίου όπως το προγενέστερο μοντέλο.

$$\frac{dw}{dt} \begin{cases} k_{off} \left( \frac{v(t)}{v_{off}} - 1 \right)^{a_{off}} f_{off}(w), & 0 < v_{off} < v \\ k_{on} \left( \frac{v(t)}{v_{on}} - 1 \right)^{a_{on}} f_{on}(w), & v < v_{on} < 0 \\ 0 & , \quad v_{on} < v < v_{off} \end{cases}$$

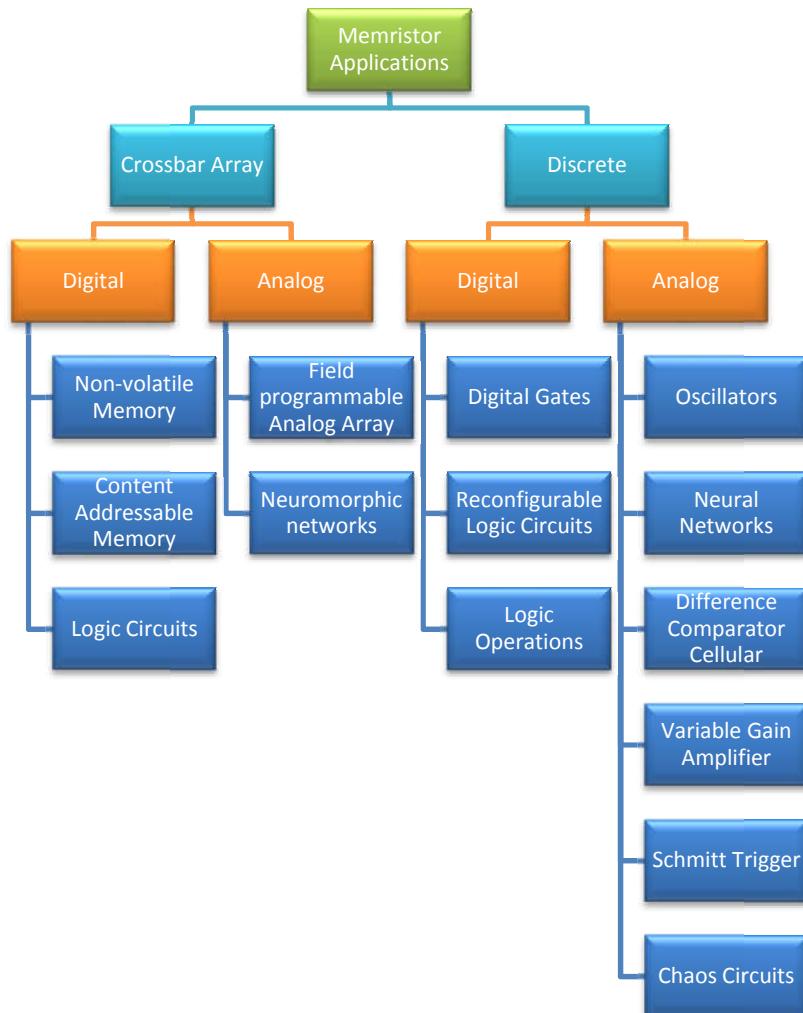
$$i(t) = \left( R_{ON} + \frac{R_{OFF} - R_{ON}}{w_{OFF} - w_{ON}} (w - w_{ON}) \right)^{-1} v(t)$$

Όπου  $a_{off}$ ,  $a_{on}$ ,  $k_{off}$ ,  $k_{on}$  σταθερές για τις οποίες ισχύει  $k_{off} > 0$  και  $k_{on} < 0$ ,  $v_{off}$ ,  $v_{on}$  είναι τιμές για τις τάσεις κατωφλίου και  $f_{off}$ ,  $f_{on}$  συναρτήσεις της μεταβλητής  $w$  στο διάστημα  $[w_{on}, w_{off}]$ . Οι αντιστάσεις  $R_{ON}$  και  $R_{OFF}$  είναι οι τιμές των αντιστάσεων της συσκευής όταν η τιμή της μεταβλητής  $w$  παίρνει τις ακραίες της τιμές  $w_{on}$  και  $w_{off}$  αντίστοιχα. Εάν θέλουμε να εκφράσουμε εκθετικά την εξάρτηση του ρεύματος από την τάση τότε προκύπτει η παρακάτω σχέση.

$$i(t) = \frac{e^{-\frac{\lambda}{w_{OFF}-w_{ON}}(w-w_{ON})}}{R_{ON}} v(t), \quad \frac{R_{OFF}}{R_{ON}} = e^\lambda$$

### 1.1.8 Εφαρμογές των memristor

Οι τομείς στους οποίους μπορεί να έχουν εφαρμογή τα memristors είναι τόσο τα ψηφιακά όσο και τα αναλογικά ηλεκτρικά κυκλώματα. Η ικανότητα των memristors να μπορούν να υλοποιηθούν σε διατάξεις crossbar τους δίνει την δυνατότητα εφαρμογής στον τομέα της μικροηλεκτρονικής. Επίσης τα memristors μπορούν να χρησιμοποιηθούν και σε κυκλώματα με διακριτά στοιχεία γεγονός που τα καθιστά δυνατό την χρησιμοποίηση τους σε νέα ακόμη μεγαλύτερο εύρος εφαρμογών. Παρακάτω δίνεται ένα συγκεντρωτικό διάγραμμα στην εικόνα 1.19 [22] όλων των δυνατών εφαρμογών των memristors από τα οποία εμείς θα αναλύσουμε τα λογικά κυκλώματα, τις ψηφιακές πύλες και τους ενισχυτές μεταβλητού κέρδους.



**Εικόνα 1.19 Εφαρμογές του memristor σε υλοποιήσεις κυκλωμάτων με διακριτά στοιχεία ή με crossbar arrays, στον τομέα των ψηφιακών και στον αναλογικών ηλεκτρονικών κυκλωμάτων.**

## 2. MAGIC

### 2.1. Memristor Aided IoGIC (MAGIC)

Στη λογική Memristor Aided IoGIC (Magic) [27],[28] κάνουμε χρήση δύο ικανοτήτων του memristor. Η πρώτη του ικανότητά είναι ότι μπορεί και μεταβάλει την αντίσταση του ανάλογα την τάση που εφαρμόζεται πάνω του. Ενώ η δεύτερη ότι μπορεί και διατηρεί αυτήν την τιμή ακόμα και όταν πάψει να εφαρμόζεται πάνω του κάποια τάση. Αυτή η ικανότητα των memristors να μπορούν να διατηρούν μία συγκεκριμένη τιμή, τα κατατάσσει στην κατηγορία των ηλεκτρονικών στοιχείων μνήμης.

Η λογική κατάσταση («0» ή «1») σε μία πύλη magic εκφράζεται με την μορφή αντίστασης. Οι λογικές καταστάσεις («0» ή «1») των εισόδων αλλά και της εξόδου της εκάστοτε λογικής πύλης αναπαρίστανται μέσω της αντίστασης των memristors. Ως λογικό «0» θεωρούμε την αντίσταση  $R_{OFF}$  και ως λογικό «1» την αντίσταση  $R_{ON}$ , και ανάστροφα.

Μία πύλη υλοποιημένη με την λογική MAGIC παρουσιάζει δύο στάδια λειτουργίας.

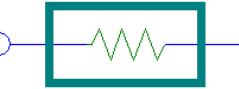
- Το πρώτο στάδιο είναι αυτό της αρχικοποίησης των τιμών εισόδων και εξόδου της πύλης.
- Το δεύτερο στάδιο είναι αυτό της λογικής πράξης μεταξύ των τιμών της εισόδου το οποίο θα μας δώσει και το τελικό αποτέλεσμα στην έξοδο.

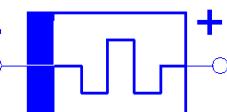
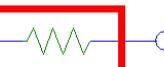
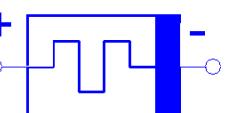
#### 2.1.1. Πρώτο στάδιο

Στο πρώτο στάδιο λειτουργίας μιας λογικής πύλης magic, τα memristors που αποτελούν το κύκλωμα της πύλης προγραμματίζονται σε μία καθορισμένη τιμή αντίστασης  $R_{OFF}$  ή  $R_{ON}$ .

- Τα memristors εισόδου της πύλης προγραμματίζονται σε  $R_{OFF}$  όταν η λογική τιμή είναι «0» και σε  $R_{ON}$  όταν η λογική τιμή είναι «1» (πίνακας 2.1).**
- Το memristor εξόδου της πύλης προγραμματίζεται σε μία αρχική κατάσταση  $R_{OFF}$  όταν είναι ανάστροφα πολωμένο και  $R_{ON}$  όταν είναι ορθά πολωμένο (πίνακας 2.2).**

Σε αυτό το σημείο θα πρέπει να αναφέρουμε ότι ο προγραμματισμός του memristor αναλύετε στο  $5^{\circ}$  κεφάλαιο.

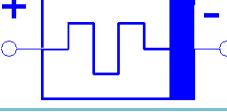
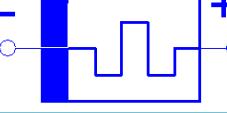
Πίνακας 2.1 Προγραμματισμός των memristors εισόδου.		
Λογική κατάσταση	Αντίσταση	Σύμβολο
0	$R_{OFF}$	
1	$R_{ON}$	

Πίνακας 2.2 Προγραμματισμός του memristor εξόδου.	Λογική κατάσταση	Αντίσταση	Σύμβολο
ΦΟΡΑ ΡΕΥΜΑΤΟΣ		$R_{OFF}$	
ΦΟΡΑ ΡΕΥΜΑΤΟΣ		$R_{ON}$	

### 2.1.2. Δεύτερο στάδιο

Στο δεύτερο στάδιο λειτουργίας της λογικής πύλης magic, εφόσον έχουν προγραμματιστεί τα memristors όπως αναφέραμε προηγουμένως, εφαρμόζεται μια τάση V στην είσοδο του κυκλώματος. Κατά την εφαρμογή της πηγής στο κύκλωμα ισχύει η παρακάτω λογική.

1. **Για τα memristor της εισόδου :** το ρεύμα που προέρχεται από την πηγή που συνδέσαμε στο κύκλωμα, είναι ικανό να διαρρεύσει μόνο τα memristors που έχουν αντίσταση ίση με  $R_{ON}$ , και όχι αυτά με αντίσταση ίση με  $R_{OFF}$ .
2. **Για το memristor της εξόδου :** στην περίπτωση που η τιμή της αντίστασης των memristors της εισόδου και η συνδεσμολογία τους είναι τέτοια ώστε να εμποδίζει την διέλευση του ρεύματος, η τιμή του memristor της εξόδου παραμένει όπως έχει οριστεί από τον προγραμματισμό του και δεν αλλάζει. Στην περίπτωση όμως που το ρεύμα μπορέσει να περάσει μέσα από τα memristors εισόδου και να φτάσει το memristor της εξόδου, αυτό θα μεταβάλει την αντίστασή του σύμφωνα με την πόλωση του (πίνακας 2.3). Και στις δύο περιπτώσεις η τιμή που θα λάβει το memristor της εξόδου θα μας δώσει το αποτέλεσμα της πύλης magic.

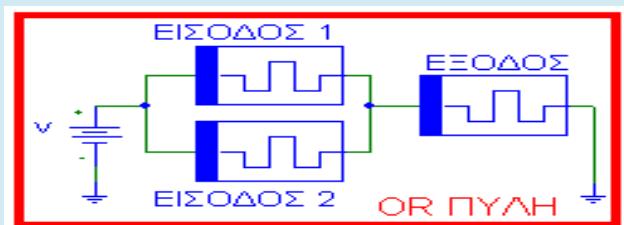
Πίνακας 2.3 Αποτέλεσμα του memristor εξόδου.	Φορά ρεύματος	Αντίσταση	$R_{MEMRISTOR}$
ΦΟΡΑ ΡΕΥΜΑΤΟΣ		$R_{OFF}$	
ΦΟΡΑ ΡΕΥΜΑΤΟΣ		$R_{ON}$	

## 2.2. Πύλη OR

Με όσα αναφέραμε για την λογική magic, θα δείξουμε ότι μπορούμε να σχεδιάσουμε όλες τις θεμελιώδεις λογικές ψηφιακές πύλες που υπάρχουν και που παραδοσιακά κατασκευάζονται με την τεχνολογία C-MOS. Η πύλη OR μπορεί να υλοποιηθεί με την λογική magic εάν χρησιμοποιήσουμε συνολικά τρία memristors σε ανάστροφη πόλωση, δύο για τις εισόδους της πύλης και ένα για την έξοδο της. Τα δύο memristors εισόδου τοποθετούνται παράλληλα μεταξύ τους ενώ το memristor εξόδου σε σειρά με τα προηγούμενα (εικόνα 2.1.).

Στον πίνακα 2.4 μπορούμε να δούμε τον πίνακα αληθείας της πύλης OR. Στον παρακάτω πίνακα 2.4 δίνονται οι τιμές της αντίστασης των memristors εισόδου, η αρχική τιμή και η τελική τιμή της αντίστασης του memristor εξόδου. Παρακάτω ακολουθεί ανάλυση του πίνακα αληθείας καθώς επίσης και του κυκλώματος της πύλης OR.

Πίνακας 2.4 Πύλη OR.



Εικόνα 2.1 Πύλη OR.

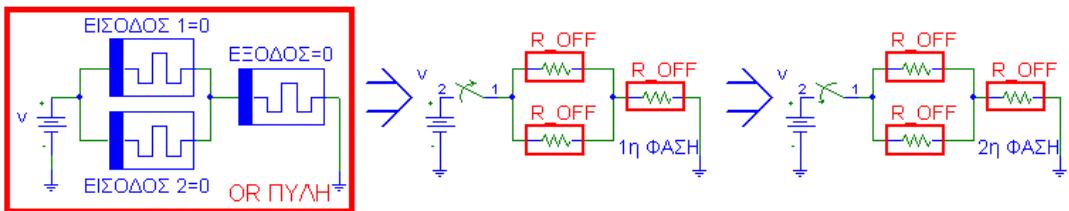
$$\text{ΕΞΟΔΟΣ}_{\text{OR}} = \text{ΕΙΣΟΔΟΣ}_1 + \text{ΕΙΣΟΔΟΣ}_2$$

Είσοδος 1	Είσοδος 2	Αρχική Έξοδος	Τελική Έξοδος	Αντίσταση Εισόδου 1	Αντίσταση Εισόδου 2	Αρχική Αντίσταση Εξόδου	Τελική Αντίσταση Έξοδος
0	0	0	0	$R_{OFF}$	$R_{OFF}$	$R_{OFF}$	$R_{OFF}$
0	1	0	1	$R_{OFF}$	$R_{ON}$	$R_{OFF}$	$R_{ON}$
1	0	0	1	$R_{ON}$	$R_{OFF}$	$R_{OFF}$	$R_{ON}$
1	1	0	1	$R_{ON}$	$R_{ON}$	$R_{OFF}$	$R_{ON}$

### 2.2.1. Και οι δύο είσοδοι ίσες με λογικό μηδέν

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με το λογικό «0» (εικόνα 2.2) κατά την 1<sup>η</sup> φάση τα memristors της εισόδου θα μεταβάλλουν την αντίστασή τους σε  $R_{OFF}$  καθώς επίσης και το memristor της εξόδου. Θα πρέπει να αναφέρουμε ότι καθόλην την 1η φάση της πύλης magic ο διακόπτης που συνδέει την πηγή τάσης με το υπόλοιπο κύκλωμα είναι ανοικτός οπότε το κύκλωμα δεν διαρρέεται από ρεύμα.

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Επειδή τα memristors εισόδου όπως φαίνεται είναι προγραμματισμένα στην τιμή της αντίσταση  $R_{OFF}$ , το ρεύμα που τα διαρρέει είναι πολύ μικρό (αμελητέο) για να μπορέσει να επηρεάσει το memristor εξόδου και να του αλλάξει την τιμή της αντίστασης του. Οπότε η τιμή της αντίστασης στο memristor εξόδου δεν αλλάζει, παραμένοντας στη αρχική του τιμή  $R_{OFF}$  (λογικό «0»).

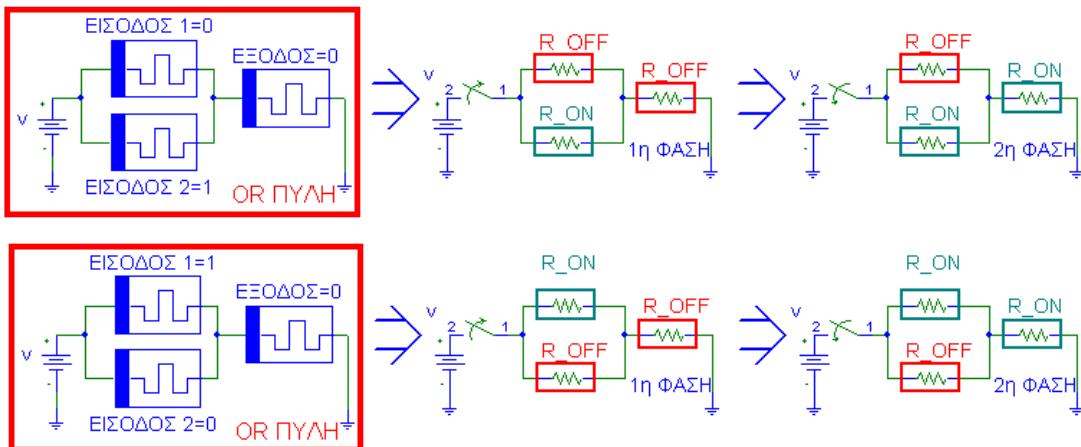


Εικόνα 2.2 Είσοδοι ίσες με λογικό «0».

### 2.2.2. Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν

Στην περίπτωση που μία από τις δύο εισόδους λάβει την λογική τιμή «1» ενώ η άλλη την λογική τιμή «0» (εικόνα 2.3), κατά την 1η φάση, η τιμή της αντίστασης για το κάθε memristor της εισόδου θα είναι  $R_{ON}$  και  $R_{OFF}$  αντίστοιχα. Η αρχική τιμή του memristor της εξόδου θα είναι  $R_{OFF}$  και ο διακόπτης όπως προηγουμένως θα είναι ανοικτός.

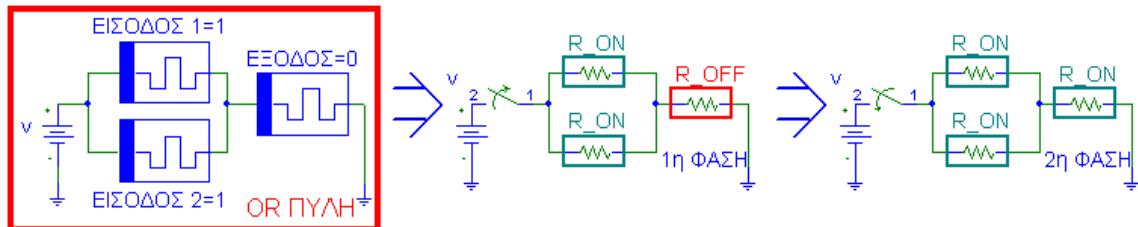
Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Σε αυτήν την περίπτωση το ρεύμα που διαρρέει το κύκλωμα είναι μεγαλύτερο από πριν εφόσον, τα memristors της εισόδου είναι συνδεδεμένα παράλληλα μεταξύ τους. Λόγω της παραλληλίας το memristor που θα έχει τιμή αντίστασης ίση με  $R_{ON}$  θα αφήσει να περάσει περισσότερο ρεύμα από μέσα του από ότι το memristor που θα έχει τιμή αντίστασης ίση με  $R_{OFF}$ . Αυτό το ρεύμα θα είναι αρκετά μεγάλο για να αλλάξει την τιμή του memristor στην έξοδο της πύλης. Σε αυτό το σημείο χρησιμοποιώντας στον πίνακα 2.3 παρατηρούμε ότι το memristor της εξόδου είναι ανάστροφα πολωμένο, οπότε η αντίσταση του θα αλλάξει από  $R_{OFF}$  σε  $R_{ON}$ .



Εικόνα 2.3 Διαφορετικές Είσοδοι.

### 2.2.3. Και οι δύο είσοδοι ίσες με λογικό ένα

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «1» (εικόνα 2.4) τα memristors της εισόδου κατά την 1<sup>η</sup> φάση μεταβάλλουν την τιμή της αντίστασης τους σε  $R_{ON}$  ενώ το memristor εξόδου σε  $R_{OFF}$  (ο διακόπτης είναι ανοικτός). Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση  $V$ . Σε αυτήν την περίπτωση το ρεύμα που διαρρέει το κύκλωμα είναι μεγάλο εξαιτίας της παραλληλίας μεταξύ των δύο memristors εισόδου καθώς επίσης και της τιμής της αντίστασης τους που είναι και στα δύο ίση με  $R_{ON}$ . Οπότε, όπως και πριν σύμφωνα με τον πίνακα 2.3, το ρεύμα είναι αρκετά μεγάλο ώστε να αλλάξει την τιμή την αντίσταση του memristor της εξόδου από  $R_{OFF}$  σε  $R_{ON}$ , δίνοντας το λογικό αποτέλεσμα «1».



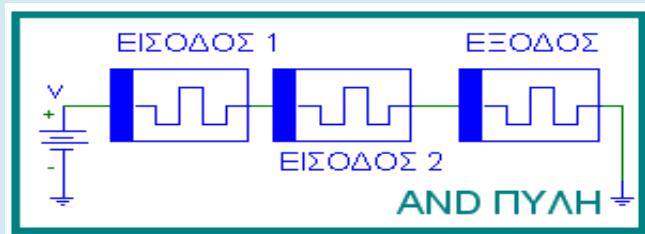
Εικόνα 2.4 Είσοδοι ίσες με λογικό «1».

### 2.3. Πύλη AND

Η πύλη AND μπορεί να υλοποιηθεί με την λογική magic εάν χρησιμοποιήσουμε συνολικά τρία memristors σε ανάστροφη πόλωση, δύο για τις εισόδους της πύλης και ένα για την έξοδό της. Τόσο τα memristors της εισόδου όσο και το memristor της εξόδου συνδέονται σε σειρά. (εικόνα 2.5.)

Στον πίνακα 2.5 βλέπουμε τον πίνακα αληθείας της πύλης AND, τον απαραίτητο προγραμματισμό των memristors εισόδου/εξόδου, καθώς επίσης την τελική τιμή του memristor εξόδου το οποίο θα μας δώσει και το αποτέλεσμα της λογικής πράξεις AND.

Πίνακας 2.5 Πύλη AND.



Εικόνα 2.5 Πύλη AND.

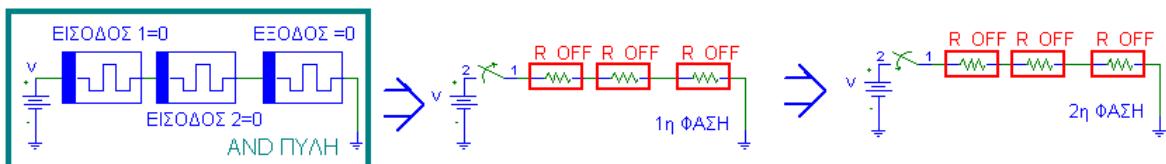
$$\text{ΕΞΟΔΟΣ}_{\text{OR}} = \text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2$$

Είσοδος 1	Είσοδος 2	Αρχική Έξοδος	Τελική Έξοδος	Αντίσταση Εισόδου 1	Αντίσταση Εισόδου 2	Αρχική Αντίσταση Εξόδου	Τελική Αντίσταση Έξοδος
0	0	0	0	$R_{OFF}$	$R_{OFF}$	$R_{OFF}$	$R_{OFF}$
0	1	0	0	$R_{OFF}$	$R_{ON}$	$R_{OFF}$	$R_{OFF}$
1	0	0	0	$R_{ON}$	$R_{OFF}$	$R_{OFF}$	$R_{OFF}$
1	1	0	1	$R_{ON}$	$R_{ON}$	$R_{OFF}$	$R_{ON}$

### 2.3.1. Και οι δύο είσοδοι ίσες με λογικό μηδέν

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με το λογικό «0» (εικόνα 2.6) κατά την 1η φάση τα memristors της εισόδου θα προγραμματισούν σε  $R_{OFF}$  καθώς επίσης και το memristor της εξόδου. Θα πρέπει να αναφέρουμε ότι καθόλην την 1η φάση της πύλης magic ο διακόπτης που συνδέει την πηγή τάσης με το υπόλοιπο κύκλωμα είναι ανοικτός οπότε το κύκλωμα δεν διαρρέεται από ρεύμα.

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Επειδή τα memristors εισόδου όπως φαίνεται είναι προγραμματισμένα στην τιμή της αντίστασης  $R_{OFF}$ , το ρεύμα που τα διαρρέει είναι πολύ μικρό (αμελητέο) για να μπορέσει να επηρεάσει το memristor εξόδου και να του αλλάξει την τιμή της αντίστασης του. Οπότε η τιμή της αντίστασης στο memristor εξόδου δεν αλλάζει, παραμένοντας στην αρχική του τιμή  $R_{OFF}$  (λογικό «0»).

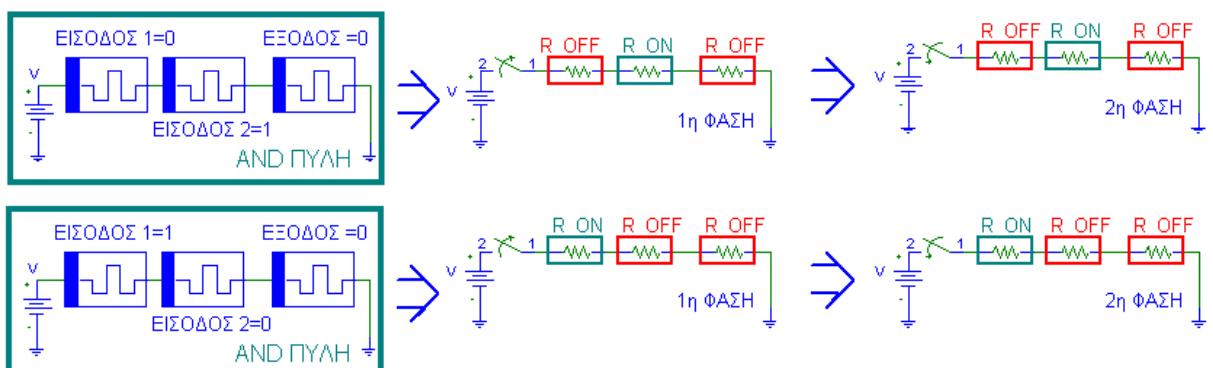


Εικόνα 2.6 Είσοδοι ίσες με λογικό «0».

### 2.3.2. Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν

Στην περίπτωση που μία από τις δύο εισόδους λάβει την λογική τιμή «1» ενώ η άλλη την λογική τιμή «0» (εικόνα 2.7), κατά την 1<sup>η</sup> φάση, η τιμή της αντίστασης για το κάθε memristor της εισόδου θα είναι  $R_{ON}$  και  $R_{OFF}$  αντίστοιχα. Η αρχική τιμή του memristor της εξόδου θα είναι  $R_{OFF}$  και ο διακόπτης όπως προηγουμένως θα είναι ανοικτός

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Σε αυτήν την περίπτωση λόγω της εν σειρά συνδεσμολογίας των memristors, όταν κάποιο από τα memristors της εισόδου είναι προγραμματισμένο σε  $R_{OFF}$  εμποδίζει την διέλευση του ρεύματος στο υπόλοιπο κύκλωμα. Το σχεδόν μηδενικό ρεύμα που μπορεί να περάσει από την  $R_{OFF}$  και να φτάσει στο memristor της εξόδου δεν είναι αρκετό ώστε να του επιβάλει να αλλάξει κατάσταση. Οπότε το memristor της εξόδου παραμένει στην αρχική του κατάσταση δηλαδή σε  $R_{OFF}$  (λογικό «0»).

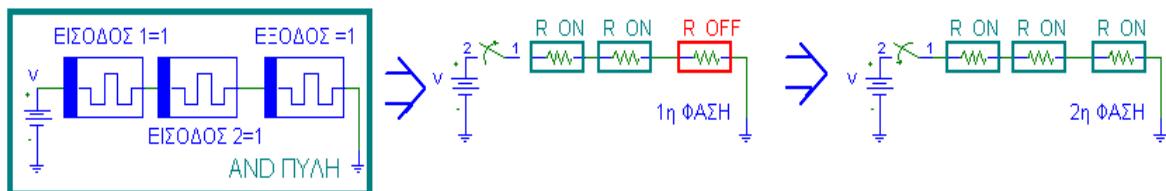


Εικόνα 2.7 Διαφορετικές Είσοδοι.

### 2.3.3. Και οι δύο είσοδοι ίσες με λογικό ένα

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «1» (εικόνα 2.8) τα memristors της εισόδου κατά την 1η φάση προγραμματίζονται σε  $R_{ON}$  ενώ το memristor εξόδου σε  $R_{OFF}$  (ο διακόπτης είναι ανοικτός).

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση  $V$ . Σε αυτήν την περίπτωση το ρεύμα που διαρρέει το κύκλωμα είναι μεγάλο εξαιτίας της εν σειρά συνδεσμολογίας των δύο memristors εισόδου καθώς επίσης και της τιμής της αντίστασης τους που είναι και στα δύο ίση με  $R_{ON}$ . Οπότε, σύμφωνα με τον πίνακα 2.3, το ρεύμα που διαρρέει το κύκλωμα είναι αρκετά μεγάλο ώστε να αλλάξει την τιμή την αντίσταση του memristor της εξόδου από  $R_{OFF}$  σε  $R_{ON}$ , δίνοντας το λογικό αποτέλεσμα «1».

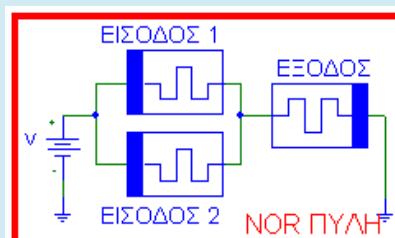


Εικόνα 2.8 Είσοδοι ίσες με λογικό «1».

### 2.4. Πύλη NOR

Η πύλη NOR μπορεί να υλοποιηθεί με την λογική magic εάν χρησιμοποιήσουμε συνολικά τρία memristors, δύο για τις εισόδους της πύλης σε ανάστροφη πόλωση και ένα για την έξοδο της πύλης σε ορθή πόλωση. Τα δύο memristors εισόδου τοποθετούνται παράλληλα μεταξύ τους ενώ το memristor εξόδου σε σειρά με τα προηγούμενα (εικόνα 2.9). Στον πίνακα 2.6 μπορούμε να δούμε τον πίνακα αληθείας της πύλης NOR. Στον παρακάτω πίνακα 2.6 δίνονται οι τιμές της αντίστασης των memristors εισόδου, η αρχική τιμή και η τελική τιμή της αντίστασης του memristor εξόδου. Παρακάτω ακολουθεί ανάλυση του πίνακα αληθείας καθώς επίσης και του κυκλώματος της πύλης NOR.

Πίνακας 2.6 Πύλη NOR.



Εικόνα 2.9 Πύλη NOR.

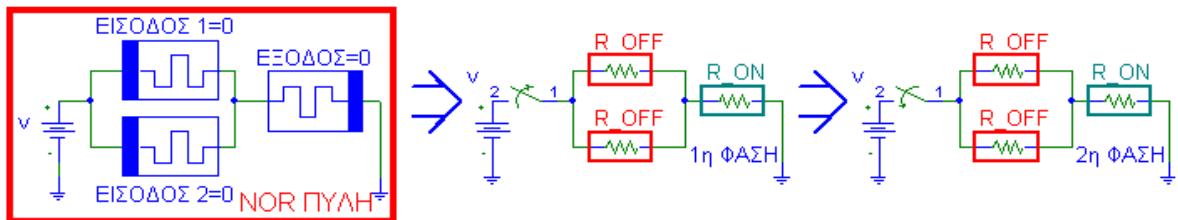
$$\text{ΕΞΟΔΟΣ}_{\text{OR}} = \overline{\text{ΕΙΣΟΔΟΣ}_1 + \text{ΕΙΣΟΔΟΣ}_2}$$

Είσοδος 1	Είσοδος 2	Αρχική Έξοδος	Τελική Έξοδος	Αντίσταση Εισόδου 1	Αντίσταση Εισόδου 2	Αρχική Αντίσταση Εξόδου	Τελική Αντίσταση Έξοδος
0	0	1	1	$R_{OFF}$	$R_{OFF}$	$R_{ON}$	$R_{ON}$
0	1	1	0	$R_{OFF}$	$R_{ON}$	$R_{ON}$	$R_{OFF}$
1	0	1	0	$R_{ON}$	$R_{OFF}$	$R_{ON}$	$R_{OFF}$
1	1	1	0	$R_{ON}$	$R_{ON}$	$R_{ON}$	$R_{OFF}$

#### 2.4.1. Και οι δύο είσοδοι ίσες με λογικό μηδέν

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με το λογικό «0» (εικόνα 2.10) κατά την 1<sup>η</sup> φάση τα memristors της εισόδου θα προγραμματιστούν σε  $R_{OFF}$  ενώ το memristor της εξόδου σε  $R_{ON}$ . Θα πρέπει να αναφέρουμε ότι καθόλην την 1<sup>η</sup> φάση της πύλης magic ο διακόπτης που συνδέει την πηγή τάσης με το υπόλοιπο κύκλωμα είναι ανοικτός οπότε το κύκλωμα δεν διαρρέεται από ρεύμα.

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Επειδή τα memristors εισόδου όπως φαίνεται είναι προγραμματισμένα στην τιμή της αντίστασης  $R_{OFF}$ , το ρεύμα που τα διαρρέει είναι πολύ μικρό (αμελητέο) για να μπορέσει να επηρεάσει το memristor εξόδου και να του αλλάξει την τιμή της αντίστασης του. Οπότε η τιμή της αντίστασης στο memristor εξόδου δεν αλλάζει, παραμένοντας στη αρχική του τιμή  $R_{ON}$  (λογικό «1»).

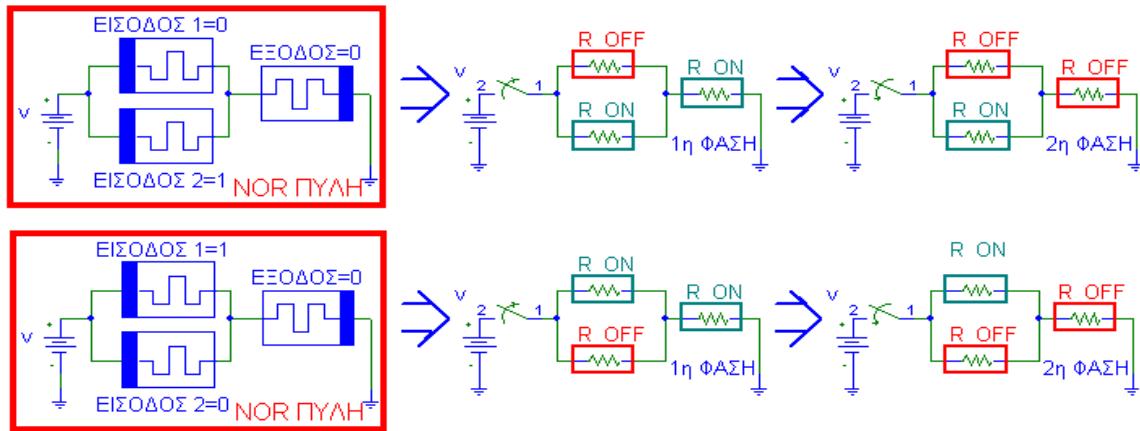


Εικόνα 2.10 Είσοδοι ίσες με λογικό «0».

#### 2.4.2. Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν

Στην περίπτωση που μία από τις δύο εισόδους λάβει την λογική τιμή «1» ενώ η άλλη την λογική τιμή «0» (εικόνα 2.11), κατά την 1η φάση, η τιμή της αντίστασης για το κάθε memristor της εισόδου θα είναι  $R_{ON}$  και  $R_{OFF}$  αντίστοιχα. Η αρχική τιμή του memristor της εξόδου θα είναι  $R_{ON}$  και ο διακόπτης όπως προηγουμένως θα είναι ανοικτός.

Κατά την 2η φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Σε αυτήν την περίπτωση το ρεύμα που διαρρέει το κύκλωμα είναι μεγαλύτερο από πριν εφόσον, τα memristors της εισόδου είναι συνδεδεμένα παράλληλα μεταξύ τους. Λόγω της παραλληλίας το memristor που θα έχει τιμή αντίστασης ίση με  $R_{ON}$  θα αφήσει να περάσει περισσότερο ρεύμα από μέσα του από ότι το memristor που θα έχει τιμή αντίστασης ίση με  $R_{OFF}$ . Αυτό το ρεύμα θα είναι αρκετά μεγάλο για να αλλάξει την τιμή του memristor στην έξοδο της πύλης. Σε αυτό το σημείο χρησιμοποιώντας στον πίνακα 2.3 παρατηρούμε ότι το memristor της εξόδου είναι ορθά πολωμένο, οπότε η αντίσταση του θα αλλάξει από  $R_{ON}$  (λογικό «1») σε  $R_{OFF}$  (λογικό «0»).

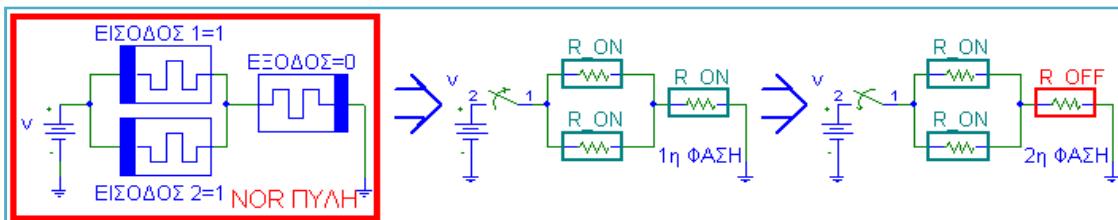


Εικόνα 2.11 Διαφορετικές Είσοδοι.

#### 2.4.3. Και οι δύο είσοδοι ίσες με λογικό ένα

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «1» (εικόνα 2.12) τα memristors της εισόδου κατά την 1η φάση προγραμματίζονται σε R<sub>ON</sub> όπως και το memristor εξόδου (ο διακόπτης είναι ανοικτός).

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Σε αυτήν την περίπτωση το ρεύμα που διαρρέει το κύκλωμα είναι μεγάλο εξαιτίας της παραλληλίας μεταξύ των δύο memristors εισόδου καθώς επίσης και της τιμής της αντίστασης τους που είναι και στα δύο ίση με R<sub>ON</sub>. Οπότε, όπως και πριν σύμφωνα με τον πίνακα 2.3, το ρεύμα είναι αρκετά μεγάλο ώστε να αλλάξει την τιμή την αντίσταση του memristor της εξόδου από R<sub>ON</sub> σε R<sub>OFF</sub>, δίνοντας το λογικό αποτέλεσμα «0».



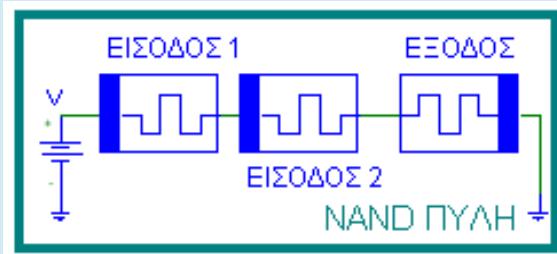
Εικόνα 2.12 Είσοδοι ίσες με λογικό «1».

#### 2.5. Πύλη NAND

Η πύλη NAND μπορεί να υλοποιηθεί με την λογική magic εάν χρησιμοποιήσουμε συνολικά τρία memristors, δύο για τις εισόδους της πύλης σε ανάστροφη πόλωση και ένα για την έξοδό της σε ορθή πόλωση. Τόσο τα memristors της εισόδου όσο και το memristor της εξόδου συνδέονται σε σειρά (εικόνα 2.13).

Στον πίνακα 2.7 βλέπουμε τον πίνακα αληθείας της πύλης NAND, τον απαραίτητο προγραμματισμό των memristors εισόδου/εξόδου, καθώς επίσης την τελική τιμή του memristor εξόδου το οποίο θα μας δώσει και το αποτέλεσμα της λογικής πράξεις NAND.

### Πίνακας 2.7 Πύλη AND.



Εικόνα 2.13 Πύλη AND.

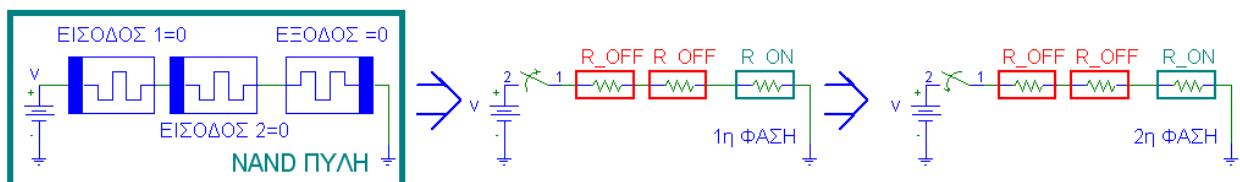
$$\text{ΕΞΟΔΟΣ}_{\text{OR}} = \overline{\text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2}$$

Είσοδος 1	Είσοδος 2	Αρχική Έξοδος	Τελική Έξοδος	Αντίσταση Εισόδου 1	Αντίσταση Εισόδου 2	Αρχική Αντίσταση Έξοδου	Τελική Αντίσταση Έξοδος
0	0	1	1	$R_{\text{OFF}}$	$R_{\text{OFF}}$	$R_{\text{ON}}$	$R_{\text{ON}}$
0	1	1	1	$R_{\text{OFF}}$	$R_{\text{ON}}$	$R_{\text{ON}}$	$R_{\text{ON}}$
1	0	1	1	$R_{\text{ON}}$	$R_{\text{OFF}}$	$R_{\text{ON}}$	$R_{\text{ON}}$
1	1	1	0	$R_{\text{ON}}$	$R_{\text{ON}}$	$R_{\text{ON}}$	$R_{\text{OFF}}$

#### 2.5.1. Και οι δύο είσοδοι ίσες με λογικό μηδέν

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με το λογικό «0» (εικόνα 2.14) κατά την 1η φάση τα memristors της εισόδου θα προγραμματισούν σε  $R_{\text{OFF}}$ , ενώ το memristor της εξόδου σε  $R_{\text{ON}}$ . Θα πρέπει να αναφέρουμε ότι καθόλην την 1η φάση της πύλης magic ο διακόπτης που συνδέει την πηγή τάσης με το υπόλοιπο κύκλωμα είναι ανοικτός οπότε το κύκλωμα δεν διαρρέεται από ρεύμα.

Κατά την 2η φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Επειδή τα memristors εισόδου όπως φαίνεται είναι συνδεδεμένα σε σειρά και προγραμματισμένα σε  $R_{\text{OFF}}$ , το ρεύμα που τα διαρρέει είναι πολύ μικρό (αμελητέο) για να μπορέσει να επηρεάσει το memristor εξόδου και να του αλλάξει την τιμή της αντίστασης του. Οπότε η τιμή της αντίστασης στο memristor εξόδου δεν αλλάζει, παραμένοντας στη αρχική του τιμή  $R_{\text{ON}}$  (λογικό «1»).

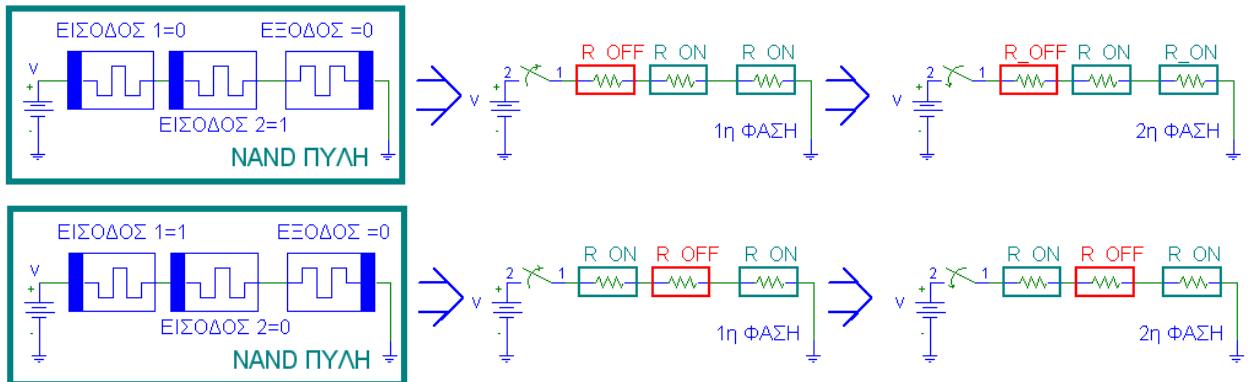


Εικόνα 2.14 Είσοδοι ίσες με λογικό «0».

#### 2.5.2. Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν

Στην περίπτωση που μία από τις δύο εισόδους λάβει την λογική τιμή «1» ενώ η άλλη την λογική τιμή «0» (εικόνα 2.15), κατά την 1η φάση, η τιμή της αντίστασης για το κάθε memristor της εισόδου θα είναι  $R_{\text{ON}}$  και  $R_{\text{OFF}}$  αντίστοιχα. Η αρχική τιμή του memristor της εξόδου θα είναι  $R_{\text{ON}}$  και ο διακόπτης όπως προηγουμένως θα είναι ανοικτός.

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Σε αυτήν την περίπτωση λόγω της εν σειρά συνδεσμολογίας των memristors, όταν κάποιο από τα memristors της εισόδου είναι προγραμματισμένο σε  $R_{OFF}$  εμποδίζει την διέλευση του ρεύματος στο υπόλοιπο κύκλωμα. Το σχεδόν μηδενικό ρεύμα που μπορεί να περάσει από την  $R_{OFF}$  και να φτάσει στο memristor της εξόδου δεν είναι αρκετό ώστε να του επιβάλει να αλλάξει κατάσταση. Οπότε το memristor της εξόδου παραμένει στην αρχική του κατάσταση δηλαδή σε  $R_{ON}$  (λογικό «1»).

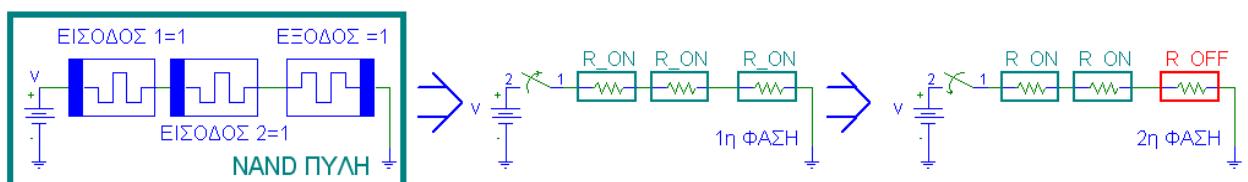


Εικόνα 2.15 Διαφορετικές Είσοδοι.

### 2.5.3. Και οι δύο είσοδοι ίσες με λογικό ένα

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «1» (εικόνα 2.16) τα memristors της εισόδου κατά την 1<sup>η</sup> φάση προγραμματίζονται σε  $R_{ON}$  όπως και το memristor εξόδου (ο διακόπτης είναι ανοικτός).

Κατά την 2η φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Σε αυτήν την περίπτωση το ρεύμα που διαρρέει το κύκλωμα είναι μεγάλο εξαιτίας της εν σειράς συνδεσμολογίας των δύο memristors εισόδου καθώς επίσης και της τιμή της αντίστασης τους που είναι και στα δύο ίση με  $R_{ON}$ . Οπότε, σύμφωνα με τον πίνακα 2.3, το ρεύμα που διαρρέει το κύκλωμα είναι αρκετά μεγάλο ώστε να αλλάξει την τιμή την αντίσταση του memristor της εξόδου από  $R_{ON}$  σε  $R_{OFF}$ , δίνοντας το λογικό αποτέλεσμα «0».



Εικόνα 2.16 Είσοδοι ίσες με λογικό «1».

## 2.6. Πύλη NOT

Η πύλη NOT μπορεί να υλοποιηθεί με την λογική magic εάν χρησιμοποιήσουμε συνολικά δύο memristors, ένα για την είσοδο της πύλης σε ανάστροφη πόλωση και ένα για την έξοδο της σε ορθή πόλωση. Τόσο το memristor της εισόδου όσο και το memristor της εξόδου συνδέονται σε σειρά. (εικόνα 2.17.)

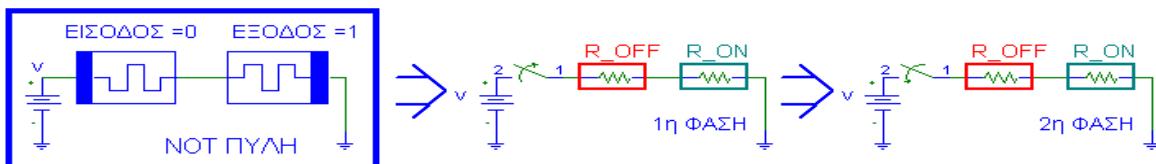
Στον πίνακα 2.8 βλέπουμε τον πίνακα αληθείας της πύλης NOT, τον απαραίτητο προγραμματισμό του memristor εισόδου/εξόδου, καθώς επίσης την τελική τιμή του memristor εξόδου το οποίο θα μας δώσει και το αποτέλεσμα της λογικής πράξεις NOT.

Πίνακας 2.8 Πύλη NOT.					
<b>ΕΞΟΔΟΣ = ΕΞΟΔΟΣ</b>					
Είσοδος	Αρχική Έξοδος	Τελική Έξοδος	Αντίσταση Εισόδου	Αρχική Αντίσταση Εξόδου	Τελική Αντίσταση Εξόδου
0	1	1	$R_{OFF}$	$R_{ON}$	$R_{ON}$
1	1	0	$R_{ON}$	$R_{ON}$	$R_{OFF}$

### 2.6.1. Είσοδος ίση με λογικό μηδέν

Στην περίπτωση που η είσοδος είναι ίση με το λογικό «0» (εικόνα 2.18) κατά την 1<sup>η</sup> φάση το memristor της εισόδου θα προγραμματιστεί σε  $R_{OFF}$  ενώ το memristor της εξόδου σε  $R_{ON}$ . Θα πρέπει να αναφέρουμε ότι καθόλην την 1<sup>η</sup> φάση της πύλης magic ο διακόπτης που συνδέει την πηγή τάσης με το υπόλοιπο κύκλωμα είναι ανοικτός οπότε το κύκλωμα δεν διαρρέεται από ρεύμα.

Κατά την 2η φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Επειδή το memristor εισόδου όπως φαίνεται είναι προγραμματισμένο στην τιμή της αντίσταση  $R_{OFF}$ , το ρεύμα που το διαρρέει είναι πολύ μικρό (αμελητέο) για να μπορέσει να επηρεάσει το memristor εξόδου και να του αλλάξει την τιμή της αντίστασης του. Οπότε η τιμή της αντίστασης στο memristor εξόδου δεν αλλάζει, παραμένοντας στη αρχική του τιμή  $R_{ON}$  (λογικό «1»).

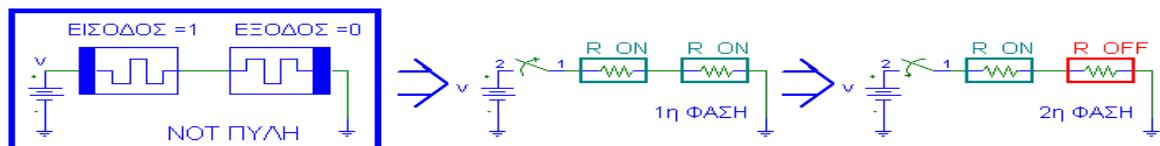


Εικόνα 2.18 Είσοδος ίση με λογικό «0».

## 2.6.2. Είσοδος ίση με λογικό ένα.

Στην περίπτωση που η είσοδος είναι ίση με το λογικό «1» (εικόνα 2.19) κατά την 1<sup>η</sup> φάση το memristor της εισόδου θα προγραμματιστεί σε  $R_{ON}$  όπως επίσης και το memristor της εξόδου. Θα πρέπει να αναφέρουμε ότι καθόλην την 1<sup>η</sup> φάση της πύλης magic ο διακόπτης που συνδέει την πηγή τάσης με το υπόλοιπο κύκλωμα είναι ανοικτός οπότε το κύκλωμα δεν διαρρέεται από ρεύμα.

Κατά την 2<sup>η</sup> φάση ο διακόπτης κλείνει και στο κύκλωμα εφαρμόζεται η τάση V. Επειδή το memristor εισόδου όπως φαίνεται είναι προγραμματισμένο στην τιμή της αντίστασης  $R_{ON}$ , το ρεύμα που το διαρρέει είναι τόσο μεγάλο ώστε να είναι ικανό να αλλάξει την τιμή της αντίστασης memristor εξόδου. Οπότε η τιμή της αντίστασης στο memristor εξόδου γίνεται  $R_{OFF}$  (λογικό «0»).



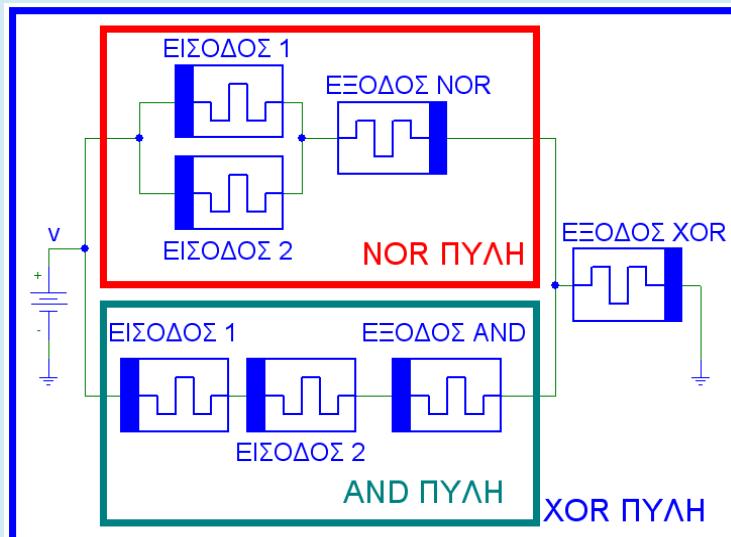
Εικόνα 2.19 Είσοδος ίση με λογικό «1».

## 2.7. Πύλη XOR

Η πύλη XOR μπορεί να υλοποιηθεί εάν χρησιμοποιήσουμε μία πύλη magic NOR και αντικαταστήσουμε τα δύο memristors εισόδου και στη θέση τους τοποθετήσουμε αντίστοιχα μία πύλη magic AND και μία magic NOR εικόνα 2.20. Στον πίνακα 2.9 βλέπουμε τον πίνακα αληθείας της πύλης XOR αλλά και των επιμέρους πυλών που την απαρτίζουν. Πιο αναλυτικά παραθέτουμε την παρακάτω λογική συνάρτηση.

$$\begin{aligned}
 \text{ΕΞΟΔΟΣ}_{\text{XOR}} &= \overline{\overline{\text{ΕΞΟΔΟΣ}_{\text{NOR}}} + \overline{\text{ΕΞΟΔΟΣ}_{\text{AND}}}} \\
 &= (\overline{\text{ΕΙΣΟΔΟΣ}_1 + \text{ΕΙΣΟΔΟΣ}_2}) + (\overline{\text{ΕΙΣΟΔΟΣ}_1} \cdot \overline{\text{ΕΙΣΟΔΟΣ}_2}) \\
 &= (\overline{\text{ΕΙΣΟΔΟΣ}_1 + \text{ΕΙΣΟΔΟΣ}_2}) \cdot (\overline{\text{ΕΙΣΟΔΟΣ}_1} + \overline{\text{ΕΙΣΟΔΟΣ}_2}) \\
 &= (\overline{\text{ΕΙΣΟΔΟΣ}_1} \cdot \text{ΕΙΣΟΔΟΣ}_2) + (\overline{\text{ΕΙΣΟΔΟΣ}_2} \cdot \text{ΕΙΣΟΔΟΣ}_1)
 \end{aligned}$$

Πίνακας 2.9 Πύλη XOR.



Εικόνα 2.20 Πύλη XOR.

Είσοδος 1	Είσοδος 2	Αρχική Έξοδος NOR	Τελική Έξοδος NOR	Αρχική Έξοδος AND	Τελική Έξοδος AND	Αρχική Έξοδος XOR	Τελική Έξοδος XOR
0	0	1	1	0	0	1	0
0	1	1	0	0	0	1	1
1	0	1	0	0	0	1	1
1	1	1	0	0	1	1	0
Είσοδος 1	Είσοδος 2	Αρχική Αντίσταση Εξόδου NOR	Τελική Αντίσταση Εξόδου NOR	Αρχική Αντίσταση Εξόδου AND	Τελική Αντίσταση Εξόδου AND	Αρχική Αντίσταση Εξόδου XOR	Τελική Αντίσταση Εξόδου XOR
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>

## 2.8. Πύλη XNOR

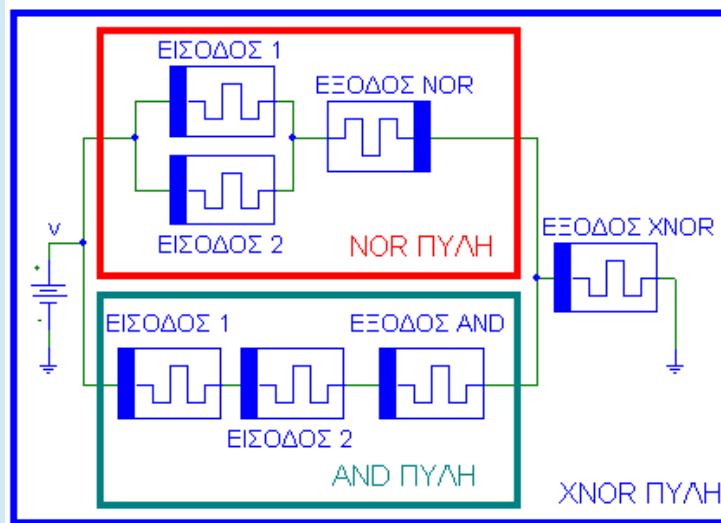
Η πύλη XNOR μπορεί να υλοποιηθεί όπως και η πύλη XOR με μια μικρή διαφορά. Αντί της πύλης magic NOR χρησιμοποιούμε μία πύλη magic OR και αντικαθιστούμε τα δύο memristors εισόδου και στην θέση τους τοποθετήσουμε μία πύλη magic AND και μία magic NOR εικόνα 2.21. Στον πίνακα 2.10 βλέπουμε τον πίνακα αληθείας της συνολικής πύλης XNOR. Πιο αναλυτικά παραθέτουμε την παρακάτω λογική συνάρτηση.

$$\text{ΕΞΟΔΟΣ}_{\text{XNOR}} = \overline{\text{ΕΞΟΔΟΣ}_{\text{NOR}}} + \text{ΕΞΟΔΟΣ}_{\text{AND}}$$

$$= (\overline{\text{ΕΙΣΟΔΟΣ}_1 + \text{ΕΙΣΟΔΟΣ}_2}) + (\text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2)$$

$$= (\overline{\text{ΕΙΣΟΔΟΣ}_1} \cdot \overline{\text{ΕΙΣΟΔΟΣ}_2}) + (\text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2)$$

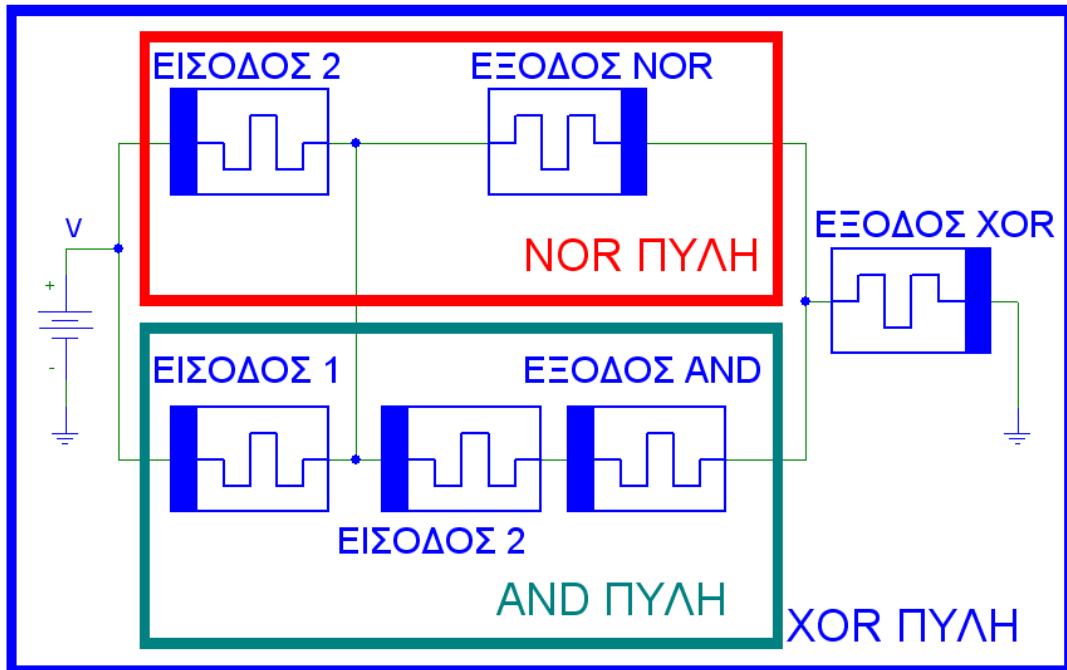
Πίνακας 2.10 Πύλη XNOR.



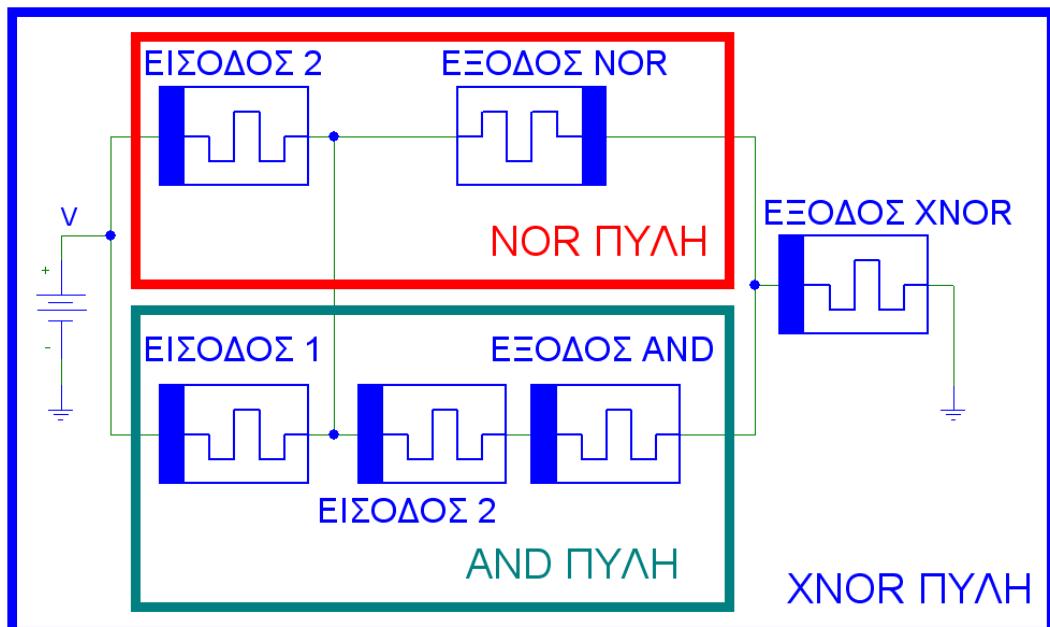
Εικόνα 2.21 Πύλη XNOR.

Είσοδος 1	Είσοδος 2	Αρχική Έξοδος NOR	Τελική Έξοδος NOR	Αρχική Έξοδος AND	Τελική Έξοδος AND	Αρχική Έξοδος XNOR	Τελική Έξοδος XNOR
0	0	1	1	0	0	0	1
0	1	1	0	0	0	0	0
1	0	1	0	0	0	0	0
1	1	1	0	0	1	0	1
Είσοδος 1	Είσοδος 2	Αρχική Αντίσταση Εξόδου NOR	Τελική Αντίσταση Εξόδου NOR	Αρχική Αντίσταση Εξόδου AND	Τελική Αντίσταση Εξόδου AND	Αρχική Αντίσταση Εξόδου XNOR	Τελική Αντίσταση Εξόδου XNOR
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>

Στις δύο προηγούμενες σχεδιάσεις, παρατηρήσαμε ότι στις εσωτερικές πύλες AND και NOR που χρησιμοποιούνται για την υλοποίηση των λογικών πυλών XOR και XNOR, μπορούμε να παραλείψουμε τα ένα εκ των δύο memristor της εισόδου 2 χωρίς να επηρεάσει την λειτουργία του υπόλοιπου κυκλώματος (εικόνα 2.22 και 2.23).



Εικόνα 2.22 Απλοποιημένη πύλη XOR.



Εικόνα 2.23 Απλοποιημένη πύλη XNOR.

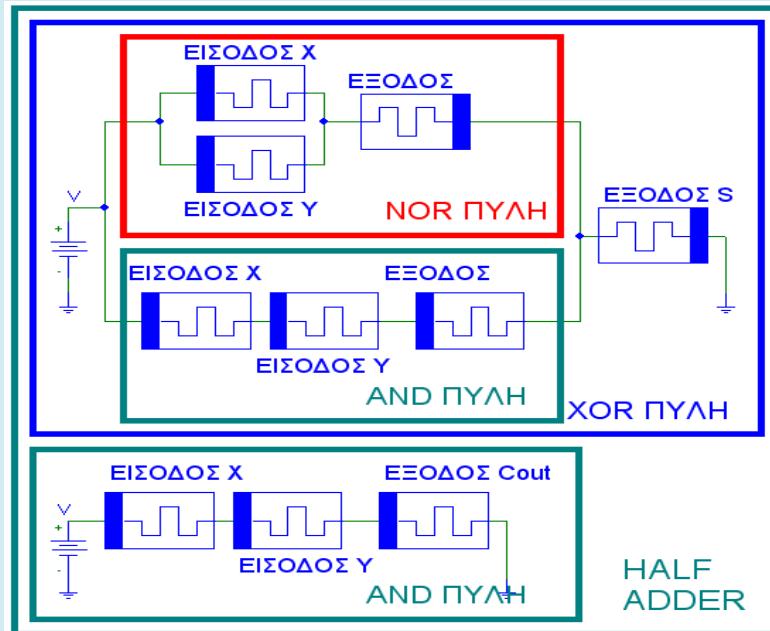
## 2.9. Πύλη Half Adder

Η πύλη HA μπορεί να υλοποιηθεί εάν χρησιμοποιήσουμε μία πύλη magic XOR για την έξοδο S και μία πύλη magic AND για την έξοδο  $C_{OUT}$  εικόνα 2.24. Στον πίνακα 2.11 βλέπουμε τον πίνακα αληθείας της πύλης HA αλλά και των επιμέρους πυλών που την απαρτίζουν.

$$S = \text{ΕΙΣΟΔΟΣ}_1 \oplus \text{ΕΙΣΟΔΟΣ}_2$$

$$C_{OUT} = \text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2$$

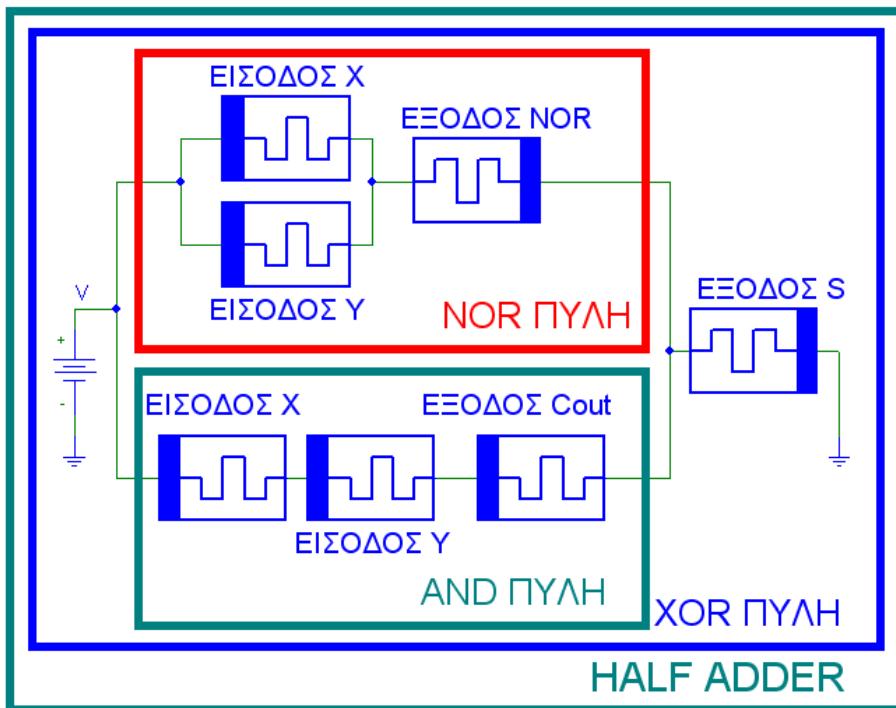
Πίνακας 2.11 Πύλη Half Adder.



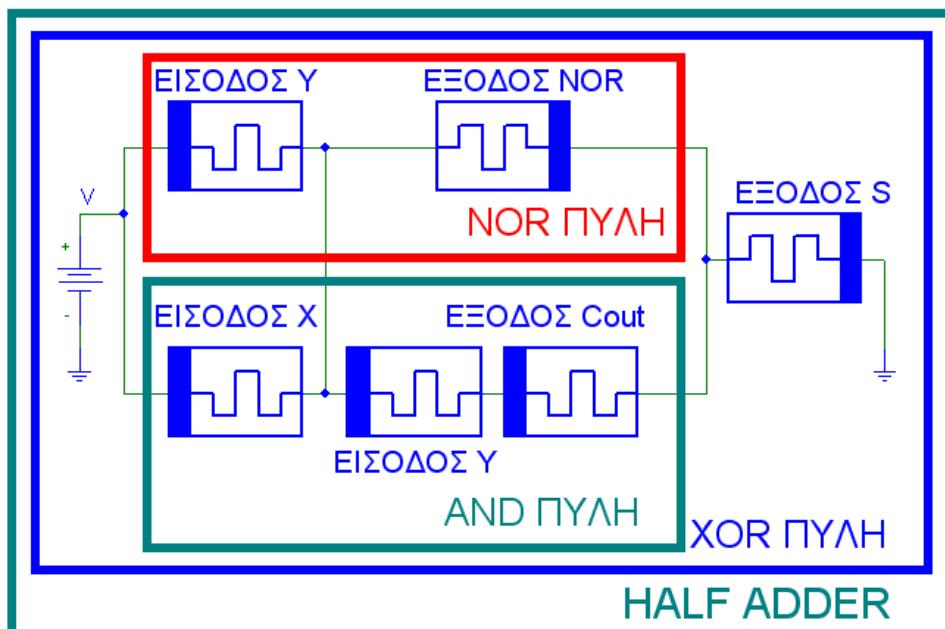
Εικόνα 2.24 Πύλη Half Adder.

Είσοδος X	Είσοδος Y	Αρχική Έξοδος NOR	Τελική Έξοδος NOR	Αρχική Έξοδος AND	Τελική Έξοδος AND ( $C_{OUT}$ )	Αρχική Έξοδος XOR	Τελική Έξοδος XOR (S)
0	0	1	1	0	0	1	0
0	1	1	0	0	0	1	1
1	0	1	0	0	0	1	1
1	1	1	0	0	1	1	0
Είσοδος X	Είσοδος Y	Αρχική Αντίσταση Εξόδου NOR	Τελική Αντίσταση Εξόδου NOR	Αρχική Αντίσταση Εξόδου AND	Τελική Αντίσταση Εξόδου AND ( $C_{OUT}$ )	Αρχική Αντίσταση Εξόδου XOR	Τελική Αντίσταση Εξόδου XOR (S)
$R_{OFF}$	$R_{OFF}$	$R_{ON}$	$R_{ON}$	$R_{OFF}$	$R_{OFF}$	$R_{ON}$	$R_{OFF}$
$R_{OFF}$	$R_{ON}$	$R_{ON}$	$R_{OFF}$	$R_{OFF}$	$R_{OFF}$	$R_{ON}$	$R_{ON}$
$R_{ON}$	$R_{OFF}$	$R_{ON}$	$R_{OFF}$	$R_{OFF}$	$R_{OFF}$	$R_{ON}$	$R_{ON}$
$R_{ON}$	$R_{ON}$	$R_{ON}$	$R_{OFF}$	$R_{OFF}$	$R_{ON}$	$R_{ON}$	$R_{OFF}$

Παρατηρούμε ότι η AND πύλη της εξόδου  $C_{OUT}$  υπάρχει ήδη μέσα στην XOR πύλη σαν υποκύκλωμα. Οπότε η χρήση της επιπλέον πύλης AND κρίνεται άσκοπη εικόνα 2.25. Επιπλέον παρατηρούμε ότι, το κύκλωμα του HF μπορεί να απλοποιηθεί ακόμα περισσότερο εικόνα 2.26 χωρίς να έχουμε αλλοιώσεις στο αποτέλεσμα του κυκλώματος.



Εικόνα 2.25 Πύλη Half Adder χωρίς την χρήση πρόσθετης AND.



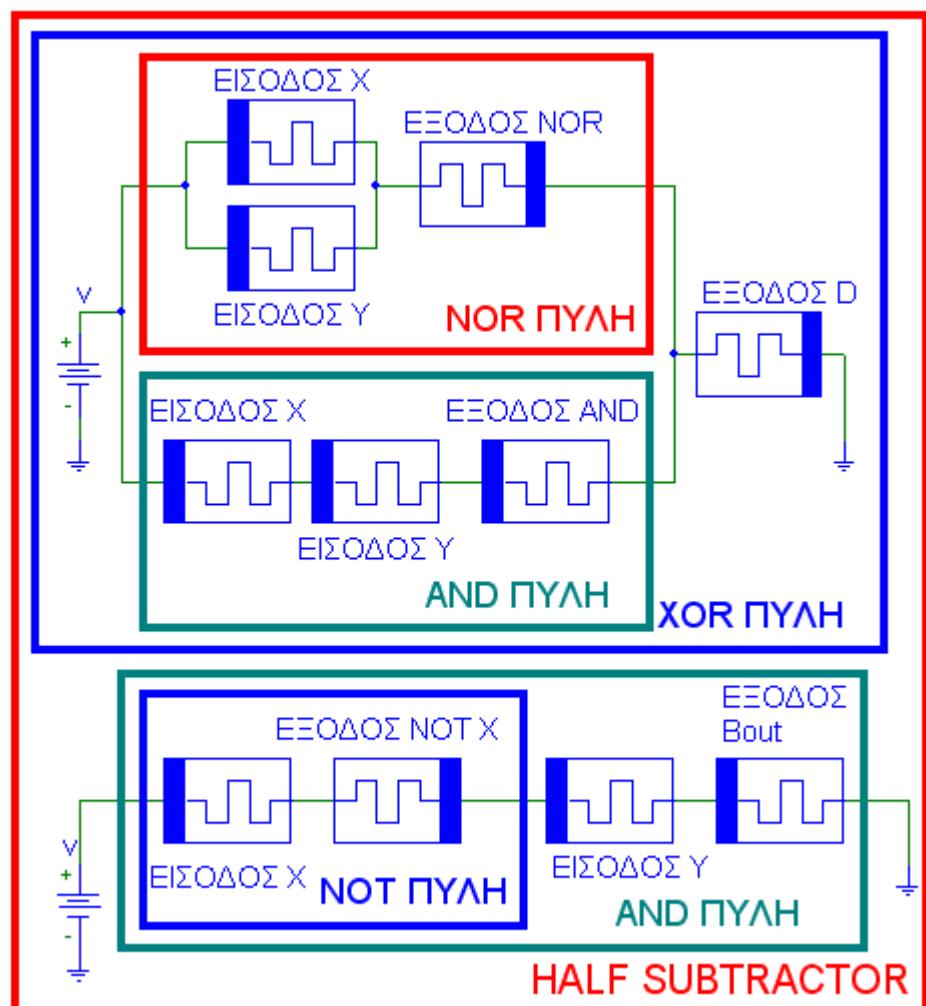
Εικόνα 2.26 Απλοποιημένη πύλη Half Adder.

## 2.10. Πύλη Half Subtractor

Η πύλη HS μπορεί να υλοποιηθεί εάν χρησιμοποιήσουμε μία πύλη magic XOR για την έξοδο  $D_{OUT}$  και έναν συνδυασμό μίας πύλης magic NOR αντικαθιστώντας τα δύο memristors εισόδου και στην θέση τους τοποθετήσουμε μία πύλη magic AND και μία magic NOT εικόνα 2.27. Στον πίνακα 2.12 και 2.13 βλέπουμε τον πίνακα αληθείας της συνολικής πύλης HS αλλά και των επιμέρους πυλών που την απαρτίζουν.

$$D = X \oplus Y$$

$$B_{OUT} = \bar{X} \cdot Y$$



Εικόνα 2.27 Πύλη Half Subtractor, έξοδος  $D$ .

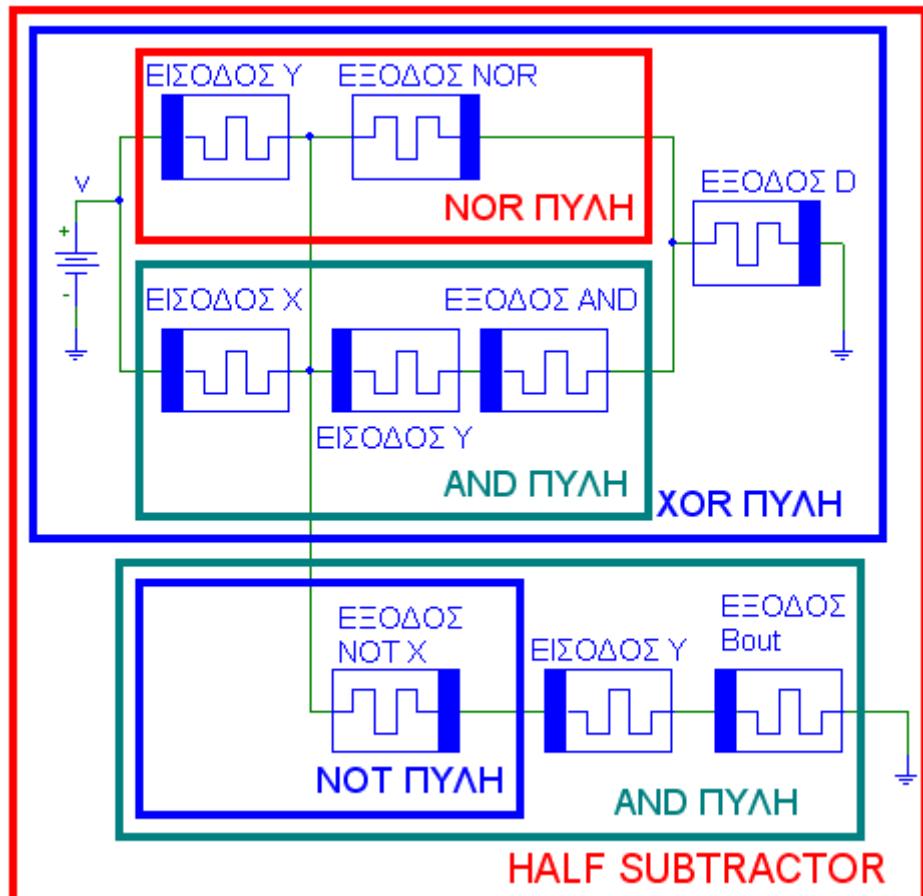
**Πίνακας 2.12 Πύλη Half Subtractor, έξοδος D.**

Είσοδος X	Είσοδος Y	Αρχική Έξοδος NOR	Τελική Έξοδος NOR	Αρχική Έξοδος AND	Τελική Έξοδος AND	Αρχική Έξοδος XOR	Τελική Έξοδος XOR (D)
0	0	1	1	0	0	1	0
0	1	1	0	0	0	1	1
1	0	1	0	0	0	1	1
1	1	1	0	0	1	1	0
Είσοδος X	Είσοδος Y	Αρχική Αντίσταση Εξόδου NOR	Τελική Αντίσταση Εξόδου NOR	Αρχική Αντίσταση Εξόδου AND	Τελική Αντίσταση Εξόδου AND	Αρχική Αντίσταση Εξόδου XOR	Τελική Αντίσταση Εξόδου XOR (D)
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>

**Πίνακας 2.13 Πύλη Half Subtractor, έξοδος B<sub>OUT</sub>.**

Είσοδος X	Είσοδος Y	Αρχική Έξοδος NOT	Τελική Έξοδος NOT	Αρχική Έξοδος AND	Τελική Έξοδος AND (B <sub>OUT</sub> )
0	0	1	1	0	0
0	1	1	1	0	1
1	0	1	0	0	0
1	1	1	0	0	0
Είσοδος X	Είσοδος Y	Αρχική Αντίσταση Εξόδου NOT	Τελική Αντίσταση Εξόδου NOT	Αρχική Αντίσταση Εξόδου AND	Τελική Αντίσταση Εξόδου AND
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>

Παρατηρούμε ότι στην HS πύλη μπορούν να γίνουν κάποιες απλοποιήσεις. Το memristor που χρησιμοποιούμε ως είσοδο X μπορεί να χρησιμοποιηθεί ταυτόχρονα αντί τριών όμοιων χωρίς να επηρεάζει την λειτουργία του υπόλοιπου κυκλώματος, εικόνα 2.28.



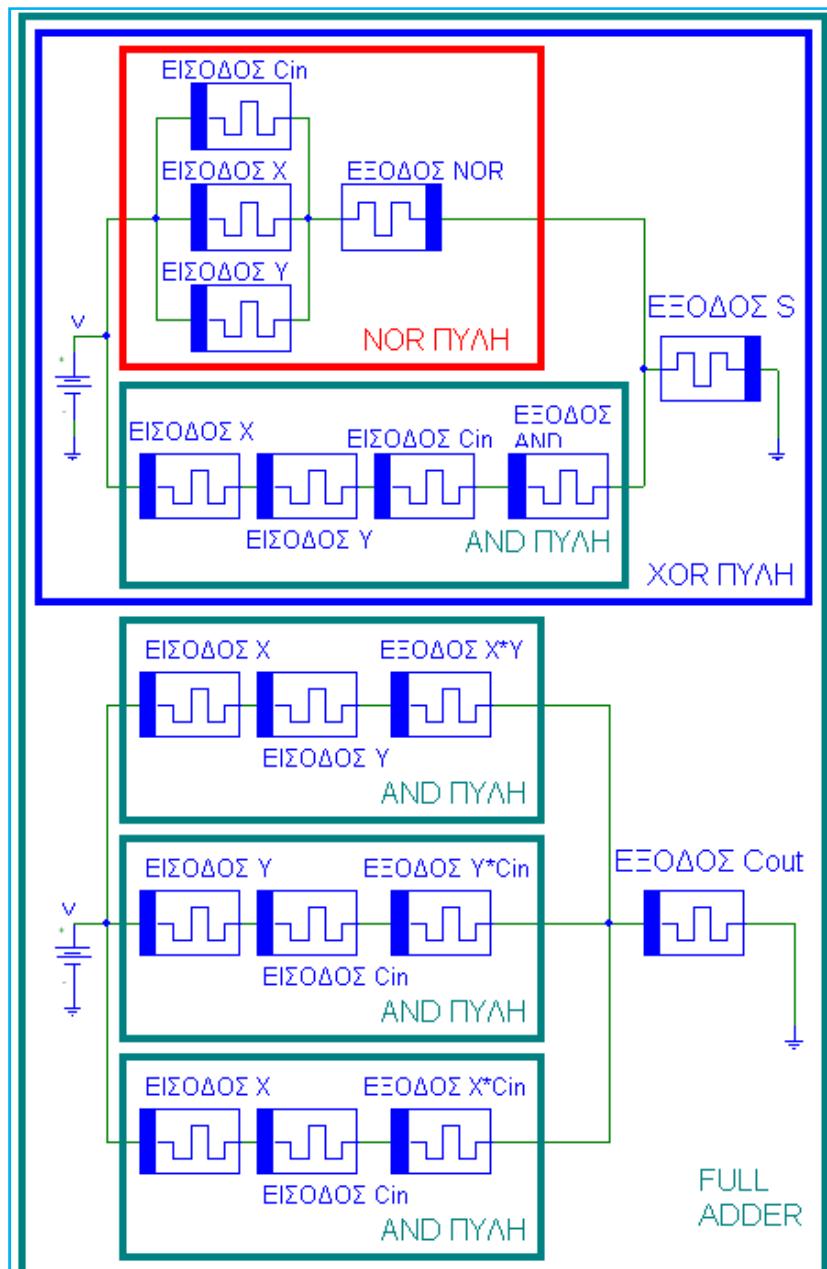
Εικόνα 2.28 Απλοποιημένη πύλη Half Subtractor.

## 2.11. Πύλη Full Adder

Η πύλη FA μπορεί να υλοποιηθεί με παρόμοια λογική με αυτή που χρησιμοποιήσαμε για να υλοποιήσουμε τον HA. Η έξοδος S προκύπτει όπως και στον HA με την βοήθεια μία magic XOR πύλης με την διαφορά ότι τώρα έχουμε τρία memristors εισόδου. Η έξοδος  $C_{OUT}$  προκύπτει από τρείς magic AND πύλες οι οποίες συνδέονται μεταξύ τους με μία magic OR πύλη εικόνα 2.29. Στον πίνακα 2.14 και 2.15 βλέπουμε τον πίνακα αληθείας της συνολικής πύλης HA αλλά και των επιμέρους πυλών που την απαρτίζουν.

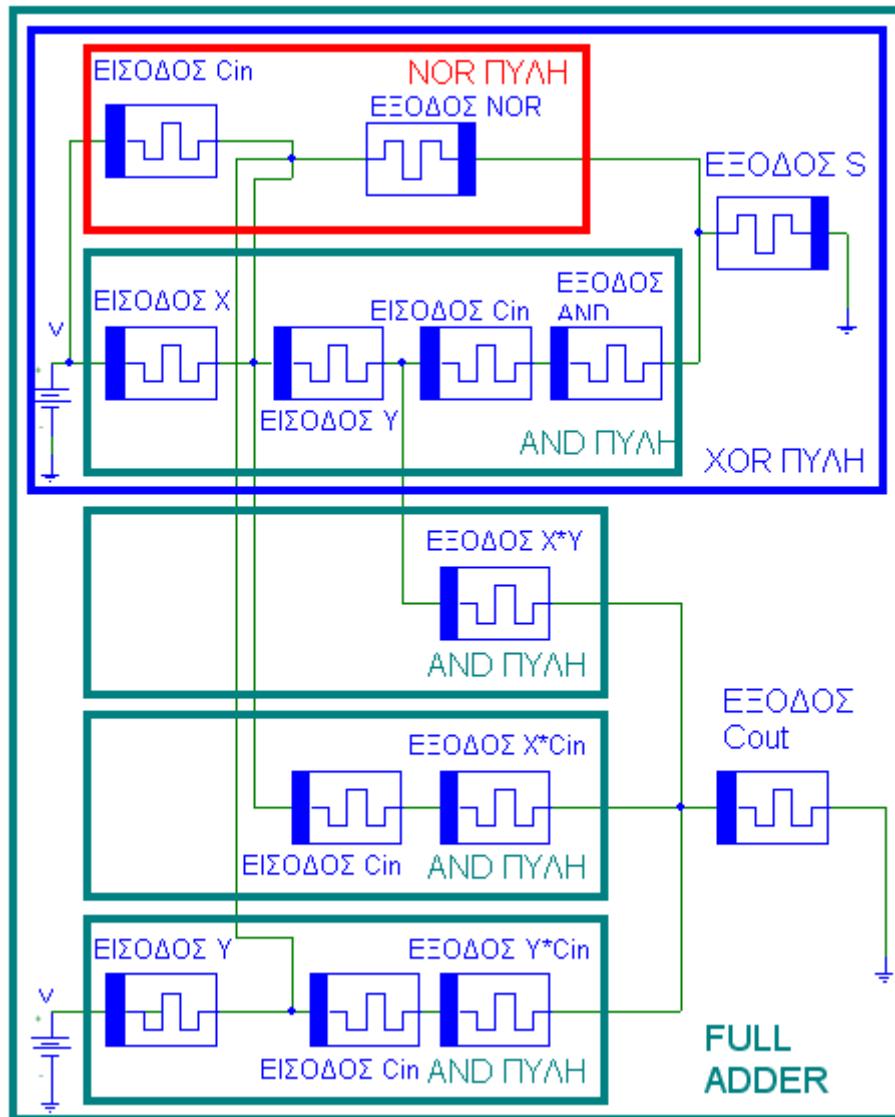
$$S = X \oplus Y \oplus C_{IN}$$

$$C_{OUT} = X \cdot Y + Y \cdot C_{IN} + X \cdot C_{IN}$$



Εικόνα 2.29 Full Adder αποτελούμενος από μία magic XOR πύλη ( $S$ ) και μία σύνθεση τριών magic AND και μίας magic OR ( $C_{OUT}$ )

Ομοίως με προηγούμενος η πύλη FA μπορεί να απλοποιηθεί εικόνα 2.30.



Εικόνα 2.30 Απλοποιημένος Full Adder.

Πίνακας 2.14 Full Adder, έξοδος XOR (S)								
X	Y	B <sub>IN</sub>	Αρχική Έξοδος NOR	Τελική Έξοδος NOR	Αρχική Έξοδος AND	Τελική Έξοδος AND	Αρχική Έξοδος XOR	Τελική Έξοδος XOR (S)
0	0	0	1	1	0	0	1	0
0	0	1	1	0	0	0	1	1
0	1	0	1	0	0	0	1	1
0	1	1	1	0	0	0	1	0
1	0	0	1	0	0	0	1	1
1	0	1	1	0	0	0	1	0
1	1	0	1	0	0	0	1	0
1	1	1	1	0	0	1	1	1
X	Y	B <sub>IN</sub>	Αρχική Αντίσταση Εξόδου NOR	Τελική Αντίσταση Εξόδου NOR	Αρχική Αντίσταση Εξόδου AND	Τελική Αντίσταση Εξόδου AND	Αρχική Αντίσταση Εξόδου XOR	Τελική Αντίσταση Εξόδου XOR (S)
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>

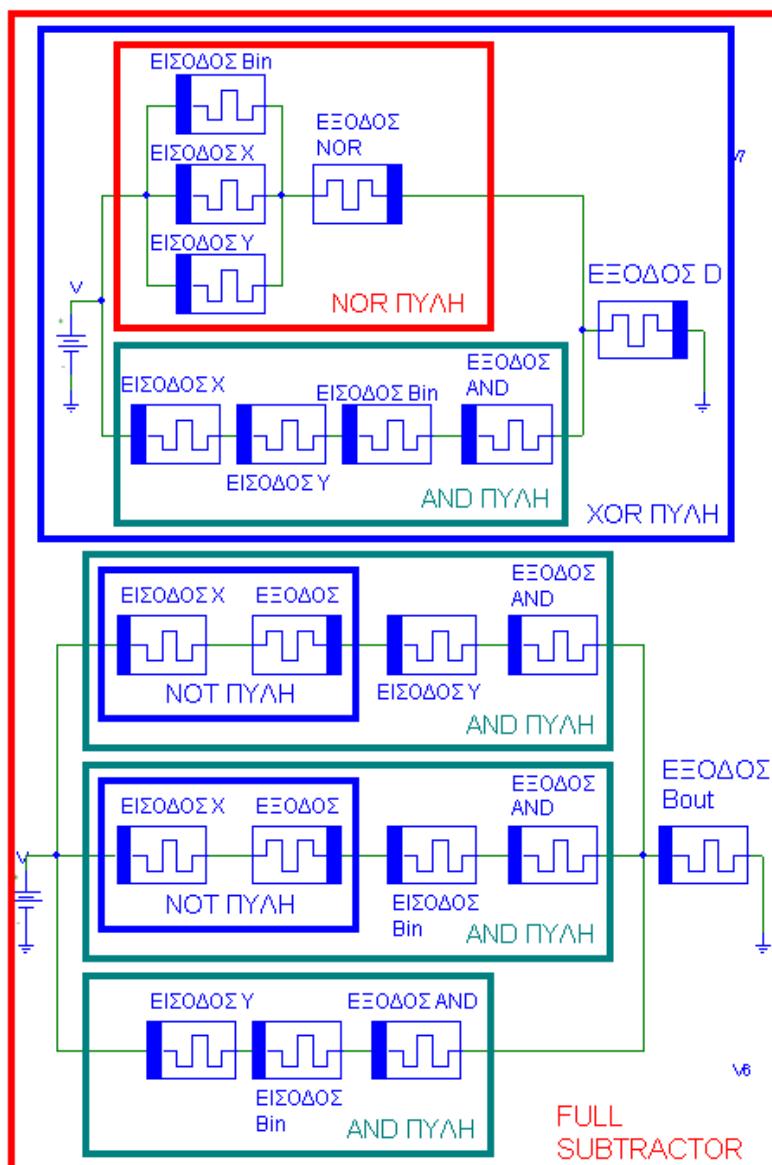
Πίνακας 2.15 Full Adder, έξοδος OR (C <sub>OUT</sub> )								
X	Y	C <sub>IN</sub>	Αρχική Έξοδος AND (όλων)	Τελική Έξοδος AND (X · Y)	Τελική Έξοδος AND (Y · C <sub>IN</sub> )	Τελική Έξοδος AND (X · C <sub>IN</sub> )	Αρχική Έξοδος NOR	Τελική Έξοδος NOR (C <sub>OUT</sub> )
0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	1	0
0	1	0	0	0	0	0	1	0
0	1	1	0	0	1	0	1	1
1	0	0	0	0	0	0	1	0
1	0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	1	1
1	1	1	0	1	1	1	1	1
X	Y	C <sub>IN</sub>	Αρχική Αντίσταση Εξόδου AND (όλων)	Τελική Αντίσταση Εξόδου AND (X · Y)	Τελική Αντίσταση Εξόδου AND (Y · C <sub>IN</sub> )	Τελική Αντίσταση Εξόδου AND (X · C <sub>IN</sub> )	Αρχική Αντίσταση Εξόδου NOR	Τελική Αντίσταση Εξόδου NOR (C <sub>OUT</sub> )
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>

## 2.12. Πύλη Full Subtractor

Η πύλη Full Subtractor (FS) μπορεί να υλοποιηθεί με παρόμοια λογική με αυτή που χρησιμοποιήσαμε για να υλοποιήσουμε τον Half Subtractor(HS). Η έξοδος D προκύπτει όπως και στον HS με την βοήθεια μία magic XOR πύλης με την διαφορά ότι τώρα έχουμε τρία memristors εισόδου. Η έξοδος  $C_{OUT}$  προκύπτει από τρείς magic AND πύλες οι οποίες συνδέονται μεταξύ τους με μία magic OR πύλη εικόνα 2.31, με τη διαφορά ότι στις δύο magic AND έχει προστεθεί από μία magic NOT για να επιτύχουμε την επιθυμητή λογική συνάρτηση. Η μία πύλη magic NOT όπως μπορούμε να δούμε μπορεί να παραληφθεί, εφόσον και οι δύο magic NOT υλοποιούν την ίδια συνάρτηση. Στον πίνακα 2.16 και 2.17 βλέπουμε τον πίνακα αληθείας της συνολικής πύλης ΗΑ αλλά και των επιμέρους πυλών που την απαρτίζουν.

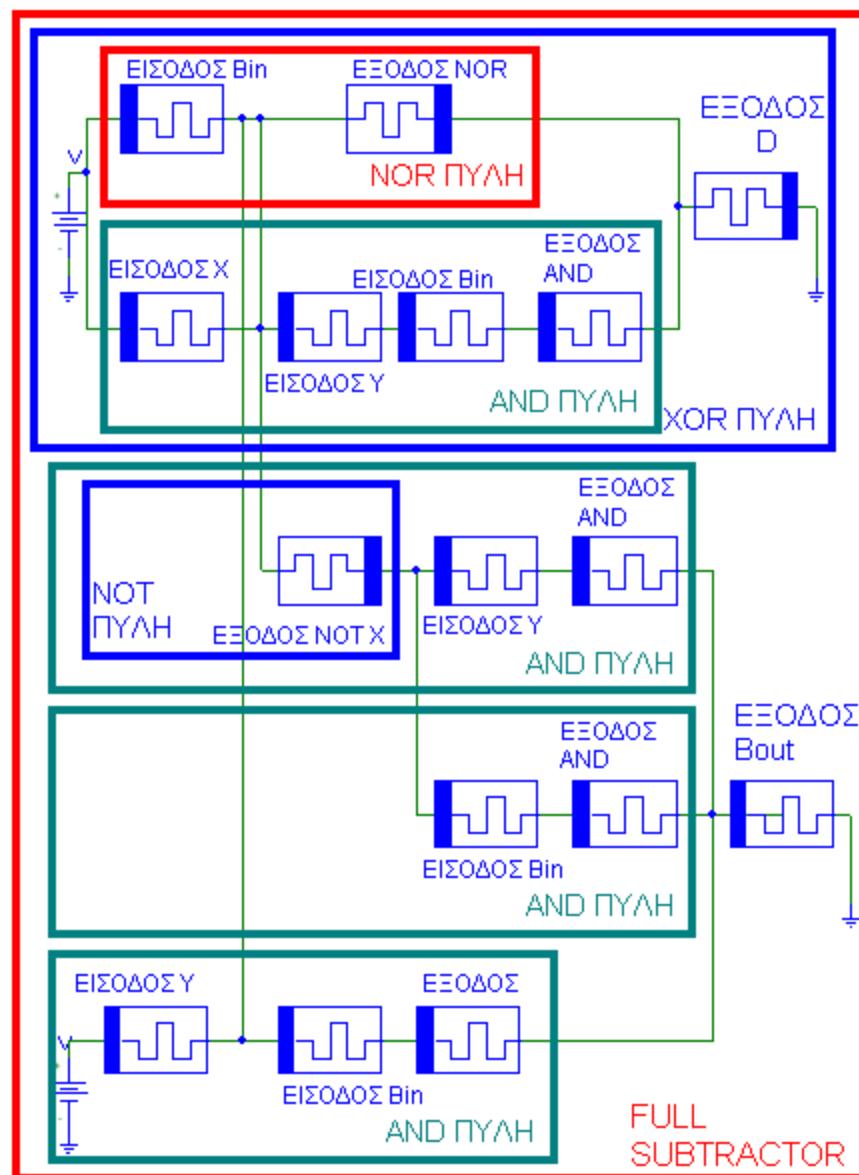
$$D = X \oplus Y \oplus B_{IN}$$

$$B_{OUT} = \bar{X} \cdot Y + Y \cdot B_{IN} + \bar{X} \cdot B_{IN}$$



Εικόνα 2.31 Full Subtractor αποτελούμενος από μία magic XOR πύλη (D) και μία σύνθεση αποτελούμενη από δύο magic NOT , τριών magic AND και μίας magic OR ( $B_{OUT}$ ).

Ομοίως με προηγούμενος η πύλη FS μπορεί να απλοποιηθεί εικόνα 2.32.



Εικόνα 2.32 Απλοποιημένος Full Subtractor.

Πίνακας 2.16 Full Subtractor, έξοδος XOR (D)									
X	Y	B <sub>IN</sub>	Αρχική Έξοδος NOR	Τελική Έξοδος NOR	Αρχική Έξοδος AND	Τελική Έξοδος AND	Αρχική Έξοδος XOR	Τελική Έξοδος XOR (D)	
0	0	0	1	1	0	0	1	0	
0	0	1	1	0	0	0	1	1	
0	1	0	1	0	0	0	1	1	
0	1	1	1	0	0	0	1	0	
1	0	0	1	0	0	0	1	1	
1	0	1	1	0	0	0	1	0	
1	1	0	1	0	0	0	1	0	
1	1	1	1	0	0	1	1	1	
X	Y	B <sub>IN</sub>	Αρχική Αντίσταση Εξόδου NOR	Τελική Αντίσταση Εξόδου NOR	Αρχική Αντίσταση Εξόδου AND	Τελική Αντίσταση Εξόδου AND	Αρχική Αντίσταση Εξόδου XOR	Τελική Αντίσταση Εξόδου XOR (D)	
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	

Πίνακας 2.17 Full Subtractor, έξοδος NOR (B <sub>OUT</sub> )										
X	Y	B <sub>IN</sub>	Αρχική Έξοδος AND (όλων)	Αρχική Έξοδος NOT (όλων)	Τελική Έξοδος NOT ( $\bar{X}$ )	Τελική Έξοδος AND ( $\bar{X} \cdot Y$ )	Τελική Έξοδος AND ( $Y \cdot C_{IN}$ )	Τελική Έξοδος AND ( $\bar{X} \cdot C_{IN}$ )	Αρχική Έξοδος NOR	Τελική Έξοδος NOR (B <sub>OUT</sub> )
0	0	0	0	1	1	0	0	0	1	0
0	0	1	0	1	1	0	0	1	1	1
0	1	0	0	1	1	1	0	0	1	1
0	1	1	0	1	1	1	1	1	1	1
1	0	0	0	1	0	0	0	0	1	0
1	0	1	0	1	0	0	0	0	1	0
1	1	0	0	1	0	0	0	0	1	0
1	1	1	0	1	0	0	1	0	1	1
X	Y	B <sub>IN</sub>	Αρχική Αν/ση Εξόδου AND (όλων)	Αρχική Αν/η Εξόδου NOT (όλων)	Τελική Αν/ση Εξόδου NOT ( $\bar{X}$ )	Τελική Αν/ση Εξόδου AND ( $\bar{X} \cdot Y$ )	Τελική Αν/ση Εξόδου AND ( $Y \cdot B_{IN}$ )	Τελική Αν/ση Εξόδου AND ( $\bar{X} \cdot B_{IN}$ )	Αρχική Αν/ση Εξόδου NOR	Τελική Αν/ση Εξόδου NOR (B <sub>OUT</sub> )
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>
R <sub>ON</sub>	R <sub>ON</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>OFF</sub>	R <sub>ON</sub>	R <sub>ON</sub>

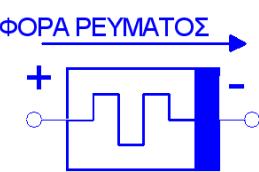
### 3. MEMRISTOR RATIOED LOGIC

#### 3.1 MRL ένα υβριδικό μοντέλο

Η κατηγορία MRL (Memristor Ratioed Logic) [29],[30] είναι ένα υβριδικό μοντέλο το οποίο συνδυάζει την υλοποίηση κυκλωμάτων με τη χρήση συμβατικών c-mos κυκλωμάτων μαζί με memristors. Χρησιμοποιώντας το πλεονέκτημα που διαθέτουν τα memristors, να μπορούν να μεταβάλουν την αντίσταση τους σύμφωνα με την πόλωση που εφαρμόζεται πάνω τους, θα δείξουμε παρακάτω πώς είναι δυνατή η κατασκευή των λογικών πυλών OR και AND. Επίσης, για την υλοποίηση των λογικών πυλών NOR και NAND είναι αναγκαία η χρήση ενός αντιστροφέα c-mos, ο οποίος συνδέεται στην έξοδο κάθε πύλης OR ή AND και δημιουργεί τις πύλες NOR και NAND, αντίστοιχα. Η ανάγκη χρήσης του αναστροφέα σε συνδυασμό με τα memristors δικαιολογεί το χαρακτηρισμό του μοντέλου ως υβριδικό εφόσον χρησιμοποιούμε και τις δύο τεχνολογίες (c-mos και memristor).

Η βασική διαφορά αυτής της λογικής από την προηγούμενη είναι ότι το λογικό αποτέλεσμα της συνάρτησης που υλοποιείται είναι η τάση και όχι η αντίσταση. Το πλεονέκτημα αυτής της διαφοράς είναι ότι δεν υπάρχει ανάγκη αρχικοποίησης της τιμής της αντίστασης των memristors. Ο πίνακας 3.1 αναλύει πώς μεταβάλλεται η τιμή της αντίστασης  $R_{MR}$  του memristor ανάλογα με τη φορά του ρεύματος που το διαρρέει (της πόλωσης του).

**Πίνακας 3.1 Τιμή της αντίστασης του memristor ανάλογα με τη φορά του ρεύματος.**

Φορά ρεύματος	Πόλωση	$R_{MEMRISTOR}$
	Ορθή πόλωση	$R_{OFF}$
	Ανάστροφη πόλωση	$R_{ON}$

Όπως μπορούμε να δούμε από τον πίνακα 3.1 για ορθά πολωμένο memristor η τιμή της αντίστασης του γίνεται η μέγιστη δυνατή, δηλαδή ίση με  $R_{OFF}$ , ενώ για ανάστροφα πολωμένο memristor η τιμή της αντίστασης του γίνεται η ελάχιστη δυνατή που είναι η  $R_{ON}$ .

Έχοντας υπόψη το πώς μεταβάλλεται η κατάσταση της αντίστασης του memristor σύμφωνα με τη φορά του ρεύματος που το διαρρέει, ακολουθεί η ανάλυση των δύο πρώτων πυλών OR και AND.

## 3.2 Πύλη OR

Η πύλη OR μπορεί να κατασκευαστεί εάν τοποθετήσουμε δύο memristors σε ανάστροφη πόλωση, έχοντας ως εισόδους της πύλης, τις εισόδους των memristors και ως έξοδο της, τη βραχικυκλωμένη έξοδο των δύο memristors, όπως φαίνεται στη διπλανή εικόνα 3.1.

Η πύλη OR που προέκυψε έχει τον ίδιο πίνακα αληθείας με μία πύλη OR κατασκευασμένη με συμβατική c-mos τεχνολογία. Ο διπλανός πίνακας 3.2 επιβεβαιώνεται παρακάτω.

$$\text{ΕΞΟΔΟΣ}_{\text{OR}} = \text{ΕΙΣΟΔΟΣ}_1 + \text{ΕΙΣΟΔΟΣ}_2$$

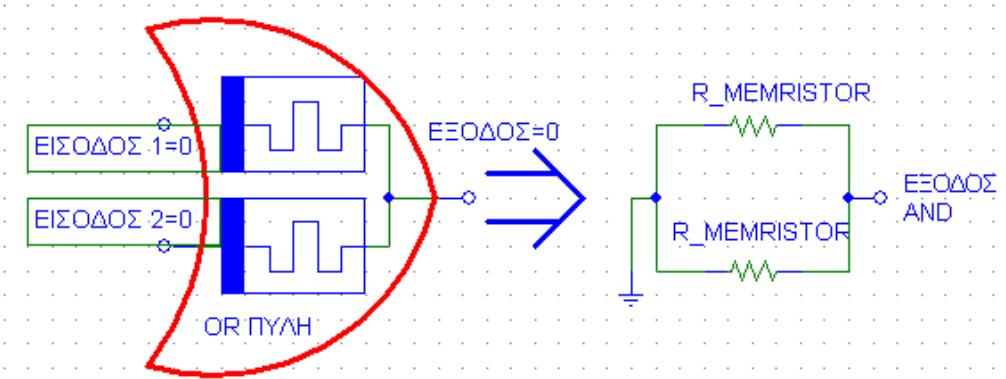
Ακολουθεί ανάλυση της ορθότητας του πίνακα αληθείας για τους τέσσερις δυνατούς συνδυασμούς των δύο εισόδων της πύλης OR.

Πίνακας 3.2 Πίνακας αληθείας OR.		
ΕΙΣΟΔΟΣ 1	ΕΙΣΟΔΟΣ 2	ΕΞΟΔΟΣ
0	0	0
0	1	1
1	0	1
1	1	1

Εικόνα 3.1 Πύλη OR.

### 3.2.1 Και οι δύο είσοδοι ίσες με λογικό μηδέν

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «0» τα memristors στη είσοδο τους θεωρούνται γειωμένα, εικόνα 3.2. Έτσι όπως μπορούμε να δούμε στην εικόνα 3.2, το ισοδύναμο κύκλωμα που δημιουργήθηκε δεν διαρρέεται από ρεύμα, οπότε η τιμή της εξόδου θα είναι ίση με μηδέν.

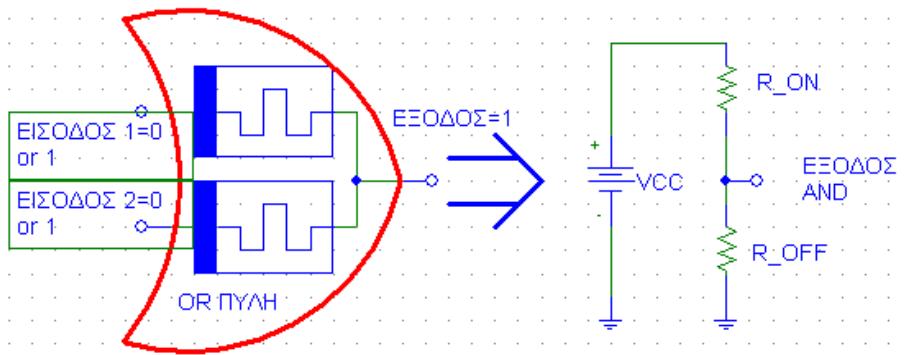


Εικόνα 3.2 Για μηδενική τάση και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις  $R_{\text{MEMRISTOR}}$  των οποίων ο πρώτος ακροδέκτης (είσοδοι της πύλης) είναι γειωμένος ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.

### 3.2.2 Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν

Στην περίπτωση που μία από τις δύο εισόδους λάβει την τιμή λογικό «1» ενώ η άλλη την τιμή λογικό «0» η τιμή της αντίστασης του κάθε memristor θα αλλάξει σύμφωνα με όσα αναφέρονται στον πίνακα 3.1 για τη φορά του ρεύματος. Στο memristor που εφαρμόστηκε στην είσοδο του το λογικό «1», η τιμή της αντίστασης του θα γίνει  $R_{\text{ON}}$  ενώ στο memristor που εφαρμόστηκε στην είσοδο του το λογικό «0», η τιμή της αντίστασης του θα γίνει  $R_{\text{OFF}}$ . Οπότε, παρατηρούμε ότι το ισοδύναμο κύκλωμα που δημιουργείται είναι ένας διαιρέτης τάσης (εικόνα 3.3) και με τιμή εξόδου ίση με  $V_{\text{CC}}$  (δηλαδή λογικό «1»).

Ο υπολογισμός της εξόδου έχει την παραδοχή ότι η αντίσταση  $R_{OFF}$  είναι πολύ μεγαλύτερη από την αντίσταση  $R_{ON}$ . Οπότε, στον παρανομαστή η παράσταση  $R_{ON} + R_{OFF}$  ισούται με  $R_{OFF}$ .

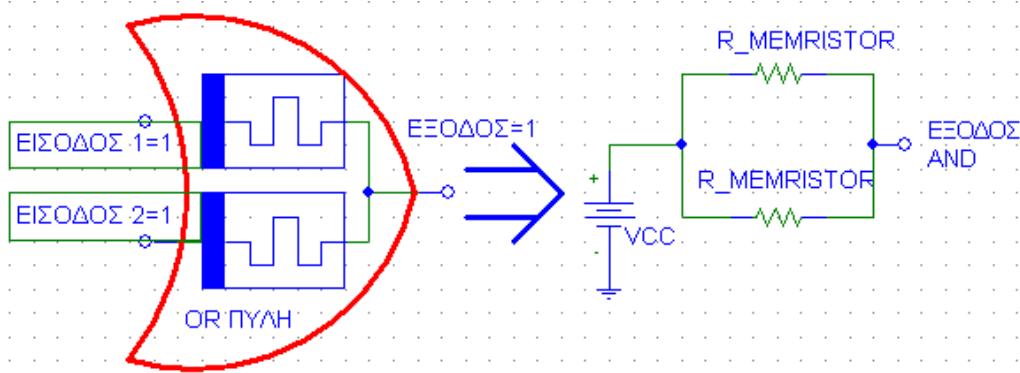


Εικόνα 3.3 Για τη μία από τις δύο εισόδους στο λογικό ένα και την άλλη στο λογικό μηδέν το ισοδύναμο κύκλωμα της πύλης είναι ένας διαιρέτης τάσης. Εφόσον  $R_{OFF} \gg R_{ON}$ , η τιμή της εξόδου της πύλης είναι ίση με  $V_{CC}$  δηλαδή λογικό «1».

$$V_{OUT} = V_{CC} \cdot \frac{R_{OFF}}{R_{ON} + R_{OFF}} \xrightarrow{R_{OFF} \gg R_{ON}} V_{CC} \cdot \frac{R_{OFF}}{R_{OFF}} = V_{CC}$$

### 3.2.3 Και οι δύο είσοδοι ίσες με λογικό ένα

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «1» τα memristors στη είσοδο τους θεωρούνται συνδεδεμένα σε πηγή τάσης (εικόνα 3.4). Έτσι, όπως μπορούμε να δούμε στην εικόνα 3.4, το ισοδύναμο κύκλωμα που δημιουργήθηκε δεν διαρρέεται από ρεύμα, οπότε η τιμή της εξόδου θα είναι ίση με την τιμή της πηγής τάσης, δηλαδή λογικό «1».



Εικόνα 3.4 Για λογικό «1» και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις  $R_{MEMRISTOR}$  των οποίων ο πρώτος ακροδέκτης (είσοδοι της πύλης) είναι συνδεδεμένος με μία πηγή τάσης ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.

### 3.3 Πύλη AND

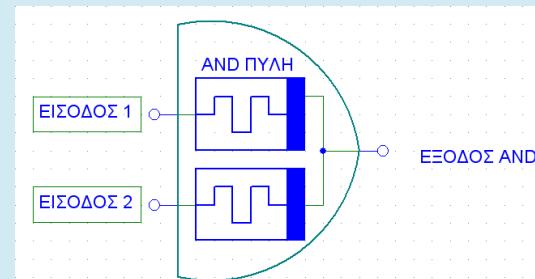
Η πύλη AND μπορεί να κατασκευαστεί εάν τοποθετήσουμε δύο memristors σε ορθή πόλωση, έχοντας ως εισόδους της πύλης, τις εισόδους των memristors και ως έξοδο της, τη βραχυκυκλωμένη έξοδο των δύο memristors, όπως μπορούμε να δούμε και στη διπλανή εικόνα 3.5.

Η πύλη AND που προέκυψε έχει τον ίδιο πίνακα αληθείας με μία πύλη AND κατασκευασμένη με συμβατική c-mos τεχνολογία. Ο διπλανός πίνακας 3.3 επιβεβαιώνεται παρακάτω.

$$\text{ΕΞΟΔΟΣ}_{\text{AND}} = \text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2$$

Ακολουθεί ανάλυση της ορθότητας του πίνακα αληθείας για τους τέσσερις δυνατούς συνδυασμούς των δύο εισόδων της πύλης AND.

Πίνακας 3.3 Πίνακας αληθείας AND .

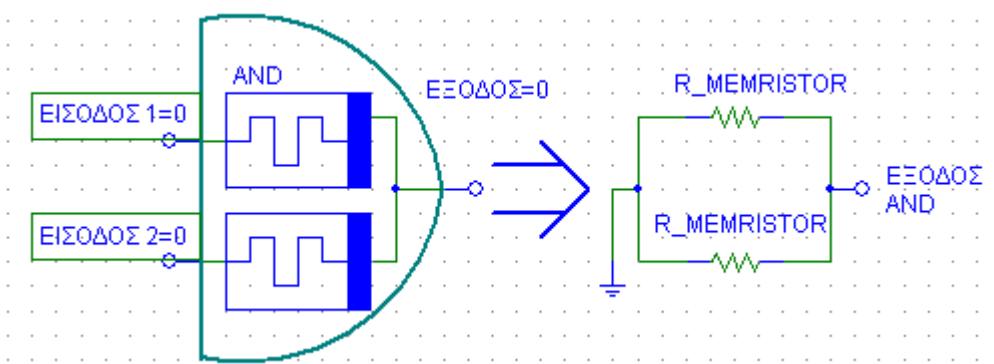


Εικόνα 3.5 Πύλη AND.

ΕΙΣΟΔΟΣ 1	ΕΙΣΟΔΟΣ 2	ΕΞΟΔΟΣ
0	0	0
0	1	0
1	0	0
1	1	1

#### 3.3.1 Και οι δύο είσοδοι ίσες με λογικό μηδέν

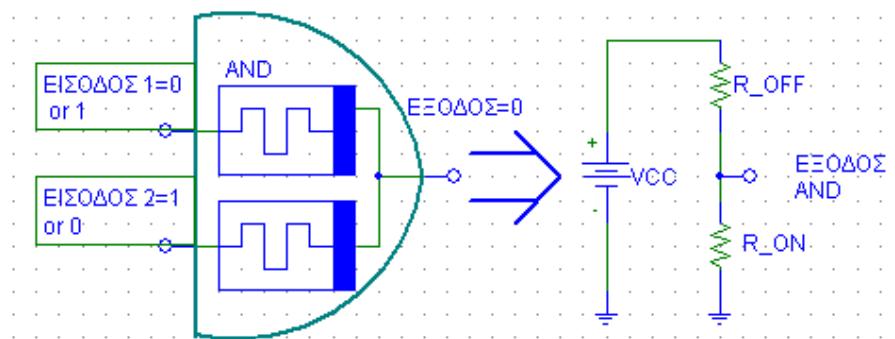
Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «0» τα memristors στη είσοδο τους θεωρούνται γειωμένα (πίνακας 3.1). Έτσι, όπως μπορούμε να δούμε στην εικόνα 3.6, το ισοδύναμο κύκλωμα που δημιουργήθηκε δεν διαρρέεται από ρεύμα, οπότε η τιμή της εξόδου θα είναι ίση με λογικό «0».



Εικόνα 3.6 Για μηδενική τάση και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις  $R_{\text{MEMRISTOR}}$  των οποίων ο πρώτος ακροδέκτης (είσοδοι της πύλης) είναι γειωμένος ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.

### 3.3.2 Η μία από τις δύο εισόδους στο λογικό ένα και η άλλη στο λογικό μηδέν

Στην περίπτωση που μία από τις δύο εισόδους λάβει την τιμή λογικό «1» ενώ η άλλη την τιμή λογικό «0», η τιμή της αντίστασης του κάθε memristor θα αλλάξει σύμφωνα με όσα αναφέρονται στον πίνακα 3.1 για τη φορά του ρεύματος. Στο memristor που εφαρμόστηκε στην είσοδο του το λογικό «1», η τιμή της αντίστασης του θα γίνει  $R_{OFF}$  ενώ στο memristor που εφαρμόστηκε στην είσοδο του το λογικό «0», η τιμή της αντίστασης του θα γίνει  $R_{ON}$ . Όπως μπορούμε να δούμε, το ισοδύναμο κύκλωμα που δημιουργείται είναι ένας διαιρέτης τάσης (εικόνα 3.7) και με τιμή εξόδου ίση με μηδέν (δηλαδή λογικό «0»). Ο υπολογισμός της εξόδου έχει την παραδοχή ότι η αντίσταση  $R_{OFF}$  είναι πολύ μεγαλύτερη από την αντίσταση  $R_{ON}$ . Οπότε, στον παρανομαστή η παράσταση  $R_{ON} + R_{OFF}$  ισούται με  $R_{OFF}$ . Και ομοίως, το κλάσμα  $R_{ON}/R_{OFF}$ , επειδή ο αριθμητής είναι κατά πολύ μικρότερος από τον παρανομαστή, το κλάσμα τείνει να γίνει μηδέν.

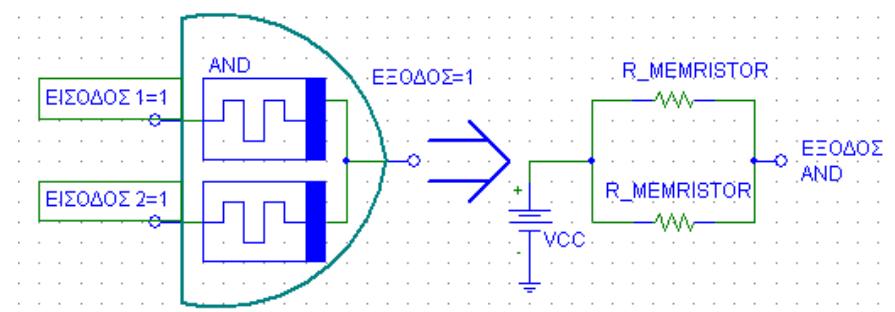


Εικόνα 3.7 Έξοδος AND πύλης για διαφορετικό ζεύγος εισόδων. Για αντίθετες τάσεις στις δύο εισόδους της πύλης, το ισοδύναμο κύκλωμα είναι ένας διαιρέτης τάσης. Εφόσον  $R_{OFF} \gg R_{ON}$ , η τιμή της εξόδου της πύλης είναι ίση με μηδέν δηλαδή λογικό «0».

$$V_{OUT} = V_{CC} \cdot \frac{R_{ON}}{R_{ON} + R_{OFF}} \xrightarrow{R_{OFF} \gg R_{ON}} V_{CC} \cdot \frac{R_{ON}}{R_{OFF}} \approx 0$$

### 3.3.3 Και οι δύο είσοδοι ίσες με λογικό ένα

Στην περίπτωση που και οι δύο είσοδοι είναι ίσες με λογικό «1» τα memristors στη είσοδο τους θεωρούνται συνδεδεμένα στην πηγή τάσης (εικόνα 3.8). Μπορούμε να δούμε στην εικόνα 3.8 το ισοδύναμο κύκλωμα που δημιουργήθηκε, το οποίο δεν διαρρέεται από ρεύμα, οπότε η τιμή της εξόδου θα είναι ίση με την τιμή της πηγής τάσης, δηλαδή λογικό «1».



Εικόνα 3.8 Για λογικό «1» και στις δύο εισόδους της πύλης το ισοδύναμο κύκλωμα είναι δύο παράλληλες αντιστάσεις  $R_{MEMRISTOR}$  των οποίων ο πρώτος ακροδέκτης (είσοδοι της πύλης) είναι συνδεδεμένος με μία πηγή τάσης ενώ ο δεύτερος (έξοδος της πύλης) βρίσκεται στον αέρα.

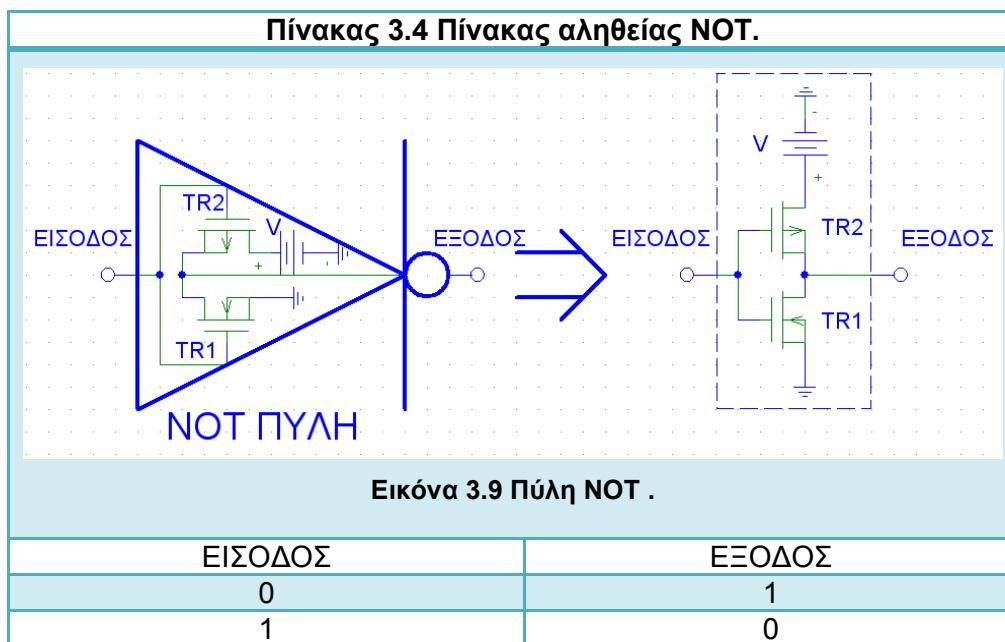
### 3.4 Πύλη NOT

Η πύλη NOT είναι ευρέως γνωστή στα ψηφιακά κυκλώματα. Το σύμβολο της πύλης καθώς επίσης και το κύκλωμα της (c-mos τεχνολογία) δίνονται στην εικόνα 3.9. Το κύκλωμα του λογικού αντιστροφέα αποτελείται από δύο τρανζίστορ, το ένα p-mos και το άλλο n-mos. Οι βάσεις των δύο τρανζίστορος είναι βραχυκυκλωμένες μεταξύ τους και αποτελούν την είσοδο της πύλης ενώ οι πηγές των δύο τρανζίστορος είναι και αυτές βραχυκυκλωμένες μεταξύ τους και αποτελούν την έξοδο της πύλης NOT. Ο ακροδέκτης drain του p-mos είναι συνδεδεμένος στην πηγή τάσης ενώ ο ακροδέκτης drain του n-mos είναι γειωμένος.

Όταν η είσοδος λάβει τη λογική τιμή μηδέν, το p-mos ενεργοποιείται λειτουργώντας σαν ένας κλειστός διακόπτης, αφήνοντας έτσι το ρεύμα της πηγής τάσης να περάσει από μέσα του και να εμφανίσει στην έξοδο του λογικού αντιστροφέα την τιμή της τάσης της πηγής (λογικό ένα). Σε όλη αυτή την διάρκεια το n-mos είναι απενεργοποιημένο, δηλαδή λειτουργεί σαν ανοικτός διακόπτης.

Αντιθέτως, όταν η είσοδος λάβει τη λογική τιμή ένα, ενεργοποιείται το n-mos λειτουργώντας αυτό σαν ένας κλειστός διακόπτης, επιβάλλοντας στην έξοδο της πύλης NOT να πάρει την τιμή του δυναμικού της γής. Με αυτόν τον τρόπο, η έξοδος της πύλης NOT παίρνει τη λογική τιμή μηδέν, ενώ σε όλη αυτή την διάρκεια της μεταβολής της κατάστασης της εξόδου το p -mos είναι απενεργοποιημένο (δηλαδή λειτουργεί σαν ανοικτός διακόπτης).

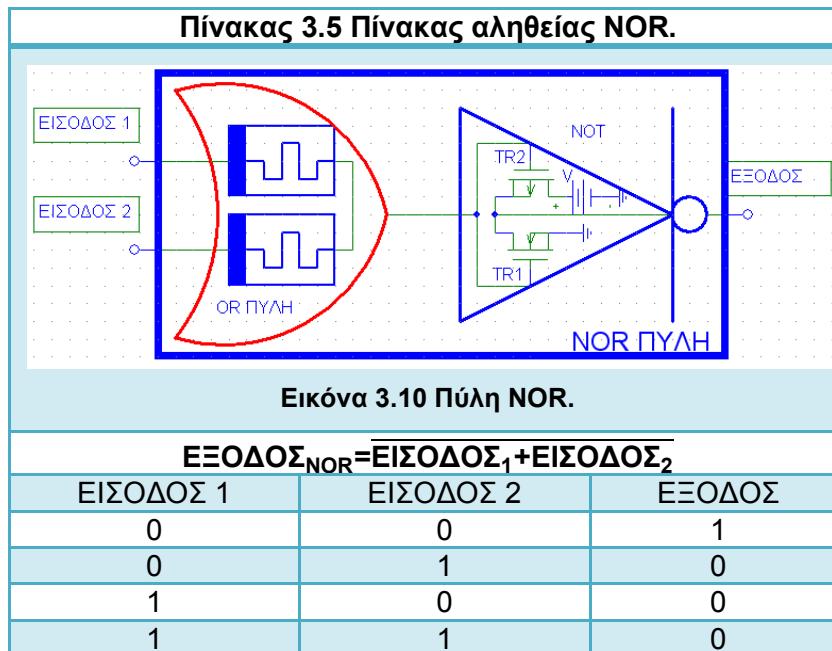
$$\text{ΕΞΟΔΟΣ}_{\text{NOT}} = \overline{\text{ΕΙΣΟΔΟΣ}_{\text{NOT}}}$$



Στον **πίνακα 3.4** δίνεται το σύμβολο της πύλης NOT μαζί με τον πίνακα αληθείας της.

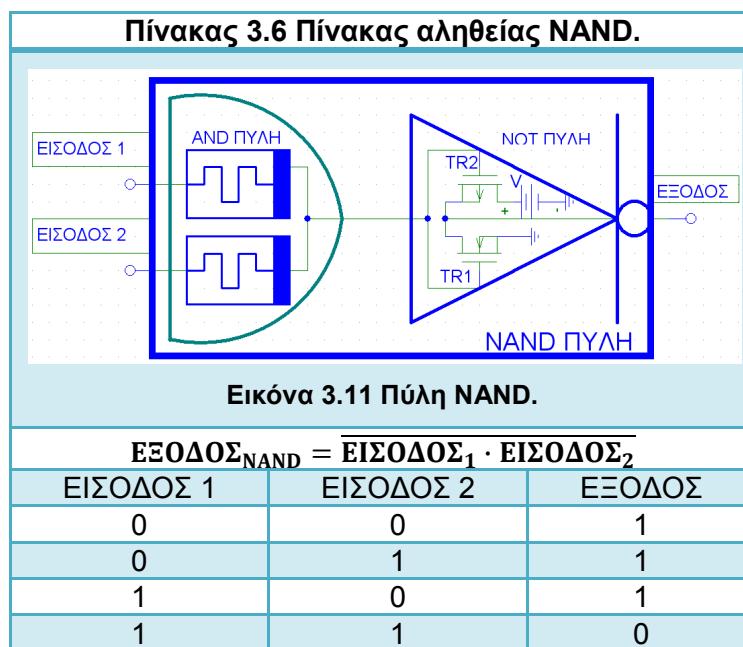
### 3.5 Πύλη NOR

Πύλες όπως η NOR και η NAND μπορούν να υλοποιηθούν με την χρήση μιας πύλης OR ή AND, αντίστοιχα σε συνδυασμό με έναν αντιστροφέα c-mos (πύλη NOT) στην έξοδο τους. Στη διπλανή εικόνα 3.10 βλέπουμε το κύκλωμα της πύλης NOR καθώς επίσης και τον πίνακα αληθείας της (πίνακας 3.5).



### 3.6 Πύλη NAND

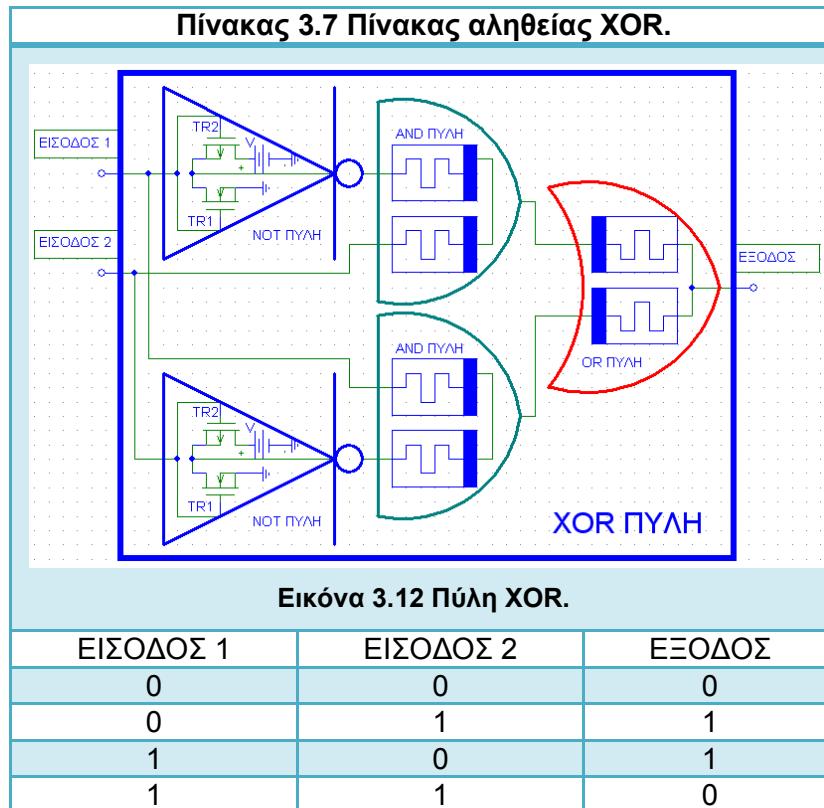
Η πύλη NAND, όπως μπορούμε να δούμε στην παρακάτω εικόνα 3.11, υλοποιείται τοποθετώντας έναν απλό αντιστροφέα c-mos (πύλη NOT) στην έξοδο της πύλης AND. Ο πίνακας 3.6 παρουσιάζει τον πίνακα αληθείας της πύλης.



### 3.7 Πύλη XOR

Έχοντας δείξει τις λογικές πύλες NOT, AND, NAND, OR και NOR μπορούμε να σχεδιάσουμε μεγαλύτερες λογικές συναρτήσεις που υλοποιούν τις υπόλοιπες βασικές λογικές πύλες όπως η πύλη XOR (εικόνα 3.12).

$$\begin{aligned}\text{ΕΞΟΔΟΣ}_{\text{XOR}} &= \overline{\text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2} + \text{ΕΙΣΟΔΟΣ}_1 \cdot \overline{\text{ΕΙΣΟΔΟΣ}_2} \\ &= \text{ΕΙΣΟΔΟΣ}_1 \oplus \text{ΕΙΣΟΔΟΣ}_2\end{aligned}$$

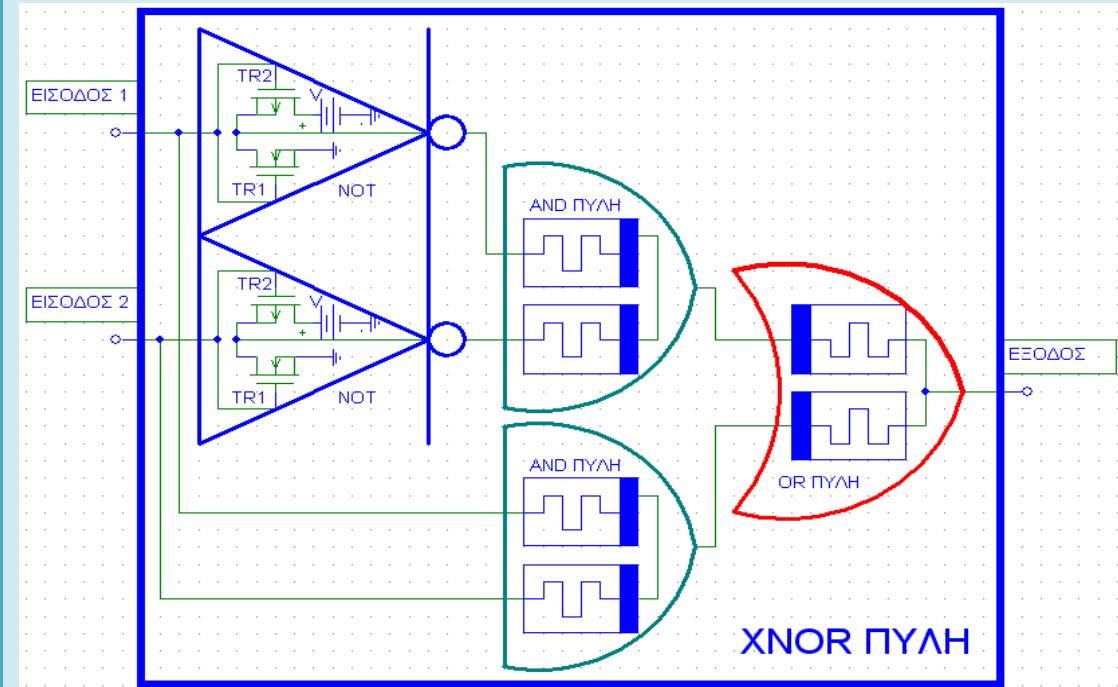


### 3.8 Πύλη XNOR

Ομοίως, με τη βοήθεια των παραπάνω λογικών πυλών, σχεδιάσαμε τη XNOR πύλη, όπως φαίνεται στην εικόνα 3.13, μαζί με τον πίνακα αληθείας της (πίνακας 3.8).

$$\begin{aligned} \text{ΕΞΟΔΟΣ}_{\text{XNOR}} &= \overline{\text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2} + \overline{\text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2} \\ &= \overline{(\text{ΕΙΣΟΔΟΣ}_1 \oplus \text{ΕΙΣΟΔΟΣ}_2)} \end{aligned}$$

Πίνακας 3.8 Πίνακας αληθείας XNOR.

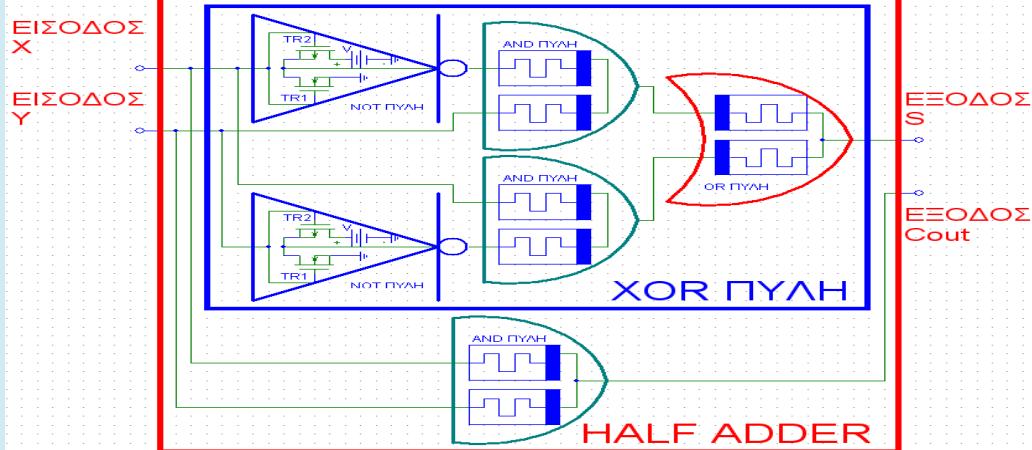


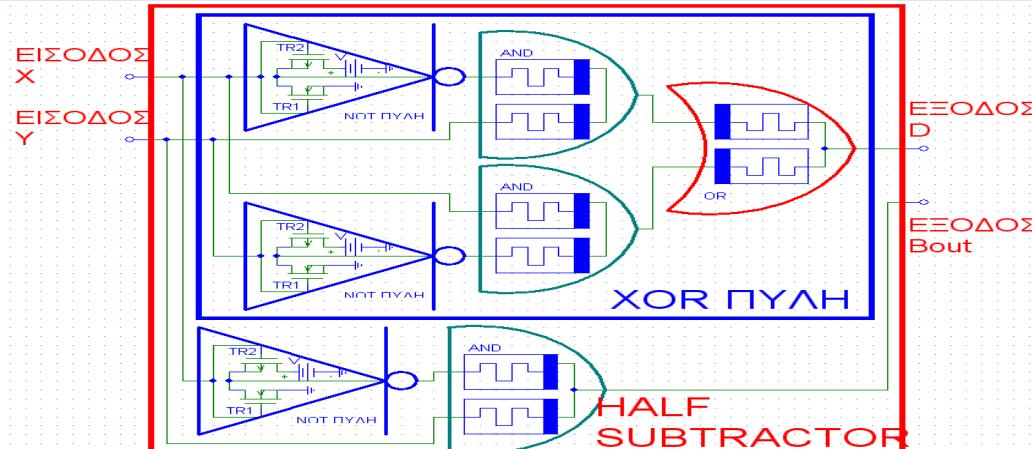
Εικόνα 3.13 Πύλη XNOR.

ΕΙΣΟΔΟΣ 1	ΕΙΣΟΔΟΣ 2	ΕΞΟΔΟΣ
0	0	1
0	1	0
1	0	0
1	1	1

### 3.9 Half Adder & Half Subtractor

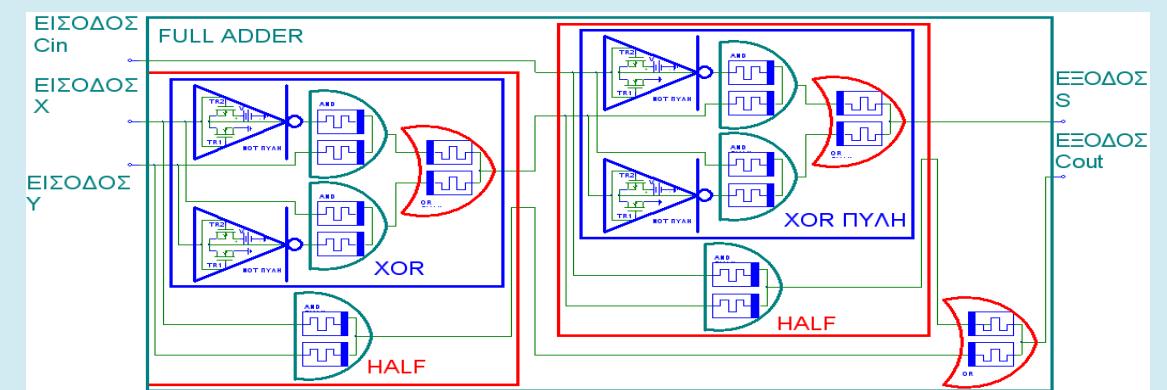
Πλέον έχοντας ολοκληρώσει το σχεδιασμό όλων των βασικών πυλών (NOT, AND, NAND, OR, NOR, XOR, XNOR) μπορούμε να προβούμε στη σχεδίαση πιο σύνθετων κυκλωμάτων όπως αυτή του half adder (εικόνα 3.14) και αυτό του half subtractor εικόνα (3.15).

Πίνακας 3.9 Πίνακας αληθείας Half Adder.				
				
<b>Εικόνα 3.14 Πύλη Half Adder.</b>				
$S = \text{ΕΙΣΟΔΟΣ}_1 + \text{ΕΙΣΟΔΟΣ}_2$				
$C_{OUT} = \text{ΕΙΣΟΔΟΣ}_1 \cdot \text{ΕΙΣΟΔΟΣ}_2$				
ΕΙΣΟΔΟΣ X	ΕΙΣΟΔΟΣ Y	ΕΞΟΔΟΣ $C_{OUT}$	ΕΞΟΔΟΣ S	
0	0	0	0	
0	1	0	1	
1	0	0	1	
1	1	1	0	

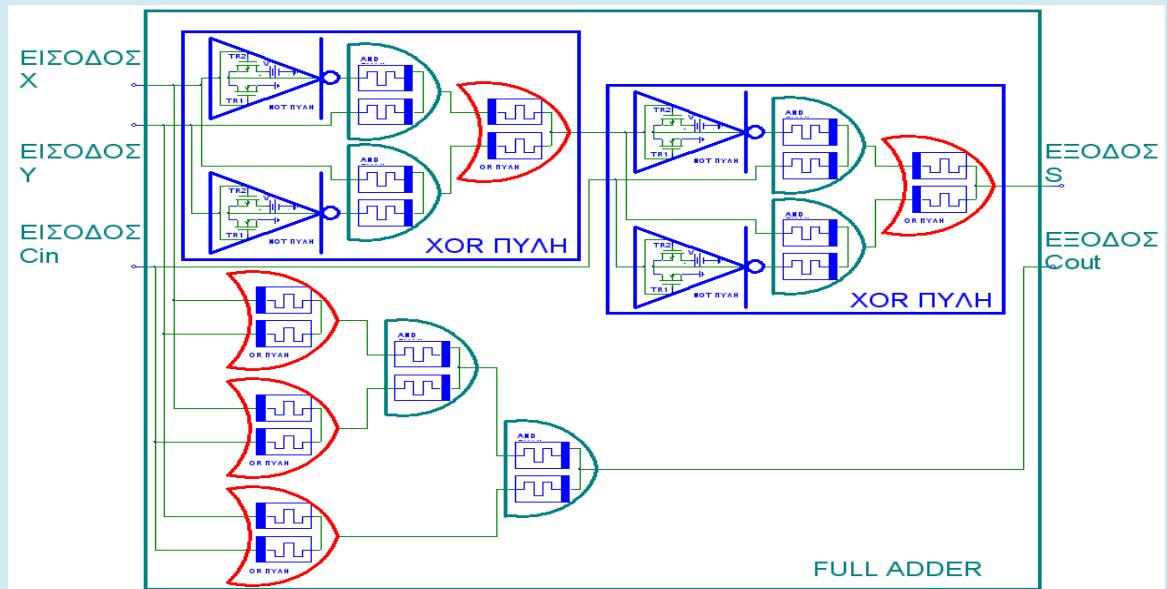
Πίνακας 3.10 Πίνακας αληθείας Half Subtractor.				
				
<b>Εικόνα 3.15 Πύλη Half Subtractor.</b>				
$D = X \oplus Y$				
$B_{OUT} = \bar{X} \cdot Y$				
ΕΙΣΟΔΟΣ X	ΕΙΣΟΔΟΣ Y	ΕΞΟΔΟΣ $B_{OUT}$	ΕΞΟΔΟΣ D	
0	0	0	0	
0	1	1	1	
1	0	0	1	
1	1	0	0	

### 3.10 Full Adder

Πίνακας 3.11 Πίνακας αληθείας Full Adder.



Εικόνα 3.16 Full Adder με την βοήθεια half adder.



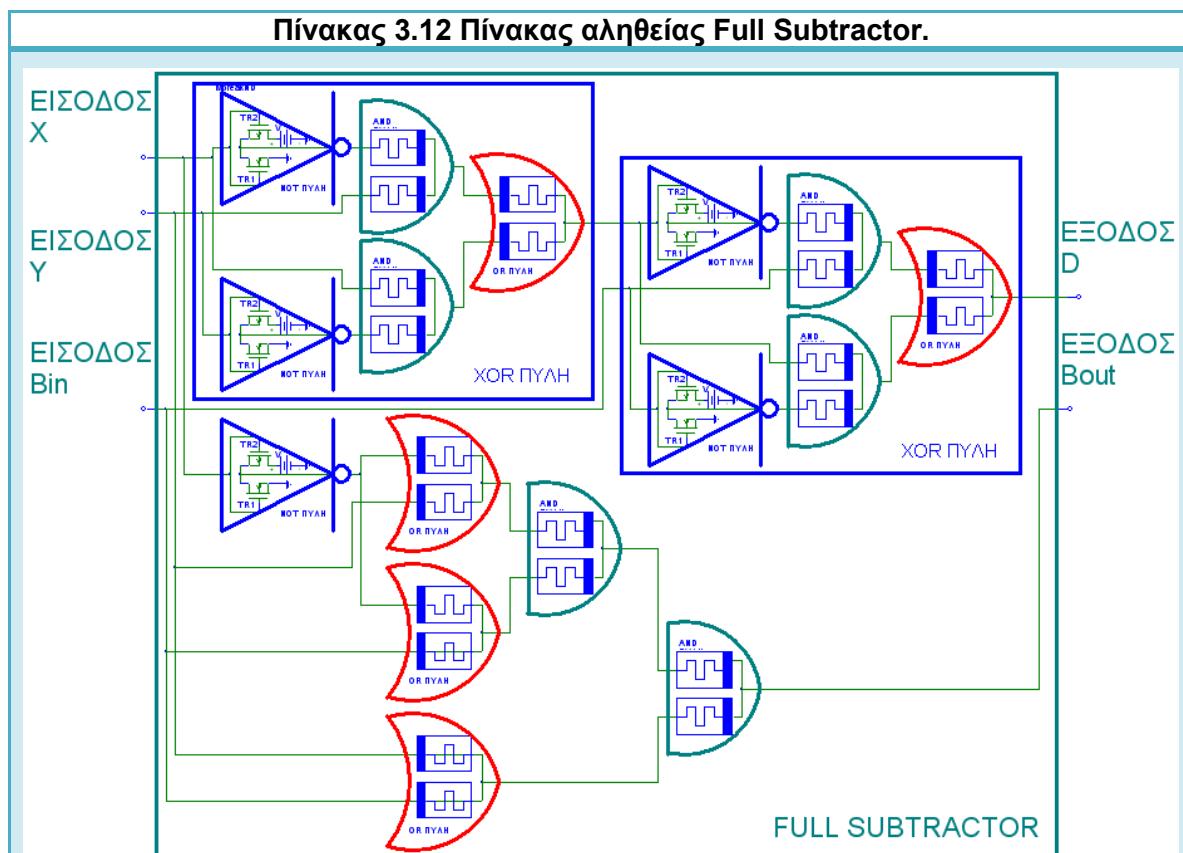
Εικόνα 3.17 Πύλη Full Adder.

$$S = X \oplus Y \oplus C_{IN}$$

$$C_{OUT} = X \cdot Y + Y \cdot C_{IN} + X \cdot C_{IN}$$

ΕΙΣΟΔΟΣ X	ΕΙΣΟΔΟΣ Y	ΕΙΣΟΔΟΣ $C_{IN}$	ΕΞΟΔΟΣ $C_{OUT}$	ΕΞΟΔΟΣ S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

### 3.11 Full Subtractor



**Εικόνα 3.18 Πύλη Full Subtractor.**

$$D = X \oplus Y \oplus B_{IN}$$

$$B_{OUT} = \bar{X} \cdot Y + Y \cdot B_{IN} + \bar{X} \cdot B_{IN}$$

ΕΙΣΟΔΟΣ X	ΕΙΣΟΔΟΣ Y	ΕΙΣΟΔΟΣ $B_{IN}$	ΕΞΟΔΟΣ $B_{OUT}$	ΕΞΟΔΟΣ D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

## 4. IMPLY

### 4.1 Εισαγωγή στην Imply

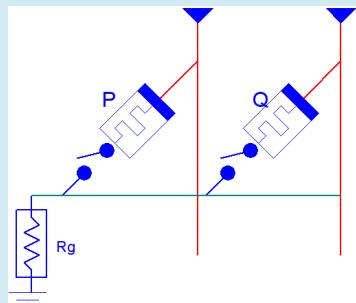
Στην IMPLY λογική [31],[32],[33] χρησιμοποιούμε την ικανότητα του memristor ως στοιχείο μνήμης και την δυνατότητα εκτέλεσης υπολογισμών μέσω αυτού. Σε αυτού του είδους τη λογική ο αριθμός των memristors που απαρτίζουν μία λογική συνάρτηση είναι τουλάχιστον δύο. Ακολουθεί ένα παράδειγμα αυτής της λογικής και έπειτα εξηγούμε λεπτομερώς πως μπορούμε να εφαρμόσουμε την λογική IMPLY ώστε να μπορέσουμε να υλοποιήσουμε βασικές λογικές συναρτήσεις των ψηφιακών συστημάτων.

Η διπλανή εικόνα 4.1.1 παρουσιάζει την ποιο απλή μορφή συνάρτηση σε imply υλοποίηση. Όπως μπορούμε να δούμε έχουμε δύο memristors, ένα ως memristor εισόδου( $P$ ) και ένα ως memristor υπολογισμών- εξόδου( $Q$ ). Εάν  $p=0$  τότε η έξοδος είναι στο λογικό «1»,  $V_{out} = 1$ . Εάν  $P=1$ , τότε η έξοδος ακολουθεί την τιμή του memristor  $Q$ , δηλαδή  $V_{out} = Q$ . Ο πίνακας 4.1.1 παρουσιάζει τον πίνακα αληθείας και την λογική συνάρτηση.

$$\text{ΕΞΟΔΟΣ}_{P \rightarrow Q} = \bar{P} + Q.$$

Επομένως, κάθε φορά που υπάρχει μια πύλη imply, μπορεί να αντικατασταθεί από μια πύλη OR με ανεστραμμένη την μία της είσοδο.

Πίνακας 4.1  $P \text{ imply } Q$ .



Εικόνα 4.1 Παράδειγμα.

$$\text{ΕΞΟΔΟΣ}_{P \rightarrow Q} = \bar{P} + Q$$

P	Q	$\bar{P}$	$P \rightarrow Q$	$\bar{P} + Q$
0	0	1	1	1
0	1	1	1	1
1	0	0	0	0
1	1	0	1	1

### 4.2 Βασικές λογικές πράξεις στη λογική IMPLY

Στον παρακάτω πίνακα 4.2.1 παρουσιάζουμε την αντιστοίχηση των βασικών λογικών συναρτήσεων των ψηφιακών με την υλοποίηση σε imply με σκοπό την ευκολότερη κατανόηση στην ανάλυση που ακολουθεί παρακάτω.

Πίνακας 4.2 Βασικές λογικές συναρτήσεων σε λογική imply.

ΛΟΓΙΚΗ IMPLY	ΑΠΟΤΕΛΕΣΜΑ	ΛΟΓΙΚΗ ΠΡΑΞΗ
$1 \rightarrow A$		BUFFER
$A \rightarrow 0$	$\bar{A}$	NOT
$(A \rightarrow 0) \rightarrow B$	$A + B$	OR
$((A \rightarrow 0) \rightarrow B) \rightarrow 0$	$\bar{A} + B$	NOR
$(A \rightarrow (B \rightarrow 0)) \rightarrow 0$	$A \cdot B$	AND
$A \rightarrow (B \rightarrow 0)$	$\bar{A} \cdot \bar{B}$	NAND
$(A \rightarrow 0) \rightarrow ((B \rightarrow A) \rightarrow 0)$	$A \oplus B$	XOR
$((A \rightarrow 0) \rightarrow ((B \rightarrow A) \rightarrow 0)) \rightarrow 0$	$\bar{A} \oplus \bar{B}$	XNOR
FALSE A	$A = 0$	-
$A \rightarrow B$	$B = \bar{A} + B$	-

### 4.3 Πύλη Buffer

Μία πύλη Buffer μπορεί να σχεδιαστή με την λογική  $\text{implies}$  εάν χρησιμοποιήσουμε τρία memristors, ένα σαν είσοδο, ένα σαν έξοδο και άλλο ένα ακόμη σαν βοηθητικό, τα οποία θα ακολουθούν την λογική  $\text{implies}$  του πίνακα 4.3.2. Στον πίνακας 4.3.2 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε έναν λογικό απομονωτή. Σαν στάδια έχουμε ορίσει τα βήματα που απαιτούνται ώστε να λάβουμε την επιθυμητή λογική συνάρτηση. Σε ένα στάδιο μπορεί να έχουμε μία αρχικοποίηση ενός memristor σε λογικό «0» ή την εφαρμογή της λογικής  $\text{implies}$  μεταξύ δύο memristors.

**Πίνακας 4.3 Στάδια υλοποίησης πύλης Buffer.**

ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	FALSE $B$	$B \equiv 0$
3	$A \rightarrow B$	$B \equiv \bar{A} + B = \bar{A} + 0 = \bar{A}$
4	$B \rightarrow M_1$	$M_1 \equiv \bar{B} + M_1 = \bar{A} + 0 = A$

**Πίνακας 4.4 Πύλη Buffer.**

A	'1' → A	A
0	0	0
1	1	1

### 4.4 Πύλη NOT

Μία πύλη NOT μπορεί να σχεδιαστή με την λογική  $\text{implies}$  εάν χρησιμοποιήσουμε δύο memristors, ένα σαν είσοδο και ένα σαν έξοδο τα οποία θα ακολουθούν την λογική  $\text{implies}$  του πίνακα 4.4.2. Στον πίνακας 4.4.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε έναν λογικό αντιστροφέα. Σαν στάδια έχουμε ορίσει τα βήματα που απαιτούνται ώστε να λάβουμε την επιθυμητή λογική συνάρτηση. Σε ένα στάδιο μπορεί να έχουμε μία αρχικοποίηση ενός memristor σε λογικό «0» ή την εφαρμογή της λογικής  $\text{implies}$  μεταξύ δύο memristors.

**Πίνακας 0.1 Στάδια υλοποίησης πύλης NOT.**

ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	$A \rightarrow M_1$	$M_1 \equiv \bar{A} + M_1 = \bar{A} + 0 = \bar{A}$

**Πίνακας 0.2 Πύλη NOT.**

A	$A \rightarrow '0'$	$\bar{A}$
0	1	1
1	0	0

### 4.5 Πύλη OR

Μία πύλη OR μπορεί να σχεδιαστή με την λογική  $\text{implies}$  εάν χρησιμοποιήσουμε συνολικά τρία memristors, δύο σαν είσοδοι και ένα σαν έξοδο, τα οποία θα ακολουθούν την λογική  $\text{implies}$  του πίνακα 4.5.2. Στον πίνακας 4.5.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη OR.

**Πίνακας 0.3 Στάδια υλοποίησης πύλης OR.**

ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	$A \rightarrow M_1$	$M_1 \equiv \bar{A} + M_1 = \bar{A} + 0 = \bar{A}$
3	$M_1 \rightarrow B$	$B \equiv \bar{M}_1 + B = \bar{\bar{A}} + B = A + B$

**Πίνακας 0.4 Πύλη OR.**

A	B	$A \rightarrow '0'$	$(A \rightarrow '0') \rightarrow B$ “ $A+B$ ”
0	0	1	0
0	1	1	1
1	0	0	1
1	1	0	1

## 4.6 Πύλη NOR

Μία πύλη NOR μπορεί να σχεδιαστή με την λογική  $\text{imply}$  εάν χρησιμοποιήσουμε συνολικά τέσσερα memristors, δύο σαν είσοδοι, ένα σαν έξοδο και ένα ακόμη σαν βοηθητικό, τα οποία θα ακολουθούν την λογική  $\text{imply}$  του πίνακα 4.6.2. Στον πίνακα 4.6.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη NOR.

Πίνακας 0.5 Στάδια υλοποίησης πύλης NOR.		
ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	FALSE $M_2$	$M_2 \equiv 0$
3	$A \rightarrow M_1$	$M_1 \equiv \bar{A} + M_1 = \bar{A} + 0 = \bar{A}$
4	$M_1 \rightarrow B$	$B \equiv \bar{M}_1 + B = \bar{\bar{A}} + B = A + B$
5	$B \rightarrow M_2$	$M_2 \equiv \bar{B} + M_2 = \overline{(A + B)} + 0 = \overline{(A + B)}$

Πίνακας 0.6 Πύλη NOR.				
A	B	$A \rightarrow '0'$	$(A \rightarrow '0') \rightarrow B$	$[(A \rightarrow '0') \rightarrow B] \rightarrow '0'$ “ $\overline{(A + B)}$ ”
0	0	1	0	1
0	1	1	1	0
1	0	0	1	0
1	1	0	1	0

## 4.7 Πύλη AND

Μία πύλη AND μπορεί να σχεδιαστεί με τη λογική  $\text{imply}$  εάν χρησιμοποιήσουμε τέσσερα memristors, δύο σαν είσοδοι, ένα σαν έξοδο και ένα ακόμη σαν βοηθητικό, τα οποία θα ακολουθούν την λογική  $\text{imply}$  του πίνακα 4.7.2. Στον πίνακα 4.7.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να έχουμε μια λογική πύλη AND.

Πίνακας 0.7 Στάδια υλοποίησης πύλης AND.				
ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ		
1	FALSE $M_1$	$M_1 \equiv 0$		
2	FALSE $M_2$	$M_2 \equiv 0$		
2	$B \rightarrow M_1$	$M_1 \equiv \bar{B} + M_1 = \bar{B} + 0 = \bar{B}$		
3	$A \rightarrow M_1$	$M_1 \equiv \bar{A} + M_1 = \bar{A} + \bar{B} = \overline{A \cdot B}$		
5	$M_1 \rightarrow M_2$	$M_2 \equiv \overline{M_1} + M_2 = (\overline{A \cdot B}) + 0 = A \cdot B$		

Πίνακας 0.8 Πύλη AND.				
A	B	$B \rightarrow '0'$	$A \rightarrow (B \rightarrow '0')$	$(A \rightarrow (B \rightarrow '0')) \rightarrow '0'$ “ $A \cdot B$ ”
0	0	1	1	0
0	1	0	1	0
1	0	1	1	0
1	1	0	0	1

## 4.8 Πύλη NAND

Μία πύλη NAND μπορεί να σχεδιαστή με την λογική  $\text{imply}$  εάν χρησιμοποιήσουμε τρία memristors, δύο σαν είσοδοι και ένα σαν έξοδο, τα οποία θα ακολουθούν την λογική  $\text{imply}$  του πίνακα 4.8.2. Στον πίνακα 4.8.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη NAND.

Πίνακας 0.9 Στάδια υλοποίησης πύλης NAND.		
ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	$B \rightarrow M_1$	$M_1 \equiv \overline{B} + M_1 = \overline{B} + 0 = \overline{B}$
3	$A \rightarrow M_1$	$M_1 \equiv \overline{A} + M_1 = \overline{A} + \overline{B} = \overline{A \cdot B}$

Πίνακας 0.10 Πύλη NAND.			
A	B	$B \rightarrow '0'$	$A \rightarrow (B \rightarrow' 0')$ $\overline{(A \cdot B)}$
0	0	1	1
0	1	0	1
1	0	1	1
1	1	0	0

## 4.9 Πύλη XOR

Μία πύλη XOR μπορεί να σχεδιαστή με την λογική  $\text{imply}$  εάν χρησιμοποιήσουμε πέντε memristors, δύο σαν είσοδοι, ένα σαν έξοδο και δύο ακόμη σαν βοηθητικά, τα οποία θα ακολουθούν την λογική  $\text{imply}$  του πίνακα 4.9.2. Στον πίνακα 4.9.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να έχουμε μια λογική πύλη XOR.

Πίνακας 0.1 Στάδια υλοποίησης πύλης XOR.		
ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	FALSE $M_2$	$M_2 \equiv 0$
3	FALSE $M_3$	$M_3 \equiv 0$
4	$A \rightarrow M_3$	$M_3 \equiv \overline{A} + M_3 = \overline{A} + 0 = \overline{A}$
5	$B \rightarrow M_2$	$M_2 \equiv \overline{B} + M_2 = \overline{B} + 0 = \overline{B}$
6	$M_3 \rightarrow B$	$B \equiv \overline{M_3} + B = \overline{\overline{A}} + B = A + B$
7	$A \rightarrow M_2$	$M_2 \equiv \overline{A} + M_2 = \overline{A} + \overline{B}$
8	$M_2 \rightarrow M_1$	$M_1 \equiv \overline{M_2} + M_1 = \overline{(\overline{A} + \overline{B})} + 0 = \overline{\overline{A}} \cdot \overline{\overline{B}} = A \cdot B$
9	$B \rightarrow M_1$	$M_1 \equiv \overline{B} + M_1 = \overline{(A + B)} + (A \cdot B) = (\overline{A} \cdot \overline{B}) + (A \cdot B) = \overline{(A \oplus B)} = (A \odot B)$
10	FALSE A	$A \equiv 0$
11	$M_1 \rightarrow A$	$A \equiv \overline{\overline{(A \oplus B)}} + 0 = (A \oplus B)$

Πίνακας 0.2 Πύλη XOR.					
A	B	$A \rightarrow B$	$B \rightarrow A$	$(B \rightarrow A) \rightarrow '0'$	$(A \rightarrow B) \rightarrow ((B \rightarrow A) \rightarrow '0')$ "A $\oplus$ B"
0	0	1	1	0	0
0	1	1	0	1	1
1	0	0	1	0	1
1	1	1	1	0	0

#### 4.10 Πύλη XNOR

Μία πύλη XNOR μπορεί να σχεδιαστεί με την λογική imply εάν χρησιμοποιήσουμε συνολικά πέντε memristors, δύο σαν είσοδοι, ένα σαν έξοδο και δύο ακόμη σαν βιοηθητικά, τα οποία θα ακολουθούν την λογική imply του πίνακα 4.10.2. Στον πίνακα 4.10.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη XNOR.

Πίνακας 0.3 Στάδια υλοποίησης πύλης XNOR.		
ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	FALSE $M_2$	$M_2 \equiv 0$
3	FALSE $M_3$	$M_3 \equiv 0$
4	$A \rightarrow M_3$	$M_3 \equiv \overline{A} + M_3 = \overline{A} + 0 = \overline{A}$
5	$B \rightarrow M_2$	$M_2 \equiv \overline{B} + M_2 = \overline{B} + 0 = \overline{B}$
6	$M_3 \rightarrow B$	$B \equiv \overline{M_3} + B = \overline{\overline{A}} + B = A + B$
7	$A \rightarrow M_2$	$M_2 \equiv \overline{A} + M_2 = \overline{A} + \overline{B}$
8	$M_2 \rightarrow M_1$	$M_1 \equiv \overline{M_2} + M_1 = \overline{(\overline{A} + \overline{B})} + 0 = \overline{\overline{A} \cdot \overline{B}} = A \cdot B$
9	$B \rightarrow M_1$	$M_1 \equiv \overline{B} + M_1 = \overline{(A + B)} + (A \cdot B) = (\overline{A} \cdot \overline{B}) + (A \cdot B) = \overline{(A \oplus B)}$ $= (A \odot B)$

Πίνακας 0.4 Πύλη XNOR.						
A	B	$A \rightarrow B$	$B \rightarrow A$	$(B \rightarrow A) \rightarrow '0'$	$(A \rightarrow B) \rightarrow ((B \rightarrow A) \rightarrow '0')$	$((A \rightarrow B) \rightarrow ((B \rightarrow A) \rightarrow '0')) \rightarrow '0'$ "A $\odot$ B"
0	0	1	1	0	0	1
0	1	1	0	1	1	0
1	0	0	1	0	1	0
1	1	1	1	0	0	1

## 4.11 Πύλη Half Adder

Μία πύλη Half adder μπορεί να σχεδιαστεί με την λογική imply εάν χρησιμοποιήσουμε συνολικά πέντε memristors, δύο σαν είσοδοι, δύο σαν έξοδοι και ένα ακόμη σαν βοηθητικό, τα οποία θα ακολουθούν την λογική imply του πίνακα 4.11.2. Στον πίνακα 4.11.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη Half adder.

**Πίνακας 0.5 Στάδια υλοποίησης πύλης Half Adder.**

ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	FALSE $M_2$	$M_2 \equiv 0$
3	FALSE $M_3$	$M_3 \equiv 0$
4	$A \rightarrow M_3$	$M_3 \equiv \overline{A} + M_3 = \overline{A} + 0 = \overline{A}$
5	$B \rightarrow M_2$	$M_2 \equiv \overline{B} + M_2 = \overline{B} + 0 = \overline{B}$
6	$M_3 \rightarrow B$	$B \equiv \overline{M_3} + B = \overline{\overline{A}} + B = A + B$
7	$A \rightarrow M_2$	$M_2 \equiv \overline{A} + M_2 = \overline{\overline{A}} + \overline{B} = \overline{A} + \overline{B}$
8	$M_2 \rightarrow M_1$	$M_1 \equiv \overline{M_2} + M_1 = \overline{(\overline{A} + \overline{B})} + 0 = \overline{\overline{A}} \cdot \overline{\overline{B}} = A \cdot B$
9	$B \rightarrow M_1$	$M_1 \equiv \overline{B} + M_1 = \overline{(A + B)} + (A \cdot B) = (\overline{A} \cdot \overline{B}) + (A \cdot B) = \overline{(A \oplus B)}$ $= (A \odot B)$
10	FALSE A	$A \equiv 0$
11	$M_1 \rightarrow A$	$A \equiv \overline{(\overline{A} \oplus B)} + 0 = (A \oplus B)$

**Πίνακας 0.6 Πύλη Half Adder.**

A	B	$A \rightarrow '0'$	$B \rightarrow '0'$	$K_1: (A \rightarrow '0') \rightarrow B$	$B \rightarrow (A \rightarrow '0')$	"A · B" $K_2: [B \rightarrow (A \rightarrow '0')] \rightarrow '0'$	$K_1 \rightarrow K_2$	"A $\oplus$ B": $(K_1 \rightarrow K_2) \rightarrow '0'$
0	0	1	1	0	1	0	1	0
0	1	1	1	0	1	0	1	0
1	0	1	0	1	1	0	0	1
1	1	1	0	1	1	0	0	1

## 4.12 Πύλη Half Subtractor

Μία πύλη Half subtractor μπορεί να σχεδιαστεί με τον ίδιο ακριβώς τρόπο που δείξαμε για τον half adder, με τη μόνη διαφορά ότι τα στάδια υλοποιούν διαφορετική λογική συνάρτηση. Ο σχεδιασμός του Half subtractor με τη λογική imply υλοποιείται με τη χρήση πέντε memristors, δύο σαν είσοδοι, δύο σαν έξοδοι και ένα ακόμη σαν βιοθητικό, τα οποία θα ακολουθούν την λογική imply του πίνακα 4.12.2. Στον πίνακα 4.12.1 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη Half subtractor.

Πίνακας 0.1 Στάδια υλοποίησης πύλης Half Subtractor.		
ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	FALSE $M_2$	$M_2 \equiv 0$
3	FALSE $M_3$	$M_3 \equiv 0$
4	$A \rightarrow M_1$	$M_1 \equiv \overline{A} + M_1 = \overline{A} + 0 = \overline{A}$
5	$B \rightarrow M_2$	$M_2 \equiv \overline{B} + M_2 = \overline{B} + 0 = \overline{B}$
6	$B \rightarrow M_3$	$M_3 \equiv \overline{B} + M_3 = \overline{B} + 0 = \overline{B}$
7	$M_1 \rightarrow M_2$	$M_2 \equiv \overline{M_1} + M_2 = \overline{\overline{A}} + \overline{B} = A + \overline{B}$
8	$M_3 \rightarrow M_1$	$M_1 \equiv \overline{M_3} + M_1 = \overline{\overline{B}} + \overline{A} = B + \overline{A}$
9	FALSE $M_3$	$M_3 \equiv 0$
10	$M_2 \rightarrow M_3$	$M_3 \equiv \overline{M_2} + M_3 = \overline{(A + \overline{B})} + 0 = \overline{A} \cdot B$
11	$M_1 \rightarrow M_3$	$M_3 \equiv \overline{M_1} + M_3 = \overline{B + \overline{A}} + \overline{A} \cdot B = \overline{B} \cdot A + \overline{A} \cdot B = A \oplus B$

Πίνακας 0.2 Πύλη Half Subtractor.						
A	B	$A \rightarrow B$	$B \rightarrow A$	$(B \rightarrow A) \rightarrow' 0'$ “ $\overline{A} \cdot B$ ”	$(A \rightarrow B) \rightarrow [(B \rightarrow A) \rightarrow' 0']$ “ $A \oplus B$ ”	
0	0	1	1	0	0	
0	1	1	0	1	1	
1	0	0	1	0	1	
1	1	1	1	0	0	

#### 4.13 Full Adder & Full Subtractor

Μία πύλη full adder και μία πύλη full subtractor μπορεί να σχεδιαστεί με την λογική imply, με την χρήση 6 memristors για την κάθε πύλη, τριών σαν είσοδοι, δύο σαν έξοδοι και ένα ακόμη σαν βιοηθητικό. Στον πίνακα 4.13.1 βλέπουμε πώς μπορούμε να σχεδιάσουμε μία πύλη full adder με την λογική imply, ενώ στον πίνακα 4.13.2 βλέπουμε πώς μπορούμε να σχεδιάσουμε μία πύλη full subtractor με την ίδια λογική. Στον πίνακα 4.13.3 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη Half adder ενώ στον πίνακας 4.13.4 βλέπουμε τα στάδια που πρέπει να ακολουθήσουμε για να μπορέσουμε να έχουμε μια λογική πύλη Half subtractor.

Πίνακας 0.3 Πύλη Full Adder.

A	B	C	$A \rightarrow B$	$K_3: B \rightarrow A$	$(B \rightarrow A) \rightarrow '0'$	$\text{``} \bar{A} \cdot B''$ $(A \rightarrow B) \rightarrow$	$[(B \rightarrow A) \rightarrow '0']$ $K_{\perp}: "A \oplus B"$	$B \rightarrow '0'$	$K_1: (A \rightarrow '0') \rightarrow B$	$B \rightarrow (A \rightarrow '0')$	$K_2: [B \rightarrow (A \rightarrow '0')] \rightarrow '0'$	$K_1 \rightarrow K_2$	$K_3: (K_1 \rightarrow K_2) \rightarrow '0'$	$C \rightarrow '0'$	$K_5: (C \rightarrow '0') \rightarrow K_3$	$K_4: C \rightarrow (K_1 \rightarrow K_2)$	$K_4 \rightarrow '0'$	$K_5 \rightarrow (K_4 \rightarrow '0')$	$A \oplus B \oplus C:$ $(K_5 \rightarrow K_4) \rightarrow '0'$	$A \cdot B + B \cdot C + A \cdot C:$ $K_4 \rightarrow K_2$
0	0	0	1	1	0	0	1	1	0	1	0	0	1	0	1	1	0	0	0	0
0	0	1	1	0	0	0	1	1	0	0	0	1	0	0	1	1	0	1	1	1
0	1	0	1	0	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0	0
0	1	1	1	0	1	1	1	0	0	0	0	1	1	1	1	0	0	1	1	1
1	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	1	1
1	0	1	0	0	1	1	1	0	0	0	0	1	1	1	1	0	0	1	0	1
1	1	0	0	0	1	0	1	0	1	1	1	0	1	1	1	0	0	1	1	0
1	1	1	0	0	0	1	0	0	1	0	1	1	0	1	1	0	0	0	1	0

Πίνακας 0.4 Πύλη Full Subtractor.

A	B	C	$A \rightarrow B$	$(B \rightarrow A) \rightarrow '0'$	$K_{\perp}: "A \oplus B"$	$B \rightarrow '0'$	$C \rightarrow (B \rightarrow '0')$	$K_1: \text{``} \bar{C} + \bar{B}''$	$C \rightarrow A$	$K_2: (C \rightarrow A) \rightarrow '0'$	$K_4: K_1 \rightarrow K_2$	$K_3 \rightarrow K_4$ “ $B_{OUT}$ ”	$C \rightarrow '0'$	$K_7: K_5 \rightarrow (C \rightarrow '0')$	$K_6: C \rightarrow K_5$	$K_8: K_7 \rightarrow '0'$	$K_9: K_6 \rightarrow K_8$	$K_9 \rightarrow '0'$	$\text{``} A \oplus B \oplus C''$	
0	0	0	1	1	0	0	1	1	0	0	0	0	0	1	1	0	1	1	0	0
0	0	1	1	0	0	1	1	0	1	1	1	1	0	1	1	0	0	0	1	1
0	1	0	1	0	1	1	0	1	1	0	0	0	1	1	1	1	0	0	0	1
0	1	1	1	0	1	1	0	0	0	1	1	1	0	0	0	0	1	1	0	0
1	0	0	0	1	0	1	1	1	1	0	0	0	0	1	1	1	0	0	1	1
1	0	1	0	1	0	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0
1	1	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	1	0	1	0
1	1	1	1	1	0	0	0	0	1	0	1	1	0	1	1	0	0	0	1	1

**Πίνακας 0.5 Στάδια υλοποίησης πύλης Full Adder.**

ΣΤΑΔΙΟ	ΛΟΓΙΚΗ ΠΡΑΞΗ	ΑΠΟΤΕΛΕΣΜΑ
1	FALSE $M_1$	$M_1 \equiv 0$
2	FALSE $M_2$	$M_2 \equiv 0$
3	FALSE $M_3$	$M_3 \equiv 0$
4	$A \rightarrow M_3$	$M_3 \equiv \bar{A} + M_3 = \bar{A} + 0 = \bar{A}$
5	$B \rightarrow M_2$	$M_2 \equiv \bar{B} + M_2 = \bar{B} + 0 = \bar{B}$
6	$M_3 \rightarrow B$	$B \equiv \overline{M_3} + B = \bar{\bar{A}} + B = A + B$
7	$A \rightarrow M_2$	$M_2 \equiv \bar{A} + M_2 = \bar{A} + \bar{B}$
8	$M_2 \rightarrow M_1$	$M_1 \equiv \overline{M_2} + M_1 = \overline{(\bar{A} + \bar{B})} + 0 = \bar{\bar{A}} \cdot \bar{\bar{B}} = A \cdot B$
9	$B \rightarrow M_1$	$M_1 \equiv \bar{B} + M_1 = \overline{(A + B)} + (A \cdot B) = (\bar{A} \cdot \bar{B}) + (A \cdot B) = \overline{(A \oplus B)} = (A \odot B)$
10	FALSE A	$A \equiv 0$
11	$M_1 \rightarrow A$	$A \equiv \overline{M_1} + A = \overline{(A \oplus B)} + 0 = (A \oplus B)$
12	FALSE B	$B \equiv 0$
13	FALSE $M_3$	$M_3 \equiv 0$
14	$C \rightarrow M_3$	$M_3 \equiv \bar{C} + M_3 = \bar{C} + 0 = \bar{C}$
15	$M_3 \rightarrow A$	$A \equiv \overline{M_3} + A = \bar{\bar{C}} + (A \oplus B) = C + (A \oplus B)$
16	$C \rightarrow M_1$	$M_1 \equiv \bar{C} + M_1 = \bar{C} + \overline{(A \oplus B)}$
17	$M_1 \rightarrow B$	$B \equiv \overline{M_1} + B = \overline{(\bar{C} + (A \oplus B))} + 0 = \bar{\bar{C}} \cdot \overline{(A \oplus B)} = C \cdot (A \oplus B)$
18	$A \rightarrow B$	$B = \bar{A} + B = \overline{(C + (A \oplus B))} + (C \cdot (A \oplus B)) = (\bar{C} \cdot \overline{(A \oplus B)}) + (C \cdot (A \oplus B)) = \overline{[C \oplus (A \oplus B)]} = C \odot (A \oplus B)$
19	FALSE $M_3$	$M_3 \equiv 0$
20	$B \rightarrow M_3$	$M_3 \equiv \bar{B} + M_3 = \overline{C \odot (A \oplus B)} + 0 = \overline{[C \oplus (A \oplus B)]} = C \oplus A \oplus B$
21	FALSE C	$C \equiv 0$
22	$M_2 \rightarrow C$	$C \equiv \overline{M_2} + C = \overline{(\bar{A} + \bar{B})} + 0 = \bar{\bar{A}} \cdot \bar{\bar{B}} = A \cdot B$
23	$M_1 \rightarrow C$	$C \equiv \overline{M_1} + C = \overline{(\bar{C} + (A \oplus B))} + A \cdot B = \bar{\bar{C}} \cdot \overline{(A \oplus B)} + (A \cdot B) = C \cdot (A \oplus B) + (A \cdot B) = C \cdot (\bar{A} \cdot B + A \cdot \bar{B}) + A \cdot B = A \cdot B + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C = A \cdot (B + \bar{B} \cdot C) + B \cdot (A + \bar{A} \cdot C) = A \cdot (B + C) + B \cdot (A + C) = A \cdot B + A \cdot C + A \cdot B + B \cdot C = A \cdot B + A \cdot C + B \cdot C$

**Πίνακας 0.6 Στάδια υλοποίησης πύλης Full Subtractor.**

<b>ΣΤΑΔΙΟ</b>	<b>ΛΟΓΙΚΗ ΠΡΑΞΗ</b>	<b>ΑΠΟΤΕΛΕΣΜΑ</b>
<b>1</b>	FALSE M <sub>1</sub>	M <sub>1</sub> ≡ 0
<b>2</b>	FALSE M <sub>2</sub>	M <sub>2</sub> ≡ 0
<b>3</b>	FALSE M <sub>3</sub>	M <sub>3</sub> ≡ 0
<b>4</b>	A → M <sub>1</sub>	M <sub>1</sub> ≡ $\bar{A} + M_1 = \bar{A} + 0 = \bar{A}$
<b>5</b>	B → M <sub>2</sub>	M <sub>2</sub> ≡ $\bar{B} + M_2 = \bar{B} + 0 = \bar{B}$
<b>6</b>	B → M <sub>3</sub>	M <sub>3</sub> ≡ $\bar{B} + M_3 = \bar{B} + 0 = \bar{B}$
<b>7</b>	M <sub>1</sub> → M <sub>2</sub>	M <sub>2</sub> ≡ $\overline{M_1} + M_2 = \overline{\bar{A}} + \bar{B} = A + \bar{B}$
<b>8</b>	M <sub>3</sub> → M <sub>1</sub>	M <sub>1</sub> ≡ $\overline{M_3} + M_1 = \overline{\bar{B}} + \bar{A} = B + \bar{A}$
<b>9</b>	FALSE M <sub>3</sub>	M <sub>3</sub> ≡ 0
<b>10</b>	M <sub>2</sub> → M <sub>3</sub>	M <sub>3</sub> ≡ $\overline{M_2} + M_3 = \overline{(A + \bar{B})} + 0 = \bar{A} \cdot B$
<b>11</b>	M <sub>1</sub> → M <sub>3</sub>	M <sub>3</sub> ≡ $\overline{M_1} + M_3 = \overline{\bar{B} + \bar{A}} + \bar{A} \cdot B = \bar{B} \cdot A + \bar{A} \cdot B = A \oplus B$
<b>12</b>	FALSE M <sub>1</sub>	M <sub>1</sub> ≡ 0
<b>13</b>	B → M <sub>1</sub>	M <sub>1</sub> ≡ $\bar{B} + M_1 = \bar{B} + 0 = \bar{B}$
<b>14</b>	C → M <sub>1</sub>	M <sub>1</sub> ≡ $\bar{C} + M_1 = \bar{C} + \bar{B}$
<b>15</b>	C → A	A ≡ $\bar{C} + A$
<b>16</b>	FALSE B	B ≡ 0
<b>17</b>	A → B	B ≡ $\bar{A} + B = \overline{\bar{C} + A} + 0 = C \cdot \bar{A}$
<b>18</b>	M <sub>1</sub> → B	B ≡ $\overline{M_1} + B = \overline{\bar{C} + \bar{B}} + C \cdot \bar{A} = C \cdot B + C \cdot \bar{A}$
<b>19</b>	M <sub>2</sub> → B	B ≡ $\overline{M_2} + B = A + \overline{\bar{B}} + C \cdot B + C \cdot \bar{A} = B \cdot \bar{A} + C \cdot B + C \cdot \bar{A}$
<b>20</b>	FALSE M <sub>1</sub>	M <sub>1</sub> ≡ 0
<b>21</b>	FALSE M <sub>2</sub>	M <sub>2</sub> ≡ 0
<b>22</b>	FALSE A	A ≡ 0
<b>23</b>	C → M <sub>1</sub>	M <sub>1</sub> ≡ $\bar{C} + M_1 = \bar{C} + 0 = \bar{C}$
<b>24</b>	C → M <sub>2</sub>	M <sub>2</sub> ≡ $\bar{C} + M_2 = \bar{C} + 0 = \bar{C}$
<b>25</b>	M <sub>3</sub> → M <sub>1</sub>	M <sub>1</sub> ≡ $\overline{M_3} + M_1 = \overline{A \oplus B} + \bar{C}$
<b>26</b>	M <sub>2</sub> → M <sub>3</sub>	M <sub>3</sub> ≡ $\overline{M_2} + M_3 = \overline{\bar{C}} + A \oplus B = C + A \oplus B$
<b>27</b>	M <sub>1</sub> → A	A ≡ $\overline{M_1} + A = (\overline{A \oplus B} + \bar{C}) + 0 = C \cdot (A \oplus B)$
<b>28</b>	M <sub>3</sub> → A	A ≡ $\overline{M_3} + A = (\overline{C + A \oplus B}) + C \cdot (A \oplus B) = C \odot (A \oplus B)$
<b>29</b>	FALSE C	C ≡ 0
<b>30</b>	A → C	C ≡ $\bar{A} + C = \overline{C \odot (A \oplus B)} + 0 = C \oplus A \oplus B$

## 5. ΕΝΙΣΧΥΤΕΣ

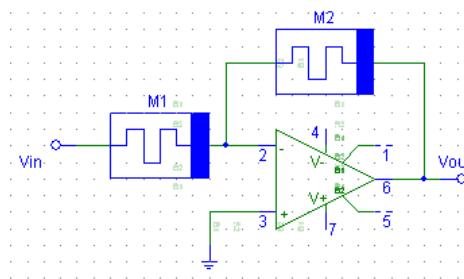
### 5.1. Ενισχυτές με χρήση memristor

Ο τελεστικός ενισχυτής είναι ένας διαφορικός ενισχυτής, ο οποίος έχει μεγάλο κέρδος τάσης με ταυτόχρονα μεγάλη αντίσταση εισόδου και μικρή αντίσταση εξόδου. Η ανάγκη για πιο ευέλικτους και προγραμματίσιμους ενισχυτές, καθώς επίσης και η ύπαρξη του memristor ως ένα από τα θεμελιώδη ηλεκτρικά στοιχεία, άνοιξε το δρόμο για την υλοποίηση ενισχυτών με στοιχεία memristor αντί για τις συμβατικές αντιστάσεις που χρησιμοποιούνται μέχρι και σήμερα. Παρακάτω παραθέτουμε τις βασικές σχεδιάσεις τελεστικών ενισχυτών, στις οποίες έχουν αντικατασταθεί ορισμένα στοιχεία με memristors. Ένας ενισχυτής στον οποίο έχει αντικατασταθεί ένα ή περισσότερα στοιχεία με memristors παρουσιάζει μεταβλητό κέρδος και εύρος ζώνης λόγω της μεταβλητής-διαμορφώσιμης αντίστασης του στοιχείου memristor που έχει προστεθεί στο κύκλωμα [34]. Τα Memristors μπορούν να χρησιμοποιηθούν ως μεταβλητές αντιστάσεις όπου η αντίσταση τους αρχικοποιείται με μια συγκεκριμένη διαδικασία, διαφορετική από την τυπική λειτουργία του κυκλώματος [35]. Κατά τη λειτουργία του κανονικού κυκλώματος, το memristor συμπεριφέρεται ως απλή αντίσταση.

#### 5.1.1. Αναστρέφων ενισχυτής με memristors

Ο αναστρέφων ενισχυτής (inverting amplifier) είναι ένας τελεστικός ενισχυτής στον οποίον η μη αναστρέφουσα είσοδος του βρίσκεται γειωμένη και ο κλάδος ανατροφοδότησης συνδέεται στην αναστρέφουσα είσοδο του τελεστικού. Στο παρακάτω κύκλωμα έχουν αντικατασταθεί όλες οι αντιστάσεις με memristors. Η έξοδος του ενισχυτή (το κέρδος του ενισχυτή) δίνεται όπως και σε έναν απλό αναστρέφοντα ενισχυτή από την παρακάτω σχέση με τη διαφορά ότι αντί για τις τιμές των αντιστάσεων έχουμε τις τιμές των memristors (πίνακας 5.1)[36].

$$A_v = \frac{V_{OUT}}{V_{IN}} = - \frac{M_2}{M_1}$$

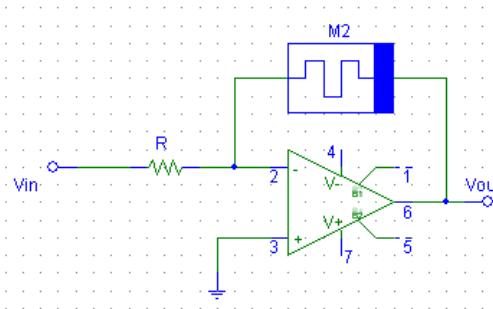


Εικόνα 5.1 Αναστρέφων ενισχυτής με memristors.

### 5.1.1.1. Αναστρέφων ενισχυτής με memristor στον βρόχο ανάδρασης

Στο παρακάτω κύκλωμα γίνεται χρήση του απλού αναστρέφοντος ενισχυτή με τη διαφορά ότι γίνεται χρήση ενός memristor, το οποίο έχει αντικαταστήσει την αντίσταση στο βρόχο ανάδρασης του τελεστικού. Το κέρδος του ενισχυτή δίνεται ως εξής:

$$A_v = \frac{V_{OUT}}{V_{IN}} = -\frac{M_2}{R}$$

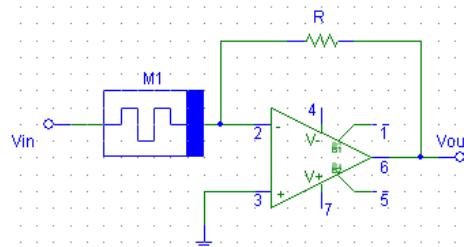


Εικόνα 5.2 Αναστρέφων ενισχυτής με memristor στο βρόχο ανάδρασης.

### 5.1.1.2. Αναστρέφων ενισχυτής με memristor στην αναστρέφουσα είσοδο

Στο παρακάτω κύκλωμα γίνεται χρήση του απλού αναστρέφοντος ενισχυτή με τη διαφορά ότι γίνεται χρήση ενός memristor, το οποίο αυτή τη φορά έχει αντικαταστήσει την αντίσταση στην αναστρέφουσα είσοδο του τελεστικού. Το κέρδος του ενισχυτή δίνεται ως εξής:

$$A_v = \frac{V_{OUT}}{V_{IN}} = -\frac{R}{M_1}$$

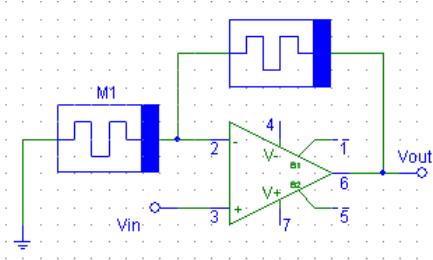


Εικόνα 5.3 Αναστρέφων ενισχυτής με memristor στην αναστρέφουσα είσοδο του τελεστικού.

### 5.1.2. Μη αναστρέφων ενισχυτής με memristors

Ο μη αναστρέφων ενισχυτής (noninverting amplifier) είναι ένας τελεστικός ενισχυτής του οποίου η τάση εισόδου εφαρμόζεται απευθείας στη μη αναστρέφουσα είσοδο και η αντίσταση του κλάδου της αναστρέφουσας εισόδου του τελεστικού συνδέεται ανάμεσα στη γη και στην αναστρέφουσα είσοδο του. Το παρακάτω κύκλωμα διαφέρει μόνο ως προς το γεγονός ότι, όπως και πριν, έχουμε αντικαταστήσει τις αντιστάσεις με memristors. Το κέρδος του μη αναστρέφοντος ενισχυτή με memristors δίνεται ως εξής:

$$A_v = \frac{V_{OUT}}{V_{IN}} = 1 + \frac{M_2}{M_1}$$

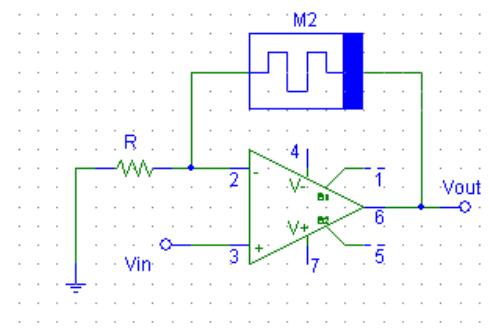


Εικόνα 5.4 Μη αναστρέψων ενισχυτής με memristors.

#### 5.1.2.1. Μη αναστρέψων ενισχυτής με memristor στο βρόχο ανάδρασης

Στο παρακάτω κύκλωμα γίνεται χρήση του απλού μη αναστρέφοντος ενισχυτή με τη διαφορά ότι γίνεται χρήση ενός memristor, το οποίο έχει αντικαταστήσει την αντίσταση στο βρόχο ανάδρασης του τελεστικού. Το κέρδος του ενισχυτή δίνεται ως εξής:

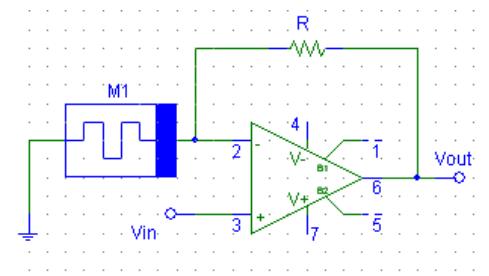
$$A_v = \frac{V_{OUT}}{V_{IN}} = 1 + \frac{M_2}{R}$$



Εικόνα 5.5 Μη αναστρέψων ενισχυτής με memristors στο βρόχο ανάδρασης.

#### 5.1.2.2. Μη αναστρέψων ενισχυτής με memristor στην αναστρέφουσα είσοδο

Στο παρακάτω κύκλωμα γίνεται χρήση του απλού μη αναστρέφοντος ενισχυτή με τη διαφορά ότι γίνεται χρήση ενός memristor, το οποίο αυτή τη φορά έχει αντικαταστήσει την αντίσταση στην αναστρέφουσα είσοδο του τελεστικού. Το κέρδος του ενισχυτή δίνεται ως εξής:  $A_v = \frac{V_{OUT}}{V_{IN}} = 1 + \frac{R}{M_1}$



Εικόνα 5.6 Μη αναστρέψων ενισχυτής με memristors στην αναστρέφουσα είσοδο του τελεστικού.

## 5.2. Προγραμματισμός memristor υψηλής ακρίβειας

Μετά την ανακάλυψη του memristor ως ένα από τα θεμελιώδη ηλεκτρικά στοιχεία από τον Chua [37],[38], το memristor έχει προσελκύσει σημαντικό ερευνητικό ενδιαφέρον. Οι μη συμβατικές ιδιότητές του, η μη πτητική μνήμη που εξαρτάται από το ιστορικό της τάσης και η μη γραμμική συμπεριφορά, ανοίγουν τον δρόμο στην ανάπτυξη νέων αρχιτεκτονικών κυκλωμάτων.

Η ανάγκη για υλοποιήσεις κυκλωμάτων με memristive στοιχεία, δημιούργησε μία νέα ανάγκη, αυτή της δυνατότητας αρχικοποίησης της τιμής του memristor σε μία αρχική τιμή, ή την μεταβολή της κατά το επιθυμητό σε οποιαδήποτε χρονική στιγμή. Σε αυτή την περίπτωση, ο προγραμματισμός ενός memristor [39],[40] με μεγάλη ακρίβεια κρίνεται απαραίτητος.

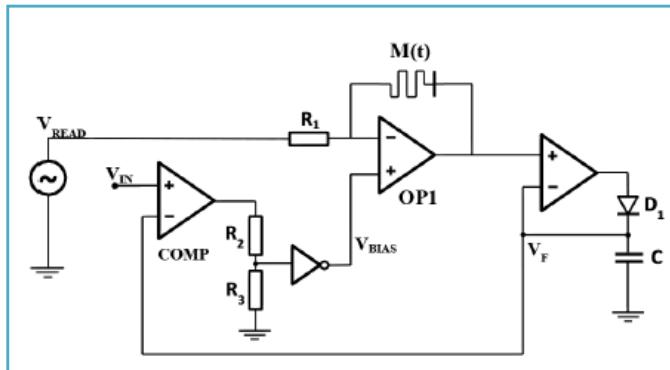
Στη συνέχεια αναφέρουμε τη λειτουργία ενός προγραμματιστικού αναλογικού κυκλώματος [41] για την ακριβή ρύθμιση της τιμής της αντίστασης ενός memristor [42],[43]. Το κύκλωμα εκμεταλλεύεται τη δυνατότητα διαμόρφωσης της αντίστασης του memristor με την εφαρμογή σε αυτό σταθερής DC πόλωσης, ενώ η επαλήθευση της μνημοαντίστασης γίνεται με μετρήσεις σε πραγματικό χρόνο χρησιμοποιώντας ένα AC σήμα. Η δυνατότητα του memristor να μπορεί να αλλάζει την τιμή της αντίστασης του, το κάνει να λειτουργεί ως ένα αναλογικό ποτενσιόμετρο, με την αντίστασή του να ανταποκρίνεται σε μια αναλογική τάση εισόδου. Αυτή η εφαρμογή δοκιμάστηκε με το HP μοντέλο αποκαλύπτοντας μια ακρίβεια μικρότερη από 0,4% (8 bit ακρίβεια). Έχουν προταθεί πολλά κυκλώματα για αυτή την λειτουργία, τα οποία μπορούν να κατηγοριοποιηθούν σε δύο κατηγορίες.

- Η πρώτη κατηγορία αποτελείται από τα κυκλώματα που χρησιμοποιούν παλμούς τάσης σε διάφορα πλάτη και συχνότητες είτε για να ορίσουν (να γράψουν την τιμή) είτε για να ελέγχουν («διαβάσουν» την τιμή) είτε να αρχικοποιήσουν το memristor σε μία ενδιάμεση τιμή μεταξύ των  $R_{ON}$  και  $R_{OFF}$  [44],[45]. Οι τιμές αυτές όπως έχει ήδη αναφερθεί σε αυτήν την εργασία είναι η  $R_{ON}$  η οποία είναι η ελάχιστη δυνατή τιμή και η  $R_{OFF}$  η μέγιστη δυνατή. Το μειονέκτημα σε αυτή την κατηγορία είναι η ανάγκη χρήσης εξωτερικού συστήματος για τον υπολογισμό του χρονισμού των παλμών.
- Η δεύτερη κατηγορία αποτελείται από τα κυκλώματα που χρησιμοποιούν μία ή περισσότερες γραμμικές αντιστάσεις, οι οποίες χρησιμοποιούνται σαν αντιστάσεις «αναφοράς» για την τιμή που πρόκειται να λάβει το memristor [46],[47]. Το μειονέκτημα σε αυτήν την κατηγορία είναι η ανάγκη ύπαρξης πολλών αντιστάσεων αναφοράς για τον προγραμματισμό του memristor. Δηλαδή θα πρέπει να υπάρχει μία αντίσταση για κάθε διακριτή τιμή που θα παίρνει το memristor.

Παρακάτω παρατίθεται μια υλοποίηση προγραμματισμού ενός memristor, η οποία δεν παρουσιάζει τα μειονέκτημα των δύο προαναφερθεισών κατηγοριών. Βασικό πλεονέκτημα της παρακάτω υλοποίησης είναι ότι δίνει μία γραμμική σχέση μεταξύ της αναλογικής τάσης εισόδου με την τελική τιμή αντίστασης που παίρνει το memristor μετά τον προγραμματισμό του.

### 5.2.1. Λειτουργία του κυκλώματος

Το κύκλωμα που μπορούμε να δούμε στην εικόνα 5.7 αποτελείται από τον τελεστικό ενισχυτή OP1 ο οποίος είναι συνδεδεμένος ως αναστρέφων ενισχυτής τάσης με συνδεδεμένο το memristor στον βρόχο αρνητικής ανατροφοδότησης. Όταν ο OP1 καταναλώνει ρεύμα, η μνημοαντίσταση αυξάνεται, ενώ σε αντίθετη περίπτωση, όπου ο τελεστικός τροφοδοτεί με ρεύμα τον κλάδο ανάδρασης, η μνημοαντίσταση μειώνεται. Η έξοδος του OP1 μετά τον επόμενο τελεστικό συνδέεται στη θετική είσοδο του επόμενου τελεστικού, η έξοδος του οποίου συνδέεται με έναν ανιχνευτή αιχμής, ο οποίος ελέγχει την τιμή της μνημοαντίστασης κάθε  $1/F_{READ}$  ( $T_{READ}$ ) [48].



**Εικόνα 5.7 Προτεινόμενο κύκλωμα προγραμματισμού Memristor με υψηλή ακρίβεια και με πηγή τάσης AC ( $V_{READ} * \cos(2\pi F_{READ} t)$ ).**

Στο αρχικό στάδιο όπου  $V_{IN} = 0V$  το κύκλωμα λειτουργεί ως ένας αναστρέφων τελεστικός ενισχυτής που τροφοδοτείται με ας με πλάτος  $V_{READ}$  από την πηγή ας και με συχνότητα  $F_{READ}$ . Αυτή η συχνότητα έχει επιλεγεί ώστε να είναι αρκετά υψηλή και να μην επηρεάζει σημαντικά την τιμή της μνημοαντίστασης του memristor μέσα σε μία περίοδο. Η έξοδος του συστήματος ή αλλιώς η τιμή του ανιχνευτή δίνεται από τον τύπο:

$$V_F(t_0) = V_{READ} * \frac{M(t_0)}{R_1} \quad 5.1$$

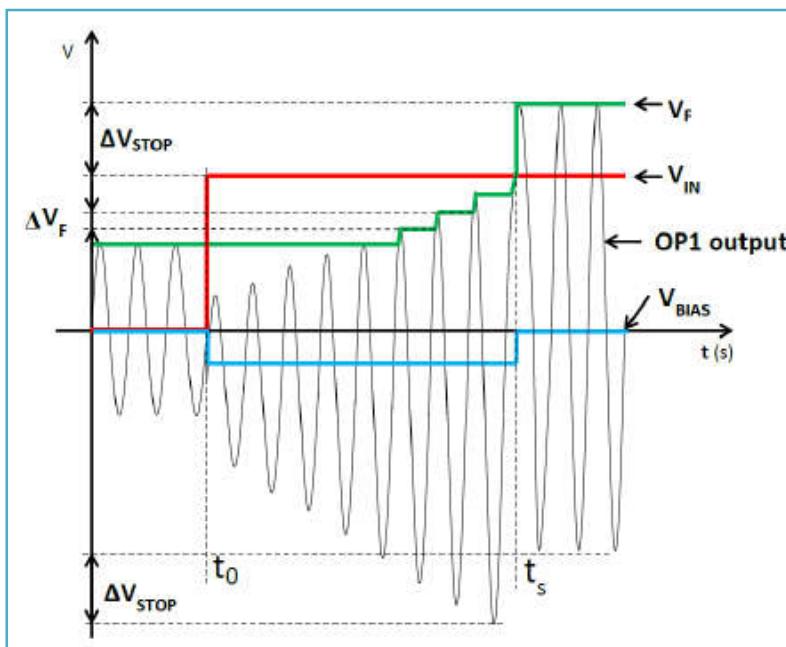
Αυξάνοντας την τάση εισόδου  $V_{IN}$  σε μια τιμή μεγαλύτερη της  $V_F(t_0)$ , η έξοδος του συγκριτή (comparator) λαμβάνει τη μέγιστη τιμή της ( $V_{DD}$ ) δημιουργώντας μία τάση  $V_{BIAS} < 0V$  στη μη αναστρέφουσα (θετική) είσοδο του τελεστικού OP1. Η τάση  $V_{BIAS}$  μπορεί εύκολα να ελεγχθεί από το διαιρέτη τάσης που δημιουργείται από τις αντιστάσεις  $R_2$  και  $R_3$ . Θεωρώντας ότι το κέρδος ανοικτού βρόχου του ενισχυτή είναι μεγάλο, η αναστρέφουσα είσοδος του OP1 θα αναγκαστεί να έχει το ίδιο δυναμικό με την  $V_{BIAS}$ , επιβάλλοντας έτσι ένα ρεύμα DC. Το ρεύμα DC θα υπερισχύσει του AC ρεύματος προερχόμενο από την πηγή  $V_{READ}$ , και θα διαρρεύσει το memristor με τιμή ίση με  $I_{DC} = V_{BIAS}/R_1$ . Με αυτόν τον τρόπο θα επέλθει ο προγραμματισμός της συσκευής. Καθώς αυξάνεται η μνημοαντίσταση (memristance), η έξοδος του συστήματος ή αλλιώς η τιμή του ανιχνευτή  $V_F$  θα δίνετε από τον τύπο:

$$V_F(t) = \frac{M(t) * (V_{READ} + V_{BIAS})}{R_1} + V_{BIAS} \quad 5.2$$

Στο σημείο όπου η τάση  $V_F$  του ελεγκτή γίνεται ίση με την τάση  $V_{IN}$  (ο προγραμματισμός της συσκευής δεν σταματάει), η memristance υπολογίζεται ως εξής:

$$M(t_s) = \frac{V_{IN} - V_{BIAS}}{V_{READ} + V_{BIAS}} * R_1 \quad 5.3$$

Καθώς η τάση  $V_F$  γίνεται μεγαλύτερη από την τάση  $V_{IN}$ , η έξοδος του συγκριτή (comparator) θα κατέβει στο δυναμικό της γης και μαζί της και το δυναμικό της αναστρέφουσας εισόδου του OP1, κατορθώνοντας μια αλλαγή στην  $V_F$  ίση με  $\Delta V_{STOP}$ , η οποία είναι θετική. Αυτός ο μηχανισμός ενισχύει την απόφαση να σταματήσει ο προγραμματισμός της συσκευής όταν κατορθώνεται η επιθυμητή τιμή της αντίστασης του memristor. Αυτό μπορούμε να το δούμε καλύτερα και στη εικόνα 5.7 όπου φαίνεται με μεγαλύτερη σαφήνεια η λειτουργία του κυκλώματος.



Εικόνα 5.8 Προγραμματισμός της τιμής  $M(t_s)$  του memristor για έναν προγραμματιστικό κύκλο λειτουργίας του κυκλώματος της εικόνας 5.6. Η  $V_{IN}$  εφαρμόζεται στο  $t_0$  και ο προγραμματισμός σταματά στο  $t_s$ .

Χρησιμοποιώντας το μοντέλο HP [49], η αλλαγή στη memristance με τη εφαρμοζόμενη τάση  $V_{BIAS}$  μπορεί να προσεγγιστεί ως εξής:

$$\frac{dM}{dt} = \frac{dM}{dw} * \frac{dw}{dt} = \frac{V_{BIAS} * R_{ON}}{R_1 * D^2} * \mu(R_{ON} - R_{OFF}) = S_{V_{BIAS}} \quad 5.4$$

Όπου οι μεταβλητές  $D, R_{ON}, R_{OFF}, \mu$  και  $w$  είναι οι ίδιες με αυτές που εξηγήσαμε στα μοντέλα των memristors. Για ένα διακριτό πλήθος τιμών της  $V_{BIAS}$  η κλίση της memristance είναι σταθερή.

$$\frac{dM}{dt} = \frac{M(t_0 + T_{READ}) - M(t_0)}{T_{READ}} = S_{V_{BIAS}} \quad 5.5$$

$$S_{V_{BIAS}} = \frac{(V_F M(t_0 + T) - V_F(t_0)) * R_1}{(V_{READ} + V_{BIAS}) T_{READ}} \quad 5.6$$

$$\Delta V_F = \frac{S_{V_{BIAS}} (T_{READ} + V_{BIAS})}{R_1 * F_{READ}} \quad 5.7$$

Υπάρχει όμως ένα σφάλμα που προέρχεται από το γεγονός ότι η δειγματοληψία της τιμής της μνημοαντίστασης γίνεται από το σήμα AC με περίοδο  $T_{READ}$ . Σε κάθε επόμενη δειγματοληψία η  $V_F$  αυξάνεται κατά  $\Delta V_F$ . Για να διασφαλιστεί ότι η έξοδος του συγκριτή (comp) μεταβαίνει από υψηλή σε χαμηλή τάση όταν η μνημοαντίσταση λάβει την επιθυμητή τιμή που θέλουμε, πρέπει να τηρείται η εξής σχέση:  $\Delta V_F \geq V_{OS}$ , όπου  $V_{OS}$  είναι η offset τάση του συγκριτή (comp).

Στην περίπτωση που η έξοδος του συγκριτή (comp) είναι κοντά στο  $V_{IN}$  ( $|V_{IN} - V_F| < |V_{OS}|$ ) ο συγκριτής (comp) παράγει ένα εσφαλμένο σήμα (ούτε υψηλή αλλά ούτε χαμηλή τάση), καταστρέφοντας την τάση προγραμματισμού  $V_{BIAS}$ .

Εξετάστηκε η περίπτωση κατά τη χρονική στιγμή  $t = V_F = V_{IN}$  όπου η αντίσταση του memristor είναι ίση με την επιθυμητή τιμή, αλλά ο συγκριτής δεν ενεργοποιείται. Η επόμενη δειγματοληψία της μνημοαντίστασης θα γίνει μετά από μία περίοδο του AC σήματος εισόδου  $V_{READ}$ . Κατά τη διάρκεια αυτής της περιόδου, η αντίσταση αυξάνεται, καθώς επηρεάζεται ακόμη από το ρεύμα  $DC_{BIAS}$  που δίνεται από την  $V_{BIAS}$ . Την χρονική περίοδο  $t + T_{READ}$ , η  $V_F$  αυξάνεται κατά  $\Delta V_F$  και μέχρι  $\Delta V_F > V_{OS}$ , ο συγκριτής τώρα θα ενεργοποιηθεί και θα τερματίσει τον προγραμματισμό του memristor. Σε αυτήν την περίπτωση το μέγιστο σφάλμα σε αυτό το στάδιο του προγραμματισμού μπορεί να εκτιμηθεί από την σχέση:

$$\Delta M_{ERR} = \frac{\mu * R_{ON} * DRV_{BIAS}}{R_1 * D^2 * F_{READ}} \quad 5.8$$

Το κύκλωμα προσομοιώθηκε χρησιμοποιώντας το πρόγραμμα SPICE και το μοντέλο memristor που προτάθηκε από τους Prodromakis et al [50]. Ο τελεστικός ενισχυτής που χρησιμοποιήθηκε για τον OP1 op-amp είναι ο OP37G με μοναδιαίο κέρδος. Για συγκριτής (comparator) επιλέχθηκε ο AD8561 λόγω της μικρής offset τάσης εισόδου του και του μικρού χρόνου απόκρισης. Οι τιμές των παραμέτρων του κυκλώματος της εικόνας 5.6 δίνονται στον παρακάτω πίνακα.

Πίνακας 5.1 Τιμές των μεταβλητών			
Μεταβλητές	Τιμές	Μεταβλητές	Τιμές
$V_{READ}$	200mV	$M(R_{ON})$	100Ω
$F_{READ}$	1KHz	$M(R_{OFF})$	10ΚΩ
$R_1$	330Ω	$M(\mu)$	10-14 m <sup>2</sup> /Vs
C	10μF	$M(D)$	10nm
$M(R_{INIT})$	330Ω	$V_{BIAS}$	-80mV

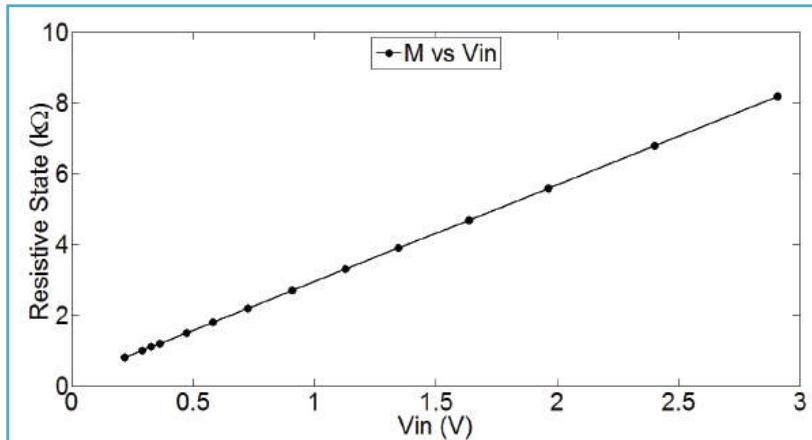
Για τον υπολογισμό της αντίστασης του memristor κατά τον προγραμματισμό του δίνονται οι παρακάτω τύποι. Θεωρούμε γνωστές τις παραμέτρους του πίνακα 5.1, την μεταγραφόμενη τιμή της τάσης του σύγκρισης (offset) και την τάση του ανιχνευτή κορυφής ( $V_{OS} \approx 4mV$ ).

$$M(t_s) = \frac{V_{IN} * V_{BIAS} - 2 * V_{OS}}{V_{READ} + V_{BIAS}} * R_1 \quad 5.9$$

$$M(t_s) = V_{IN} 2.75 * kA^{-1} + 198\Omega \quad 5.10$$

### 5.2.2. Αποτελέσματα

Στο κύκλωμα της εικόνας 5.7 η τάση εισόδου εφαρμόστηκε μετά από ένα χρόνο 10ms για να επιτραπεί στην  $V_F$  να αποκτήσει την αρχική της τιμή και η αντίσταση μετρήθηκε στο σημείο όπου η έξοδος του συγκριτή μεταβαίνει από υψηλή σε χαμηλή τάση. Τα αποτελέσματα που παρουσιάζονται στην εικόνα 5.9 είναι σε άριστη συμφωνία με τις αναμενόμενες τιμές της μνημοαντίστασης, και ταιριάζουν με τη γραμμική σχέση που περιγράφεται από την (5.10) και με το σφάλμα της μνημοαντίστασης να είναι πάντα μικρότερο από το μέγιστο σφάλμα που προβλέπεται από την (5.8). Το δυναμικό εύρος της τιμής του memristor ρυθμίστηκε σε  $7380\Omega$  (μεταξύ  $820\Omega$  και  $8,2k\Omega$ ), και χρησιμοποιώντας την (5.8), η ακρίβεια αυτού του κυκλώματος προγραμματισμού βρέθηκε 0,32% που σχετίζεται με ακρίβεια 8 bit.



Εικόνα 5.9 Αποτελέσματα της μνημοαντίστασης μετά τον προγραμματισμό σε σχέση με την τιμή της  $V_{in}$ .

Περιγράφηκε μια αναλογική προσέγγιση για τον ακριβή προγραμματισμό της τιμής της αντίστασης ενός memristor με ακρίβεια 8 bit. Το πλεονέκτημα αυτής της υλοποίησης είναι το γεγονός ότι αποτελεί μια φτηνή εναλλακτική λύση από ότι ένα ψηφιακό σύστημα προγραμματισμού. Είναι ένα κύκλωμα αποτελούμενο από ελάχιστα εξαρτήματα, με ευρεία χρήση στον τομέα των αναλογικών ηλεκτρονικών και με πολύ καλές επιδόσεις συγκρινόμενο με άλλες ήδη υπάρχουσες υλοποιήσεις. Μπορεί εύκολα να προσαρμοστεί ώστε να ταιριάζει σε ένα ευρύ φάσμα εφαρμογών, καθώς επίσης και να παραμετροποιηθεί ώστε να επιτευχθεί ακόμη μεγαλύτερη ακρίβεια. Το σύστημα αυτό θεωρείται ως ένα πιθανό εργαλείο για γρήγορες δοκιμές σε κυκλώματα με memristors όπου υπάρχει ανάγκη ρύθμισης της τιμής τους με υψηλή ακρίβεια.

### 5.3. Σύγκριση τριών Ενισχυτών με memristor

Παρακάτω παρουσιάζουμε μία ακόμη σύγκριση μεταξύ τριών βασικών ενισχυτικών διατάξεων με την χρήση memristors. Βασική ιδέα όπως και πριν είναι η μεταβολή του κέρδους της κάθε ολοκληρωμένης ενισχυτικής διάταξης μέσω ελέγχου της τιμής της αντίστασης του memristor. Ακολουθεί η σύγκριση μεταξύ του ενισχυτή κοινής πηγής, κοινού απαγωγού και του διαφορικού ενισχυτή [51],[52],[53].

#### 5.3.1. Ενισχυτής κοινής πηγής

Η παρακάτω εικόνα 5.10 δείχνει τον ενισχυτή κοινής πηγής, ο οποίος χρησιμοποιεί τα memristors  $M_1$  και  $M_2$  για να δημιουργήσει το διαιρέτη τάσης που χρειαζόμαστε για να πολώσουμε κατάλληλα το τρανζίστορ  $T$ . Το memristor  $M_D$  ελέγχει το κέρδος του ενισχυτή, και επίσης παίζει μεγάλο ρόλο στην αντίσταση της εξόδου του ενισχυτή. Το κέρδος τάσης του ανοικτού βρόχου του ενισχυτή δίνεται ως ακολούθως :

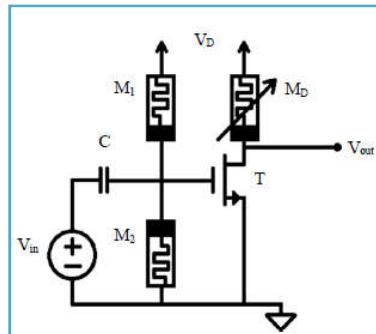
$$A_{VO} = g_m(r_0 \parallel M_D)$$

όπου  $r_0$  είναι η εσωτερική αντίσταση εξόδου και  $g_m$  είναι η διαγωγιμότητα του MOSFET. Όπως φαίνεται, η ικανότητα να προγραμματίζουμε την τιμή της  $M_D$  δίνει την δυνατότητα να μπορούμε να ελέγχουμε την τάση του ανοικτού βρόχου του ενισχυτή. Η αντίσταση εισόδου του ενισχυτή κοινής πηγής  $r_{in}$  ορίζεται με βάση τα memristors  $M_1$  και  $M_2$ , και ορίζεται ως εξής:

$$r_{in} = M_1 \parallel M_2$$

Ομοίως, η αντίσταση εξόδου του ενισχυτή δίνεται:

$$r_{out} = r_S \parallel M_S$$



Εικόνα 5.10 Κύκλωμα ενισχυτή κοινής πηγής με memristors.

#### 5.3.2. Ενισχυτής κοινού απαγωγού

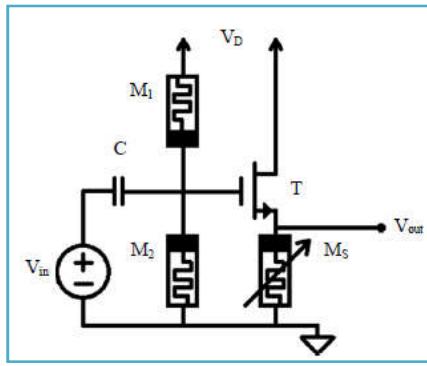
Στην εικόνα 5.11 μπορούμε να δούμε το κύκλωμα του ενισχυτή κοινού απαγωγού, όπου τα δύο memristors  $M_1$  και  $M_2$  λειτουργούν ακριβώς όπως αναφέραμε προηγουμένως στην διάταξη του ενισχυτή κοινής πηγής. Το memristor  $M_S$  λειτουργεί ως η μεταβλητή αντίσταση που ελέγχει το κέρδος του ενισχυτή. Το κέρδος του ενισχυτή για την άπειρη αντίσταση εξόδου δίνεται :

$$A_{VO} = \frac{M_1 \parallel M_2}{M_S + M_1 \parallel M_2} \cdot \frac{M_S}{r_S + M_S}$$

Όπου η αντίσταση  $r_S$  είναι το αντίθετο της διαγωγιμότητας ( $g_m$ ) του MOSFET. Η παραπάνω σχέση δείχνει ότι το κέρδος του ενισχυτή κοινού απαγωγού μπορεί να ελεγχθεί απλώς μεταβάλλοντας την τιμή του memristor  $M_S$ . Οι παρακάτω εξισώσεις δίνουν την αντίσταση εισόδου και εξόδου αντίστοιχα για τον ενισχυτή κοινού απαγωγού.

$$r_{in} = M_1 \parallel M_2$$

$$r_{out} = r_S \parallel M_S$$



Εικόνα 5.11 Κύκλωμα ενισχυτή κοινού απαγωγού (ακόλουθος πηγής) με memristors.

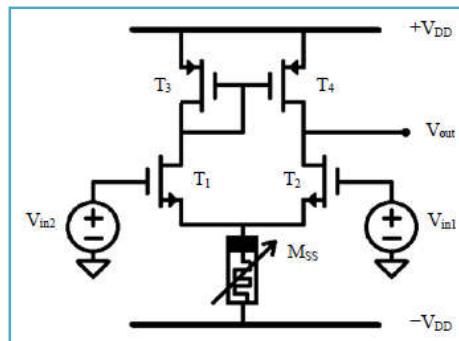
### 5.3.3. Διαφορικός ενισχυτής

Στην εικόνα 5.12 μπορούμε να δούμε το κύκλωμα του διαφορικού ενισχυτή ο οποίος αποτελείται από τα τρανζίστορα  $T_1$ ,  $T_2$ ,  $T_3$  και  $T_4$ , και το memristor  $M_{SS}$ .

Το κέρδος  $A_{CM}$  για το διαφορικό ενισχυτή εκφράζεται ως:

$$A_{CM} = \frac{\Delta V_{out}}{\Delta V_{in,CM}}, \quad A_{CM} \approx \frac{-\frac{1}{2g_{T3,T4}} \parallel \frac{m_{03,04}}{2}}{\frac{1}{2g_{T1,T2}} + M_{SS}} = \frac{-1}{1 + 2g_{T1,T2}M_{SS}} \cdot \frac{g_{T1,T2}}{g_{T3,T4}}$$

Όπου  $g_{m3,m4}$  και  $m_{03,04}$  είναι η διαγωγιμότητα και η αντίσταση εξόδου αντίστοιχα, των τρανζίστορ  $T_3$  και  $T_4$ . Ενώ η  $g_{m1,m2}$  είναι η διαγωγιμότητα των τρανζίστορ  $T_1$  και  $T_2$ .



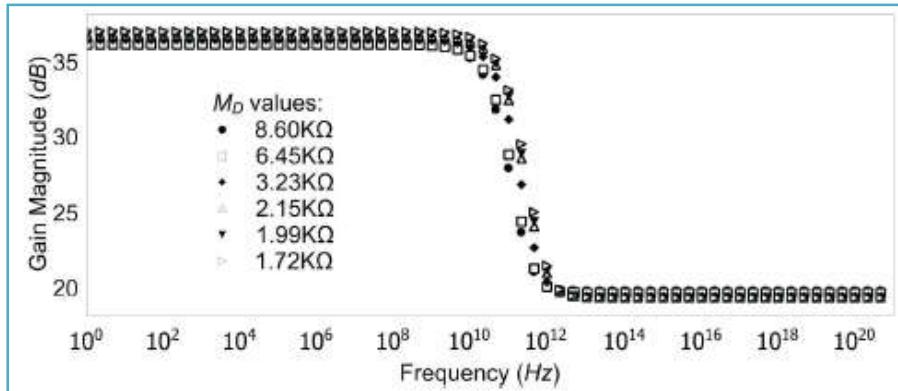
Εικόνα 5.12 Κύκλωμα διαφορικού ενισχυτή με memristor.

### 5.3.4. Πειραματικά αποτελέσματα

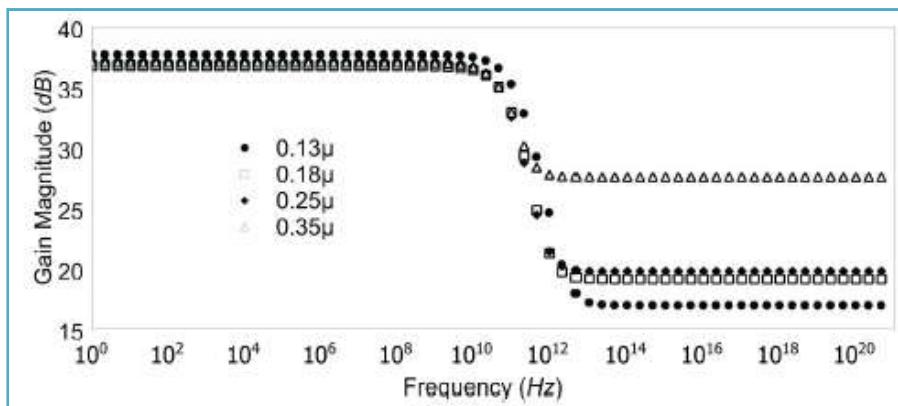
Η ικανότητα των memristive συσκευών να μπορούν προγραμματιστούν σε διαφορετική λογική κατάσταση δίνει τη δυνατότητα πρακτικής εφαρμογής των ενισχυτών μεταβλητού κέρδους ανοικτού βρόχου εντός ολοκληρωμένων κυκλωμάτων. Οι προσομοιώσεις έγιναν με το πρόγραμμα BSIM.

Στην εικόνα 5.13 βλέπουμε την απόκριση συχνότητας του ενισχυτή κοινής πηγής για διακριτές τιμές της αντίστασης του memristor  $M_D$  με την αρχιτεκτονική των τρανζίστορ σ να βρίσκεται στα 180nm. Όπως μπορούμε να δούμε από την εικόνα 5.13, η ικανότητα του memristor  $M_D$  να αλλάζει την τιμή της αντίστασης επηρεάζει σε κάποιο βαθμό το κέρδος του ενισχυτή κοινής πηγής. Στην εικόνα 5.14 βλέπουμε την απόκριση συχνότητας του ενισχυτή κοινής πηγής για διαφορετικές αρχιτεκτονικές κατασκευής τρανζίστορ, και με σταθερή τιμή αντίστασης στο memristor  $M_D$  στα 1.7kΩ. Όπως μπορούμε να δούμε από την εικόνα 5.14, ακόμη και για πολύ διαφορετικές

αρχιτεκτονικές, το κέρδος του ενισχυτή θυμίζει την εικόνα 5.13 στην οποία η κλίμακα ολοκλήρωσης ήταν στα 180nm. Η μεγάλη διαφορά παρουσιάζεται στο εύρος ζώνης και πιο συγκεκριμένα στη ζώνη αποκοπής, όπου ενώ στη προηγούμενη εικόνα 5.13 το κέρδος ήταν σταθερά μικρότερο από τη ζώνη διέλευσης και περίπου ίσο με 17dB, παρατηρείται ότι όσο μεγαλύτερη είναι η κλίμακα ολοκλήρωσης που χρησιμοποιούμε τόσο μεγαλύτερη αύξηση παρουσιάζει (από τα 17dB στα 27 dB).

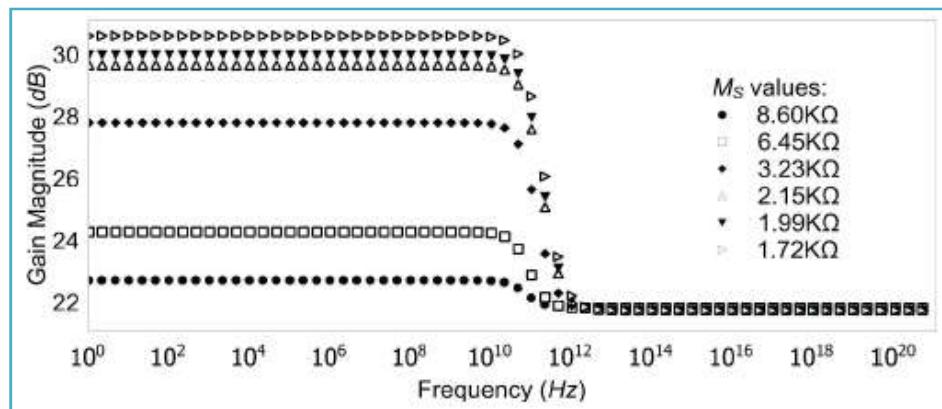


Εικόνα 5.13 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινής πηγής για διάφορες τιμές του memristor  $M_D$ .

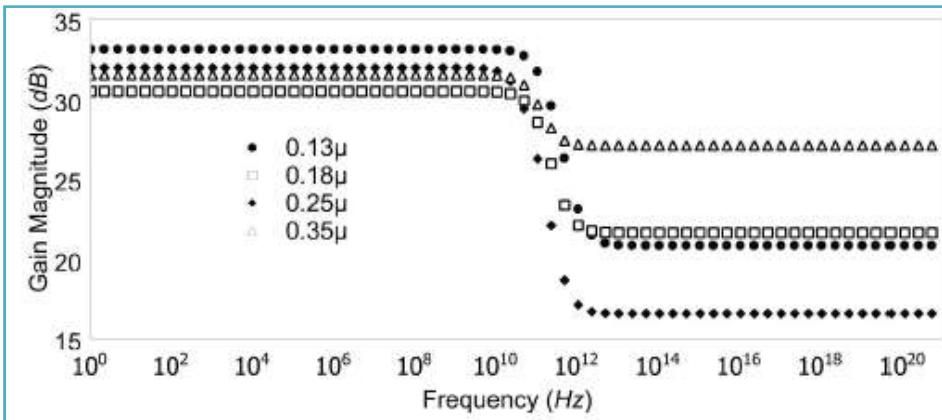


Εικόνα 5.14 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινής πηγής για διαφορετικές αρχιτεκτονικές με τιμή memristor  $M_D=1.72\text{k}\Omega$ .

Στην εικόνα 5.15 βλέπουμε το εύρος συχνοτήτων και τη μεταβολή του μεγέθους του κέρδους του ενισχυτή κοινού επαγωγού για διάφορες τιμές της αντίστασης του memristor  $M_S$  σε αρχιτεκτονική των 180nm. Οπως και με τον ενισχυτή κοινής πηγής παρατηρείται ότι είναι εφικτή η ρύθμιση του κέρδους του ενισχυτή με τη ρύθμιση της αντίστασης του memristor  $M_S$ . Με τη διαφορά ότι το κέρδος του ενισχυτή κοινού επαγωγού παρουσιάζει πολύ μεγαλύτερη εξάρτηση (ευαισθησία) στην μεταβολή της αντίστασης του memristor  $M_S$ . Στην εικόνα 5.16 βλέπουμε την απόκριση συχνότητας και τη μεταβολή του μεγέθους του κέρδους του ενισχυτή κοινού επαγωγού για διάφορες αρχιτεκτονικές και με σταθερή τιμή αντίστασης στο memristor  $M_S$  στα  $1.7\text{k}\Omega$ . Παρατηρούμε ότι τα αποτελέσματα της εικόνας 5.16 είναι σχεδόν όμοια με αυτά του ενισχυτή κοινής πηγής (εικόνα 5.14) με τη μόνη διαφορά ότι το εύρος ζώνης παρουσιάζει μεγαλύτερη διακύμανση στη ζώνη διέλευσης καθώς αυξάνεται η κλίμακα ολοκλήρωσης από τα 130nm στα 350nm.



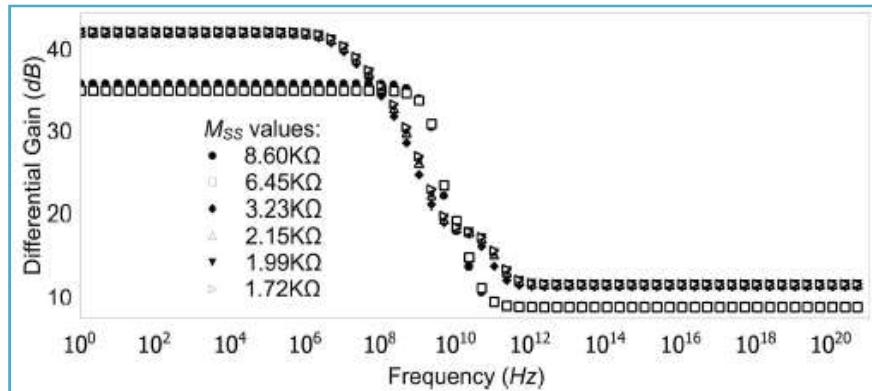
**Εικόνα 5.15 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινού επαγωγού για διάφορες τιμές του memristor  $M_S$ .**



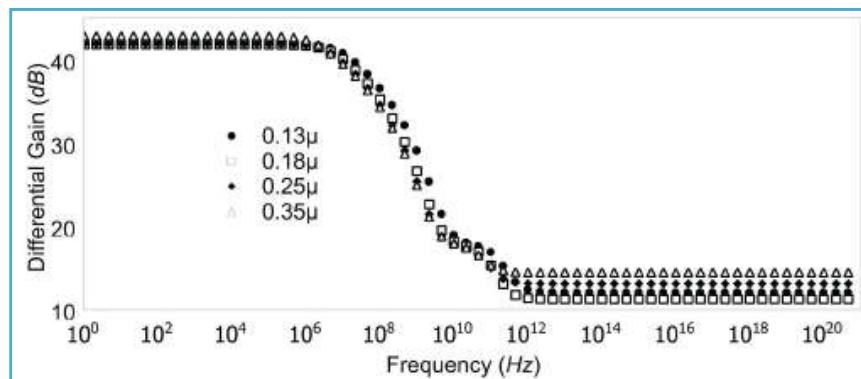
**Εικόνα 5.16 Γραφική παράσταση κέρδους τάσης του ενισχυτή κοινού επαγωγού για διαφορετικές αρχιτεκτονικές με τιμή memristor  $M_S=1.72\text{k}\Omega$ .**

Στην εικόνα 5.17 βλέπουμε το εύρος συχνοτήτων και τη μεταβολή του μεγέθους του κέρδους του διαφορικού ενισχυτή για διάφορες τιμές της αντίστασης του memristor  $M_{ss}$  σε αρχιτεκτονική των 180nm. Όπως και με τους δύο προηγούμενους ενισχυτές είναι εφικτή η ρύθμιση του κέρδους του διαφορικού ενισχυτή με τη ρύθμιση της αντίστασης του memristor  $M_{ss}$ . Μία παρατήρηση που μπορούμε να κάνουμε είναι ότι οι τιμές της αντίστασης του memristor  $M_{ss}$  φαίνεται να ομαδοποιούνται για δύο τιμές του κέρδους. Στην εικόνα 5.18 βλέπουμε την απόκριση συχνότητας και τη μεταβολή του μεγέθους του κέρδους του διαφορικού ενισχυτή για διάφορες αρχιτεκτονικές και με σταθερή τιμή αντίστασης στο memristor  $M_{ss}$  στα 1.7kΩ.

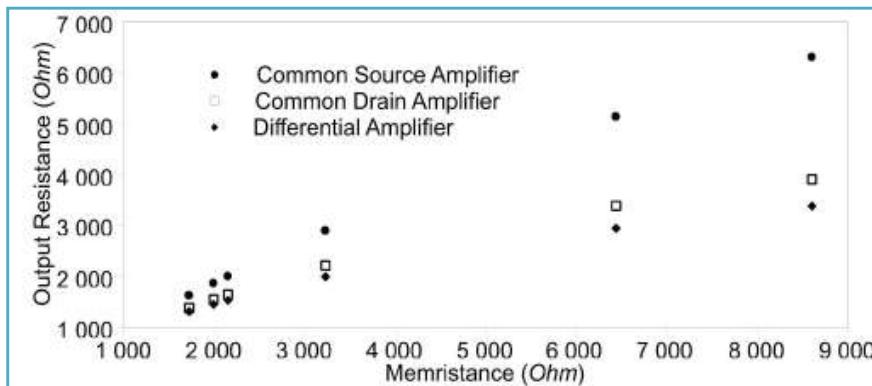
Όπως μπορούμε να διακρίνουμε το εύρος ζώνης του διαφορικού ενισχυτή παρουσιάζει κάποιες μεταβολές ως προς το κέρδος, όμως παρουσιάζει μεγαλύτερη σταθερότητα από ότι στον ενισχυτή κοινής πηγής και κοινού επαγωγού. Η εικόνα 5.19 δείχνει την εξάρτηση της αντίστασης εξόδου σε σύγκριση με την τιμή της αντίσταση των memristors (memristance) για κάθε έναν από τους τρείς ενισχυτές. Παρατηρούμε ότι τα αποτελέσματα συμφωνούν με τις αντίστοιχες εξισώσεις που περιγράφουν τη συμπεριφορά των ενισχυτών.



Εικόνα 5.17 Γραφική παράσταση κέρδους τάσης του διαφορικού ενισχυτή για διάφορες τιμές του memristor  $M_{ss}$ .



Εικόνα 5.18 Γραφική παράσταση κέρδους τάσης του διαφορικού ενισχυτή για διαφορετικές αρχιτεκτονικές με τιμή memristor  $M_{ss} = 1.72\text{k}\Omega$ .



Εικόνα 5.19 Γραφική παράσταση της εξάρτησης της αντίστασης εξόδου σε σύγκριση με την τιμή της αντίσταση των memristors (memristance) για κάθε έναν από τους τρείς ενισχυτές.

#### 5.4. Σύγκριση ενός ενισχυτή με ή χωρίς memristor

Η πρόοδος της τεχνολογίας IoT (Internet of Things) και των εφαρμογών της απαιτούν ηλεκτρικά κυκλώματα χαμηλής κατανάλωσης ενέργειας και με καλύτερο σχεδιασμό, ώστε να επιτύχουν τη διατήρηση και δη τη βελτίωση της επίδοσης των συστημάτων επεξεργασίας λόγω των συνεχώς αυξανόμενων πληροφοριακών δεδομένων. Μία προτεινόμενη λύση για την μείωση των διαστάσεων των ολοκληρωμένων κυκλωμάτων και των ενεργειακών απαιτήσεων είναι τα κυκλώματα με memristors.

Η βασική ιδέα πάνω στην οποία στηρίζεται η τεχνολογία IoT (Internet of Things) είναι η επικοινωνία μεταξύ διαφόρων συσκευών που πραγματοποιείται μέσω των πομποδεκτών [54],[55],[56],[57]. Συνεπώς, η βελτιστοποίηση των πομποδεκτών οδηγεί στην ανάπτυξη των IoTs. Οι περισσότεροι πομποδέκτες αποτελούνται από TIA (transimpedance amplifiers) ενισχυτές στις διατάξεις τους [58],[59],[60],[61]. Τα TIA συστήματα απαιτούν συσκευές χαμηλής ενέργειας, κυκλώματα μικρών διαστάσεων και την ικανότητα να αντέχουν τις μεταβολές της θερμοκρασίας [62],[63],[64],[65]. Στη συνέχεια παρουσιάζεται ένας TIA ενισχυτής σχεδιασμένος με memristors. Η χρήση των memristors σε διάφορες εφαρμογές έχει αποδειχθεί ότι μειώνει τις διαστάσεις των συσκευών και την κατανάλωση ενέργειας σε σύγκριση με τα συμβατικά κυκλώματα CMOS [66],[67],[68].

Στην εικόνα 5.1.1 μπορούμε να δούμε ένα διαφορικό TIA ενισχυτή [58]. Στη συνέχεια αντικαθιστούμε την αντίσταση  $R_1$  και τα τρανζίστορ  $M_6$  και  $M_9$  με memristors, τα οποία επιφέρουν σμίκρυνση των διαστάσεων του ενισχυτή με ταυτόχρονη μείωση κατανάλωσης ισχύος χωρίς να επηρεάζεται η λειτουργικότητα του κυκλώματος.

Σε αυτό το κύκλωμα, το ρεύμα  $I_G$  δίνεται από την παρακάτω σχέση 5.1.1, όπου  $r_{ds13}$  είναι η αντίσταση απαγωγού-πηγής του τρανζίστορ  $M_{13}$  και  $V_0$  η τάση της πύλης του τρανζίστορ  $M_2$ , η οποία ισούται με  $V_{dd} - I_G R_1$ .

$$I_G = \frac{V_{dd}}{R_1 + r_{ds13}} \quad 5.1.1$$

Το ρεύμα απαγωγού του  $M_2$  δίνεται  $I_0$ , το οποίο αναπαράγεται από τον καθρέφτη ρεύματος που δημιουργείται από τα τρανζίστορ  $M_9 - M_{12}$ . Οι δύο άλλοι καθρέφτες ρεύματος που σχηματίζονται από τα τρανζίστορς  $M_{13} - M_{14}$  και  $M_{15} - M_{16}$ , αναπαράγουν το ρεύμα  $I_G$ , το οποίο προστίθεται μαζί με το  $I_0$  και σχηματίζει το ρεύμα απαγωγού του  $M_1(I_{D1})$ . Όσον αφορά τα τρανζίστορ  $M_3$  και  $M_4$ , τα ρεύματα εισόδου  $I_{in+}$  και  $I_{in-}$  προστίθενται στον ρεύμα  $I_0$ .

Για να επιτευχθεί η σωστή λειτουργία των τρανζίστορ  $M_1 - M_4$ , αυτά θα πρέπει να λειτουργούν στην ενεργή περιοχή (εξισώσεις 5.1.2, 5.1.3, 5.1.4, 5.1.5), όπου τα τρανζίστορ  $M_1 - M_4$  έχουν τις ίδιες γεωμετρικές παραμέτρους και είναι όλα N-type τρανζίστορ, και η τάση απαγωγού-πηγής  $V_{ds}$  είναι παντού η ίδια.

$$I_{D1} = I_0 + I_G = \mu_N C_{OX} \frac{W}{L} V_{ds} \left( V_{dd} - V_T - \frac{n_N}{2} V_{ds} \right) \quad 5.1.2$$

$$I_{D2} = I_0 = \mu_N C_{OX} \frac{W}{L} V_{ds} \left( V_0 - V_T - \frac{n_N}{2} V_{ds} \right) \quad 5.1.3$$

$$I_{D3} = I_0 + I_{in+} = \mu_N C_{OX} \frac{W}{L} V_{ds} \left( V_{out+} - V_T - \frac{n_N}{2} V_{ds} \right) \quad 5.1.4$$

$$I_{D4} = I_0 + I_{in-} = \mu_N C_{OX} \frac{W}{L} V_{ds} \left( V_{out-} - V_T - \frac{n_N}{2} V_{ds} \right) \quad 5.1.5$$

Εάν αφαιρέσουμε από την 5.1.3 την 5.1.4 προκύπτει η εξίσωση 5.1.6:

$$I_{in+} = \mu_N C_{ox} \frac{W}{L} V_{ds} (V_{out+} - V_0)$$

Επίσης αν αφαιρέσουμε από την 5.1.3 την 5.1.2 προκύπτει η εξίσωση 5.1.7:

$$I_G = \mu_N C_{ox} \frac{W}{L} V_{ds} (V_{dd} - V_0)$$

Από την διαίρεση της εξίσωσης 5.1.6 με την 5.1.7 προκύπτει η εξίσωση 5.1.8, και με όμοιο τρόπο η εξίσωση 5.1.9.

$$\frac{I_{in+}}{I_G} = \frac{V_{out+} - V_0}{V_{dd} - V_0} \quad 5.1.8$$

$$\frac{I_{in-}}{I_G} = \frac{V_{out-} - V_0}{V_{dd} - V_0} \quad 5.1.9$$

Εάν αφαιρέσουμε κατά μέλη από την εξίσωση 5.1.8 την εξίσωση 5.1.9 προκύπτει η παρακάτω εξίσωση 5.1.10 και εάν αντικαταστήσουμε με  $R_1 = (V_{dd} - V_0) / I_G$  προκύπτει η εξίσωση 5.1.11.

$$V_{out+} - V_{out-} = \frac{V_{dd} - V_0}{I_G} (I_{in+} - I_{in-}) \quad 5.1.10$$

$$R_1 = \frac{V_{out+} - V_{out-}}{I_{in+} - I_{in-}} = \frac{V_{out}}{I_{in}} \quad 5.1.11$$

Με την αντικατάσταση των  $R_1$ ,  $M_6$  και  $M_9$  με memristors, χρήσιμο είναι να εκφράσουμε την παραπάνω εξίσωση 5.1.11 σε σχέση με την αντίσταση  $R_{OFF}$  των memristors (εξίσωση 5.1.12).

$$R_{off} = R_1 = \frac{V_{out+} - V_{out-}}{I_{in+} - I_{in-}} = \frac{V_{out}}{I_{in}} \quad 5.1.12$$

Τα memristors που χρησιμοποιούνται έχουν μέγιστη αντίσταση  $R_{OFF}$  ίση με  $10\text{K}\Omega$ , οπότε η αντικατάσταση των  $M_6$  και  $M_9$  από αυτά δεν επηρεάζει τους παραπάνω υπολογισμούς.

## 5.5. Αποτελέσματα προσομοίωσης

Προσομοιώθηκαν τέσσερις διαφορετικές υλοποιήσεις [69] του διαφορικού ενισχυτή (εικόνα 5.1.1) στον οποίο χρησιμοποιήσαμε CMOS τρανζίστορς στα 180nm και το μοντέλο της HP για τα memristors [70]. Στην 1<sup>η</sup> προσομοίωση έγινε χρήση αυτούσιου του κυκλώματος του διαφορικού TIA ενισχυτή (εικόνα 5.20) για δοθείσα τάση  $V_{dd} = 1.8V$ . Οι διαστάσεις των τρανζίστορς που χρησιμοποιήθηκαν δίνονται στον παρακάτω πίνακα 5.2.

**Πίνακας 5.2 Οι διαστάσεις των τρανζίστορς.**

	$M_1, M_2, M_3$ και $M_4$	$M_5, M_6, M_7$ και $M_8$	$M_9, M_{10}, M_{11}$ και $M_{12}$	$M_{13}$ και $M_{14}$	$M_{15}$ και $M_{16}$
W	20μm	170 μm	168.6 μm	0.707 μm	500 μm
L	1 μm	1 μm	1 μm	1 μm	1 μm

Η εικόνα 5.22 δείχνει το εύρος των σημάτων εισόδου για τα οποία ο ενισχυτής έχει ένα σταθερό κέρδος. Από τη γραφική παράσταση βρίσκουμε ότι οι τιμές των εισόδων  $I_{in+}$  και  $I_{in-}$  για τις οποίες η έξοδος του ενισχυτή είναι σταθερή, κυμαίνεται μεταξύ -140μΑ και 60μΑ. Από το γράφημα της εικόνας 5.30 εξάγουμε την πληροφορία ότι το εύρος ζώνης είναι 6 MHz με σταθερό κέρδος 5,2kΩ καθόλη τη ζώνης διέλευσης, ενώ στην εικόνα 5.26 βλέπουμε τη διαφορά του κέρδους του ενισχυτή για διάφορες θερμοκρασίες.

Επίσης, στην εικόνα 5.34 μπορούμε να δούμε τη γραφική παράσταση της συνολικής αρμονικής παραμόρφωσης (Total Harmonic Distortion, THD) για 1MHz ημιτονοειδή ρεύματα εισόδου από 0μΑ έως 70 μΑ. Επιπλέον πληροφορίες που μπορούμε να εξάγουμε για τον εν λόγω ενισχυτή είναι ότι η έξοδος του παρουσιάζει 1mV offset, η κατανάλωση ισχύος του ανέρχεται σε 1396μW και οι διαστάσεις του είναι 2541 μm<sup>2</sup>.

Στην 2<sup>η</sup> προσομοίωση, στο κύκλωμα του διαφορικού TIA ενισχυτή (εικόνα 5.20) τα στοιχεία  $R_1$ ,  $M_6$  και  $M_9$  αντικαταστάθηκαν με τα memristors  $U_1$ ,  $U_2$  και  $U_3$  αντίστοιχα όπως μπορούμε να δούμε στην εικόνα 5.21. Τα memristors είναι προγραμματισμένα να λειτουργούν στην «κλειστή» κατάσταση (OFF), όπου η αντίσταση τους είναι ίση με  $R_{OFF} = 10k\Omega$ . Οι διαστάσεις των υπόλοιπων τρανζίστορ του κυκλώματος παραμένουν όπως και προηγουμένως οι ίδιες όπως δίνονται από τον πίνακα 5.2. Η εικόνα 5.23 δείχνει το εύρος των σημάτων εισόδου για τα οποία ο ενισχυτής έχει ένα σταθερό κέρδος. Από τη γραφική παράσταση βρίσκουμε ότι οι τιμές των εισόδων  $I_{in+}$  και  $I_{in-}$  για τις οποίες η έξοδος του ενισχυτή είναι σταθερή κυμαίνεται μεταξύ -15μΑ και 80μΑ. Το γεγονός αυτό φανερώνει τη μείωση του γραμμικού εύρους της νέας ενισχυτικής διάταξης. Από το γράφημα της εικόνας 5.31 εξάγουμε την πληροφορία ότι το εύρος ζώνης είναι 5,3 MHz με σταθερό κέρδος 5,7kΩ καθόλη τη ζώνης διέλευσης, ενώ στην εικόνα 5.27 βλέπουμε τη διαφορά του κέρδους του ενισχυτή για διάφορες θερμοκρασίες. Σε σύγκριση με την προηγούμενη υλοποίηση παρατηρούμε ότι οι τιμές του κέρδους για διάφορες θερμοκρασίες ( $0^{\circ}\text{C}$ ,  $20^{\circ}\text{C}$ ,  $40^{\circ}\text{C}$  και  $60^{\circ}\text{C}$ ) παρουσιάζουν μικρότερη διαφορά.

Επίσης, στην εικόνα 5.35 μπορούμε να προσέξουμε ότι η συνολική αρμονική παραμόρφωση (Total Harmonic Distortion, THD) παρουσιάζει γραμμική αύξηση σε σχέση με το ρεύμα εισόδου και σε αντίθεση με την πρώτη υλοποίηση όπου παρουσιάζει εκθετική μορφή. Επιπλέον πληροφορίες είναι η offset τιμή εξόδου του ενισχυτή που είναι ίση με 0mV, η κατανάλωση ισχύος του που ανέρχεται σε 1.154μW και οι διαστάσεις του που είναι 2.182,4 μm<sup>2</sup>. Όπως μπορούμε να δούμε, παρατηρείται μία αισθητή μείωση τόσο στην κατανάλωση ενέργειας όσο και στις διαστάσεις ολόκληρου του κυκλώματος του ενισχυτή. Η διαφορά αυτή προκύπτει λόγω των μικρότερων διαστάσεων που καταλαμβάνουν τα memristors στο χώρο (45nm x 90nm) [71] εν συγκρίσει με τα στοιχεία που αντικατέστησαν.

Στην 3<sup>η</sup> προσομοίωση, στο κύκλωμα του διαφορικού ΤΙΑ ενισχυτή εικόνα 5.20 έχουμε μειώσει τις διαστάσεις των τρανζίστορς (όλες οι προηγούμενες διαστάσεις των τρανζίστορς όπως αναφέρθηκαν στον πίνακα 5.2 έχουν διαιρεθεί με τον αριθμό 5) όπως δίνονται στον πίνακα 5.3, χωρίς την εισαγωγή memristor. Η εικόνα 5.24 δείχνει ότι το εύρος των σημάτων εισόδου για τα οποία ο ενισχυτής έχει ένα σταθερό κέρδος, έχει αυξηθεί και για τις δύο εισόδους και κυμαίνεται μεταξύ -270μΑ και 180μΑ. Από το γράφημα της εικόνας 5.32 συμπεραίνουμε ότι το εύρος ζώνης είναι 23 MHz με σταθερό κέρδος 2,3kΩ καθόλη τη ζώνης διέλευσης, ενώ στην εικόνα 5.28 βλέπουμε τη διαφορά του κέρδους του ενισχυτή για διάφορες θερμοκρασίες.

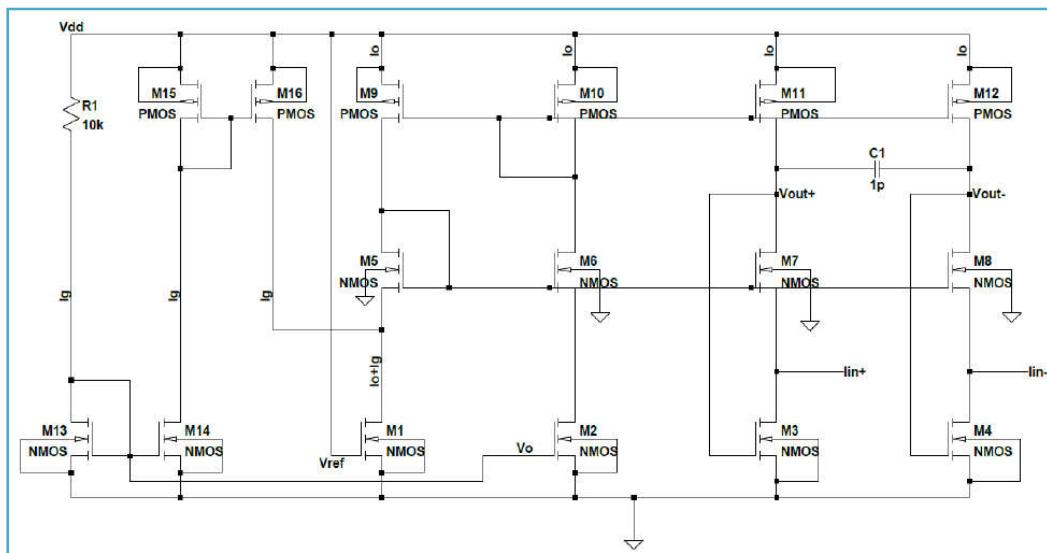
Επίσης, στην εικόνα 5.36 μπορούμε να προσέξουμε ότι η συνολική αρμονική παραμόρφωση (Total Harmonic Distortion, THD) είναι σημαντικά μικρότερη από ότι στις δύο προηγούμενες προσομοίωσεις. Η offset τιμή εξόδου του ενισχυτή είναι ίση με 73mV (πολύ μεγαλύτερη από πρίν), η κατανάλωση ισχύος του ανέρχεται σε 2.316μW και οι διαστάσεις του είναι 203,1 μm<sup>2</sup>. Όπως μπορούμε να δούμε, με την σμίκρυνση των στοιχείων του κυκλώματος έχουμε το θετικό (και αναμενόμενο) αποτέλεσμα της μεγάλης μείωσης των διαστάσεων της συσκευής και ως αρνητικό αποτέλεσμα έχουμε τη μεγάλη αύξηση στην κατανάλωση ενέργειας.

**Πίνακας 5.3: Οι καινούργιες διαστάσεις των τρανζίστορς.**

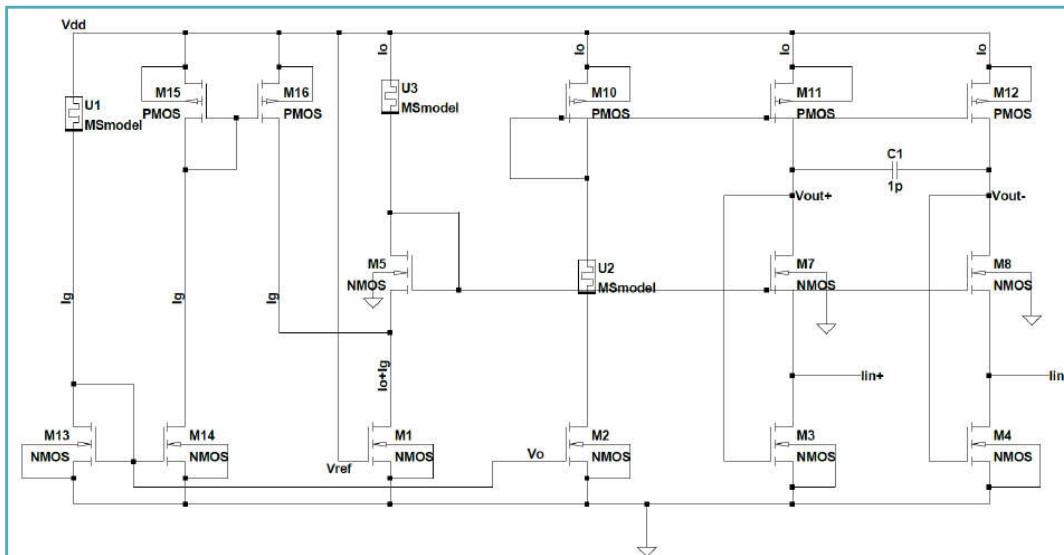
M <sub>1</sub> , M <sub>2</sub> , M <sub>3</sub> και M <sub>4</sub>	M <sub>5</sub> , M <sub>6</sub> , M <sub>7</sub> και M <sub>8</sub>	M <sub>9</sub> , M <sub>10</sub> , M <sub>11</sub> και M <sub>12</sub>	M <sub>13</sub> και M <sub>14</sub>	M <sub>15</sub> και M <sub>16</sub>
W 4 μm	34 μm	33.72 μm	0.1414 μm	100 μm
L 0,2 μm	0.2 μm	0.2 μm	0.2 μm	0.2 μm

Στην 4<sup>η</sup> προσομοίωση, έχουμε τον ενισχυτή της τρίτης προσομοίωσης και έχουμε αντικαταστήσει τα στοιχεία R<sub>1</sub>, M<sub>6</sub> και M<sub>9</sub> με τα memristors U<sub>1</sub>, U<sub>2</sub> και U<sub>3</sub>. Η εικόνα 5.25 δείχνει το εύρος των σημάτων εισόδου και για τις δύο εισόδους και κυμαίνεται μεταξύ -15μΑ και 150μΑ. Από το γράφημα της εικόνας 5.33 συμπεραίνουμε ότι το εύρος ζώνης είναι 11,3 MHz με σταθερό κέρδος 3,6kΩ, ενώ στην εικόνα 5.29 βλέπουμε τη διαφορά του κέρδους του ενισχυτή για διάφορες θερμοκρασίες, το εύρος των οποίων είναι μικρότερο στις υλοποιήσεις όπου χρησιμοποιήθηκαν memristors.

Επίσης, στην εικόνα 5.37 μπορούμε να προσέξουμε ότι η συνολική αρμονική παραμόρφωση (Total Harmonic Distortion, THD) είναι μεγαλύτερη από ότι στην τρίτη προσομοίωση. Η offset τιμή εξόδου του ενισχυτή είναι ίση με 0mV, η κατανάλωση ισχύος του ανέρχεται σε 1.177 μW και οι διαστάσεις του είναι 169,6 μm<sup>2</sup>. Όπως μπορούμε να δούμε, με την χρήση memristors επιπτύχαμε να μειώσουμε ακόμη περισσότερο τις διαστάσεις της συσκευής και να βελτιώσουμε την κατανάλωση της συσκευής.

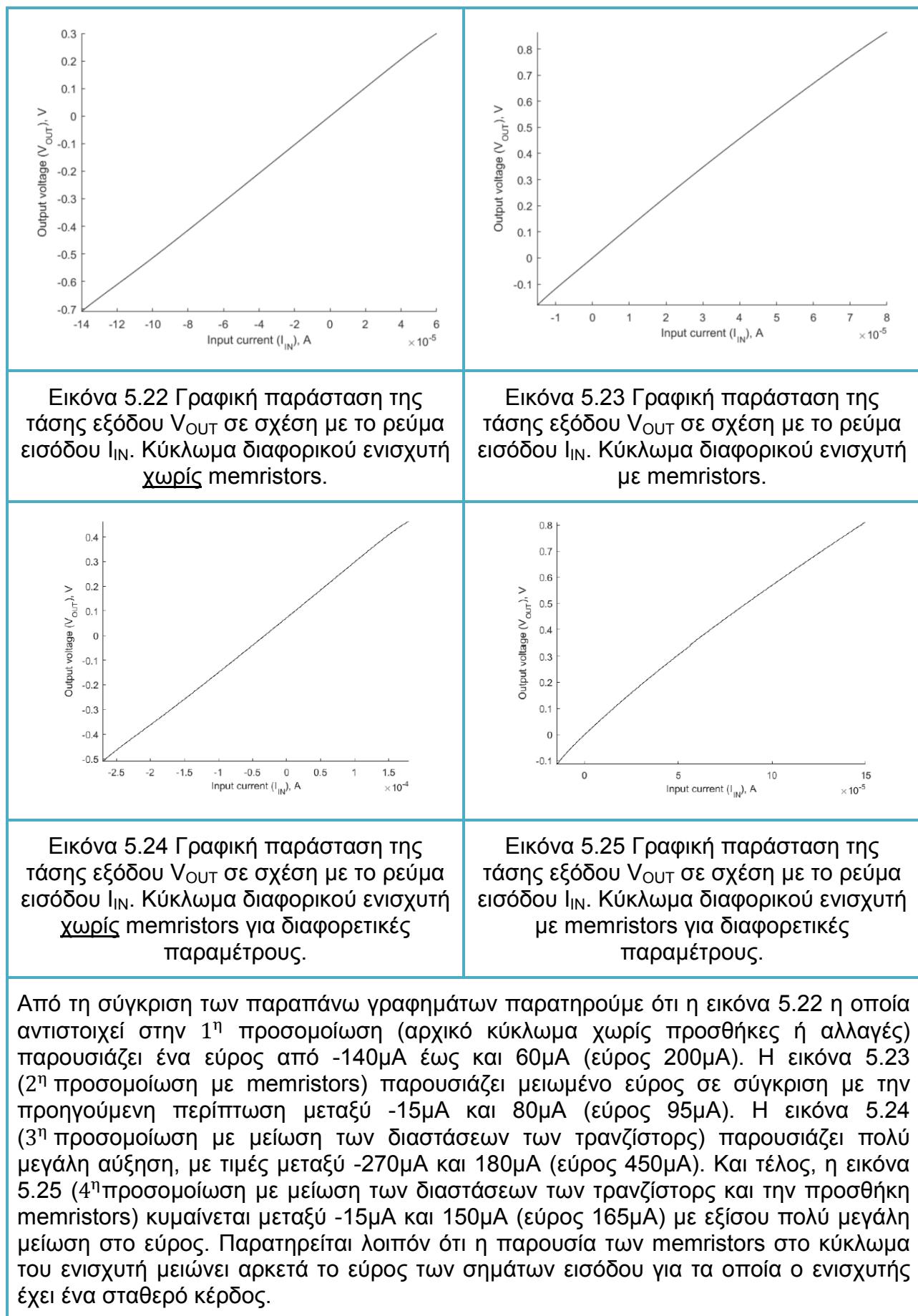


Εικόνα 5.20 Διαφορικός ενισχυτής χωρίς memristors.

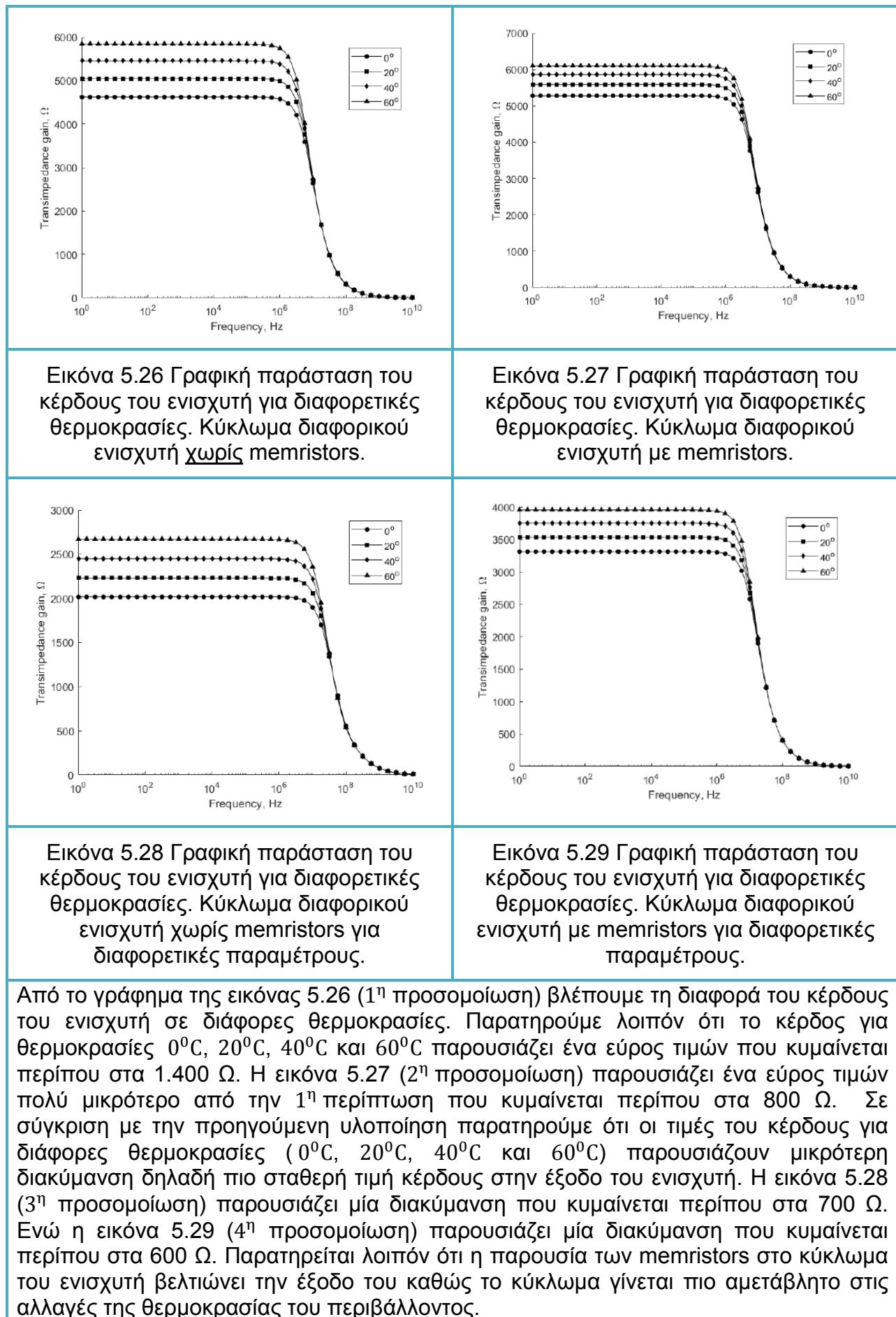


Εικόνα 5.21 Διαφορικός ενισχυτής με memristors.

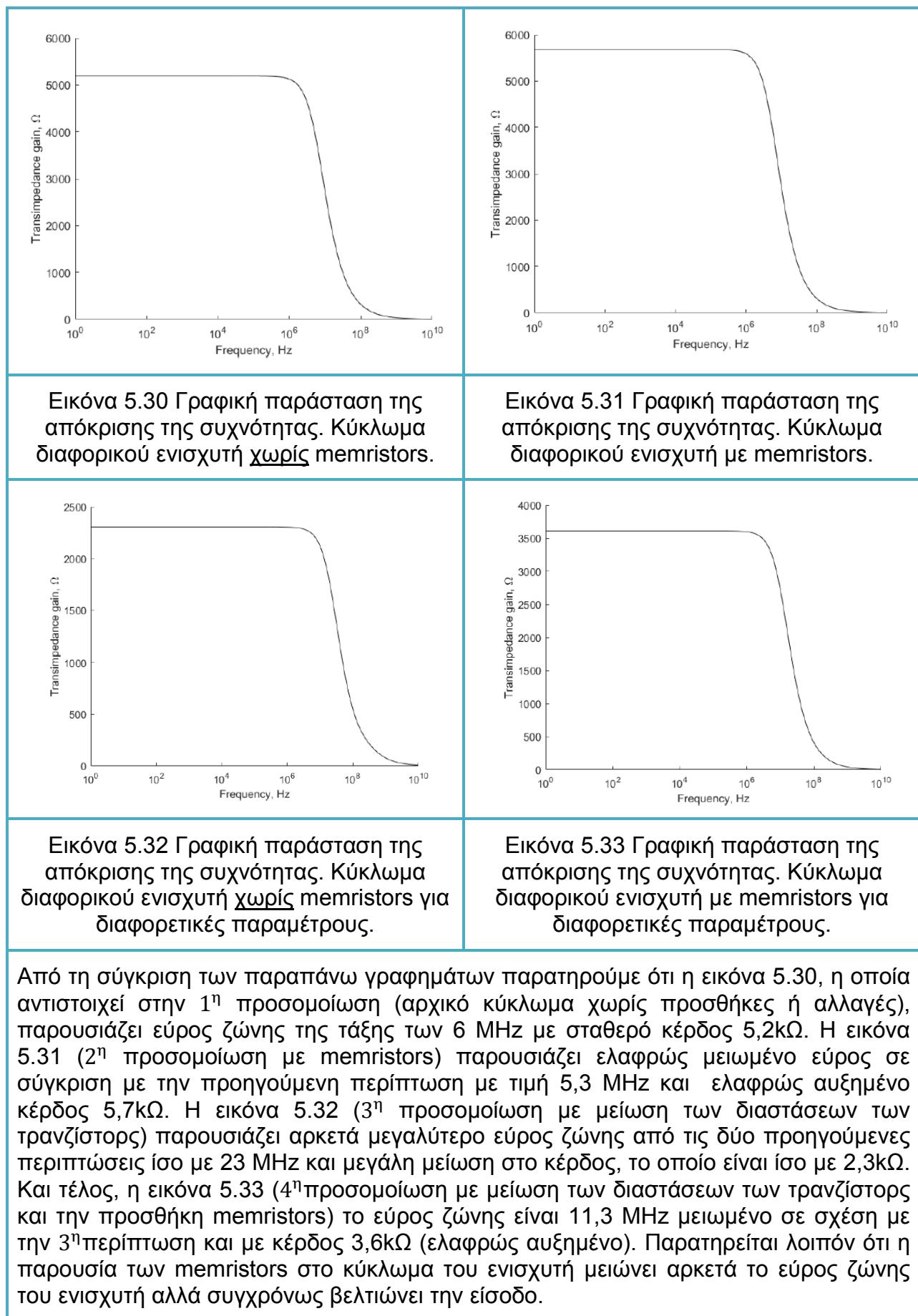
### Γραφικές παραστάσεις τάσης εξόδου – ρεύματος εισόδου



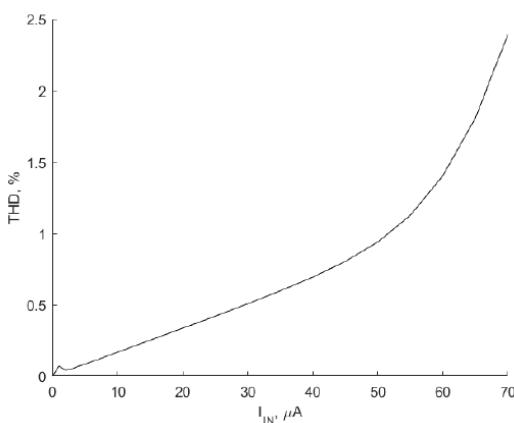
### Γραφικές παραστάσεις κέρδους-συχνότητας



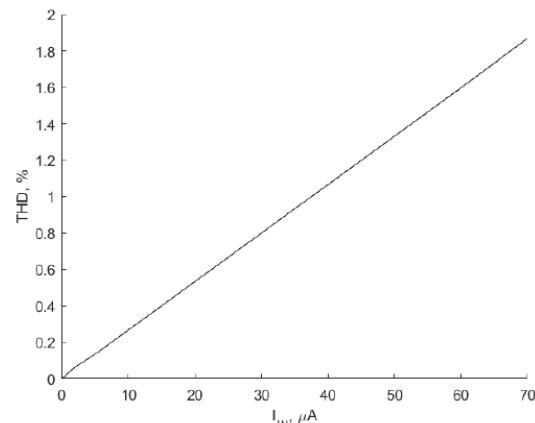
### Γραφικές παραστάσεις κέρδους- συχνότητας



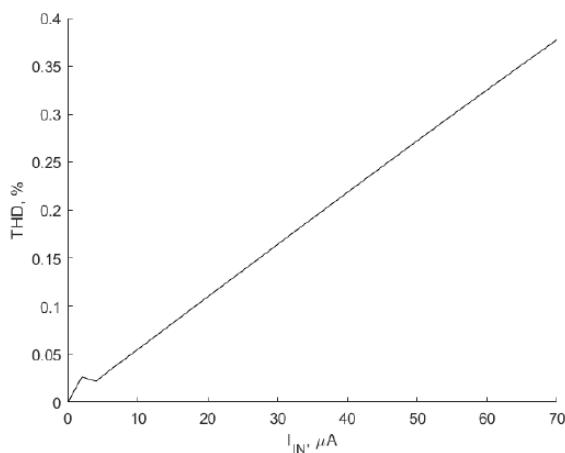
### Γραφικές παραστάσεις συνολική αρμονικής παραμόρφωσης – ρεύματος εισόδου



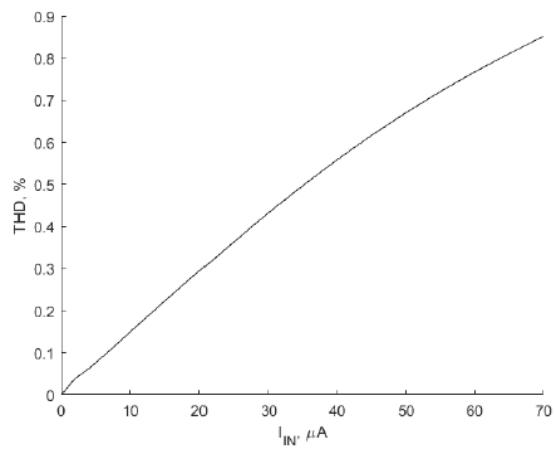
Εικόνα 5.34 Γραφική παράσταση THD για ρεύμα εισόδου  $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή χωρίς memristors.



Εικόνα 5.35 Γραφική παράσταση THD για ρεύμα εισόδου  $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή με memristors.



Εικόνα 5.36 Γραφική παράσταση THD για ρεύμα εισόδου  $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή χωρίς memristors για διαφορετικές παραμέτρους.



Εικόνα 5.37 Γραφική παράσταση THD για ρεύμα εισόδου  $I_{IN}$ . Κύκλωμα διαφορικού ενισχυτή με memristors για διαφορετικές παραμέτρους.

Από τη σύγκριση των παραπάνω γραφημάτων παρατηρούμε ότι η εικόνα 5.34 (1<sup>η</sup> προσομοίωση), παρουσιάζει τη γραφική παράσταση της συνολικής αρμονικής παραμόρφωσης (Total Harmonic Distortion, THD) για 1MHz ημιτονοειδή ρεύματα εισόδου από 0μΑ έως 70 μΑ. Η εικόνα 5.35 (2<sup>η</sup> προσομοίωση) παρουσιάζει γραμμική αύξηση σε σχέση με το ρεύμα εισόδου, σε αντίθεση με την πρώτη υλοποίηση όπου παρουσίαζε εκθετική μορφή. Η εικόνα 5.36 (3<sup>η</sup> προσομοίωση) παρουσιάζει πολύ μικρότερη THD από ότι στις δύο προηγούμενες προσομοιώσεις. Και τέλος η εικόνα 5.37 (4<sup>η</sup> προσομοίωση) η THD είναι μεγαλύτερη από ότι στην τρίτη προσομοίωση. Παρατηρείτε ότι η παρουσία των memristors στο κύκλωμα του ενισχυτή δεν επηρεάζει το ίδιο την THD σε όλες τις κλίμακες ολοκλήρωσης. Στον παρακάτω πίνακα 5.4 παραθέτουμε τα στοιχεία και των τεσσάρων περιπτώσεων για να μπορέσουμε να τα συγκρίνουμε και να καταλήξουμε σε συμπεράσματα

Συγκρίνοντας ανά δύο τις περιπτώσεις, την 1<sup>η</sup> με την 2<sup>η</sup> και την, 3<sup>η</sup> με την 4<sup>η</sup> όπου η μόνη διαφορά τους είναι η εισαγωγή των memristor προκύπτουν τα ακόλουθα.

**Πίνακας 5.4 Συγκεντρωτικός πίνακας για τις τέσσερις περιπτώσεις.**

Περιπτώσεις	1 <sup>η</sup> περιπτώση (χωρίς memristor)	2 <sup>η</sup> περιπτώση (με memristor)	3 <sup>η</sup> περιπτώση (με μειωμένες διαστάσεις στα τρανζίστορ αλλα χωρίς memristor)	4 <sup>η</sup> περιπτώση (με μειωμένες διαστάσεις στα τρανζίστορ και με memristor)
<b>Bandwidth</b>	<b>6 MHz</b>	<b>5.3 MHz</b>	<b>23 MHz</b>	<b>11.3 MHz</b>
<b>Gain</b>	<b>5.2 kΩ</b>	<b>5.7 kΩ</b>	<b>2.3 kΩ</b>	<b>3.6 kΩ</b>
<b>Chip-area</b>	<b>2.541μm<sup>2</sup></b>	<b>2.182,4μm<sup>2</sup></b>	<b>203,1μm<sup>2</sup></b>	<b>169,6μm<sup>2</sup></b>
<b>Linear range</b>	<b>-140μA-60μA</b>	<b>-15 μA-80μA</b>	<b>-270μA180μA</b>	<b>-15μA-150μA</b>
<b>Power consumption</b>	<b>1.396 μW</b>	<b>1.154 μW</b>	<b>2.316 μW</b>	<b>1.177 μW</b>

### 3.1.1 1<sup>η</sup> και 2<sup>η</sup>

- Η κατανάλωση ενέργειας είναι μικρότερη στην 2<sup>η</sup> από ότι στην 1<sup>η</sup>, (1154μW < 1396μW) (-17,34%).
- Οι διαστάσεις της συσκευής είναι μικρότερες (-13,05%).
- Το κέρδος (ενισχυμένο σήμα) είναι μεγαλύτερο (9,6).
- Το εύρος συχνοτήτων μειώνεται από 6MHz σε 5,3MHz (-11,6%).
- Έχουμε μικρότερη διακύμανση του κέρδους στις μεταβολές της θερμοκρασίας.

### 3.1.2 3<sup>η</sup> και 4<sup>η</sup>

- Το εύρος συχνοτήτων μειώνεται σε πολύ μεγάλο βαθμό(-11,6%).
- Το κέρδος (ενισχυμένο σήμα) είναι μεγαλύτερο .
- Οι διαστάσεις της συσκευής είναι μικρότερες.
- Η κατανάλωση ενέργειας είναι μικρότερη στην 4<sup>η</sup> από ότι στην 3<sup>η</sup>, (1154μW < 1396μW) (-17,34%).

### 3.1.3 2<sup>η</sup> και 4<sup>η</sup>

Επίσης συγκρίνοντας τις δύο καλύτερες περιπτώσεις 2<sup>η</sup> και 4<sup>η</sup> που εμπεριέχουν τα memristors στο σχεδιασμό των κυκλωμάτων, έχουμε :

- Το εύρος συχνοτήτων αυξάνεται.
- Τι κέρδος μειώνεται.
- Οι διαστάσεις μειώνονται σε μεγάλο βαθμό.
- Μεγαλύτερη κατανάλωση σε πολύ μικρό βαθμό.

Εφαρμογές των Memristors σε Ψηφιακά και Αναλογικά Κυκλώματα

Παρακάτω παραθέτουμε τον προηγούμενο συγκεντρωτικό πίνακα σε μορφή ποσοστών με βάση την 1<sup>η</sup> περίπτωση.

<b>Πίνακας 5.5 Συγκεντρωτικός πίνακας επί τις εκατό (%) για τις τέσσερις περιπτώσεις.</b>				
<b>Περιπτώσεις</b>	<b>1<sup>η</sup> περίπτωση (χωρίς memristor)</b>	<b>2<sup>η</sup> περίπτωση (με memristor)</b>	<b>3<sup>η</sup> περίπτωση (με μειωμένες διαστάσεις στα τρανζίστορ αλλα χωρίς memristor)</b>	<b>4<sup>η</sup> περίπτωση (με μειωμένες διαστάσεις στα τρανζίστορ και με memristor)</b>
<b>Bandwidth %</b>	-	<b>-11,6</b>	<b>283,3</b>	<b>88,3</b>
<b>Gain %</b>	-	<b>9,6</b>	<b>-55,77</b>	<b>-30,77</b>
<b>Chip-area %</b>	-	<b>-13,05</b>	<b>-92</b>	<b>-93,33</b>
<b>Linear range %</b>	-	<b>-52,5</b>	<b>125</b>	<b>-17,5</b>
<b>power consumption %</b>	-	<b>-17,34</b>	<b>65,9</b>	<b>-15,69</b>

## ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ

Ξενόγλωσσος όρος	Ελληνικός Όρος
OR	Υλοποιεί τη λογική πράξη «Διάζευξη». Η έξοδος είναι 1, όταν τουλάχιστον μια είσοδος είναι 1.
AND	Υλοποιεί τη λογική πράξη «Σύζευξη». Η έξοδος είναι 1, όταν όλες οι είσοδοι είναι 1.
NOT	Υλοποιεί τη λογική πράξη «Άρνηση». Όταν η είσοδος είναι 1 η έξοδος είναι 0, ενώ όταν η είσοδος είναι 0 η έξοδος είναι 1, δηλαδή αντιστρέφει την αξία της εισόδου.
NOR	Αποτελείται από μια πύλη OR και μια πύλη NOT. Η έξοδος της είναι 1, όταν και οι δύο είσοδοι είναι 0, ενώ σε κάθε άλλη περίπτωση έχει έξοδο 0.
NAND	Αποτελείται από μια πύλη AND και μια πύλη NOT. Έχει έξοδο 0, όταν όλες οι είσοδοι είναι 1, ενώ σε κάθε άλλη περίπτωση έχει έξοδο 1.
XOR	Υλοποιεί τη λογική πράξη «Αποκλειστική διάζευξη». Η έξοδος είναι 1, όταν οι τιμές στις εισόδους είναι διαφορετικές μεταξύ τους.
XNOR	Η έξοδος είναι 1, όταν οι τιμές στις εισόδους είναι όμοιες μεταξύ τους.
HALF ADDER	Ημιαθροιστής
FULL ADDER	Πλήρης αθροιστής
HALF SUBTRACTOR	Ημιαφαιρέτης
FULL SUBTRACTOR	Πλήρης αφαιρέτης
$R_{ON}$	Η ελάχιστη δυνατή τιμή της αντίσταση που μπορεί να πάρει ένα memristor
$R_{OFF}$	Η μέγιστη δυνατή τιμή της αντίσταση που μπορεί να πάρει ένα memristor
$A_v$	Το κέρδος του ενισχυτή.
$V_{READ}$	Τάση της πηγής στην εικόνα 5.7.
$F_{READ}$	Συχνότητα της πηγής στην εικόνα 5.7.
$T_{READ}$	Περίοδος της πηγής στην εικόνα 5.7.
$V_{IN}$	Μη αναστρέφουσα είσοδος του συγκριτή.
$V_F$	Η τάση του ελεγκτή.
$V_{BIAS}$	Η τάση στην μη αναστρέφουσα είσοδος του OP1.
$I_{DC}$	DC ρεύμα που διαρρέει το memristor της εικόνας 5.7.
$M(t_s)$	Η τιμή της μνημοαντίστασης για χρόνο $t_s$ .
$\Delta M_{ERR}$	Το μέγιστο σφάλμα κατά τον προγραμματισμό του memristor.
$A_{VO}$	Το κέρδος τάσης του ανοικτού βρόχου του ενισχυτή κοινής πηγής της εικόνας 5.10.

$r_0$	Η εσωτερική αντίσταση του ενισχυτή κοινής πηγής της εικόνας 5.10.
$r_{in}$	Η αντίσταση εισόδου του ενισχυτή κοινής πηγής της εικόνας 5.10.
$r_{out}$	Η αντίσταση εξόδου του ενισχυτή κοινής πηγής της εικόνας 5.10.
$r_s$	Το αντίθετο της διαγωγιμότητας ( $g_m$ ) του MOSFET.
$A_{CM}$	Το κέρδος του διαφορικού ενισχυτή.
$M_p$	Memristor ενισχυτή κοινής πηγής.
$M_s$	Memristor ενισχυτή κοινού απαγωγού.
$M_{ss}$	Memristor διαφορικού ενισχυτή.

## ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ

TEAM	Threshold Adaptive Memristor Model
XOR	Exclusive OR
XNOR	Exclusive NOR
MAGIC	Memristor Aided loGIC
MRL	Memristor Ratioed Logic
HA	Half Adder
FA	Full Adder
HS	Half Subtractor
FS	Full Subtractor
OP1	operational amplifier 1
IoT	Internet of Things
TIA	transimpedance amplifiers
comp	comparator
THD	Total Harmonic Distortion

## ΠΑΡΑΡΤΗΜΑ

```
%-----A.Joglekar et al window function-----
clc;clear;
x=0:1/1000:1;p=[1 2 4 6 8 10];
f1=1-((2.*x)-1).^(2.*p(1));
f2=1-((2.*x)-1).^(2.*p(2));
f4=1-((2.*x)-1).^(2.*p(3));
f6=1-((2.*x)-1).^(2.*p(4));
f8=1-((2.*x)-1).^(2.*p(5));
f10=1-((2.*x)-1).^(2.*p(6));
plot(x,f1,'r-',x,f2,'b-',x,f4,'g-',x,f6,'y-',x,f8,'m-',x,f10,'c-
','linewidth',2)
set(gcf,'color','w');
legend('x=1','x=2','x=4','x=6','x=8','x=10')
title('A.Joglekar et al window function');
ylabel('f(x)'); xlabel('x'); grid;

%-----B Birolek et al window function-----
---
clc;clear;
x=0:1/1000:1;
p=[1 2 4 6 8 10];
f11=1-(x-1).^(2.*p(1));
f12=1-(x-1).^(2.*p(2));
f14=1-(x-1).^(2.*p(3));
f16=1-(x-1).^(2.*p(4));
f18=1-(x-1).^(2.*p(5));
f110=1-(x-1).^(2.*p(6));
plot(x,f11,'r-',x,f12,'b-',x,f14,'g-',x,f16,'y-',x,f18,'m-
',x,f110,'c-','linewidth',2)
hold on
f01=1-(x).^(2.*p(1));
f02=1-(x).^(2.*p(2));
f04=1-(x).^(2.*p(3));
f06=1-(x).^(2.*p(4));
f08=1-(x).^(2.*p(5));
f010=1-(x).^(2.*p(6));
plot(x,f01,'r-',x,f02,'b-',x,f04,'g-',x,f06,'y-',x,f08,'m-
',x,f010,'c-','linewidth',2)
hold off
set(gcf,'color','w');
legend('x=1','x=2','x=4','x=6','x=8','x=10')
title('B Birolek et al window function');
ylabel('f(x)');
xlabel('x'); grid;

%-----Prodromakis et al window function-----
clc;clear;
x=0:1/10000:1;p=[1 2 4 6 8 10];
f11=1-(((x-0.5).^2)+0.75).^p(1);
f12=1-(((x-0.5).^2)+0.75).^p(2);
```

```

f13=1-( (((x-0.5).^2)+0.75).^p(3) );
f14=1-( (((x-0.5).^2)+0.75).^p(4) );
f15=1-( (((x-0.5).^2)+0.75).^p(5) );
f16=1-( (((x-0.5).^2)+0.75).^p(6) );
subplot(2,1,1)
plot(x,f11,'r-',x,f12,'b-',x,f13,'g-',x,f14,'y-',x,f15,'m-
',x,f16,'c-','linewidth',2);
legend('p=1','p=2','p=3','p=4','p=5','p=6')
title('Prodromakis et al window
function'); ylabel('f(x)'); xlabel('x');
set(gcf,'color','w');grid;
p=[1 2 3 4 5 10];
g=[0.2 0.4 0.6 0.8 1.0 1.2];
f21=g(1)*(1-((x-0.5).^2)+0.75).^p(6));
f22=g(2)*(1-((x-0.5).^2)+0.75).^p(6));
f23=g(3)*(1-((x-0.5).^2)+0.75).^p(6));
f24=g(4)*(1-((x-0.5).^2)+0.75).^p(6));
f25=g(5)*(1-((x-0.5).^2)+0.75).^p(6));
f26=g(6)*(1-((x-0.5).^2)+0.75).^p(6));
subplot(2,1,2)
plot(x,f21,'r-',x,f22,'b-',x,f23,'g-',x,f24,'y-',x,f25,'m-
',x,f26,'c-','linewidth',2);
legend('j=0.2','j=0.4','j=0.6','j=0.8','j=10.0','j=1.2')
title('Prodromakis et al window function for
p=10'); ylabel('f(x)'); xlabel('x');
set(gcf,'color','w');grid;

%-----Piecewise linear window function-----
clc;clear;
x=0:(1/3)/1000:1/3;p=[1 2 4 6 8 10];
f11=(3*p(1)*x)./20; f12=(3*p(2)*x)./20; f13=(3*p(3)*x)./20;
f14=(3*p(4)*x)./20; f15=(3*p(5)*x)./20; f16=(3*p(6)*x)./20;
plot(x,f11,'r-',x,f12,'b-',x,f13,'g-',x,f14,'y-',x,f15,'m-
',x,f16,'c-','linewidth',2);
title('Piecewise linear window
function'); ylabel('f(x)'); xlabel('x');
hold on
x=1/3:((2/3)-(1/3))/1000:2/3;
f21=p(1)./20; f22=p(2)./20; f23=p(3)./20;
f24=p(4)./20; f25=p(5)./20; f26=p(6)./20;
plot(x,f21,'r-',x,f22,'b-',x,f23,'g-',x,f24,'y-',x,f25,'m-
',x,f26,'c-','linewidth',2);
x=2/3:(1-(1/3))/1000:1;
f31=(3*p(1)*(1-x))./20; f32=(3*p(2)*(1-x))./20; f33=(3*p(3)*(1-
x))./20;
f34=(3*p(4)*(1-x))./20; f35=(3*p(5)*(1-x))./20; f36=(3*p(6)*(1-
x))./20;
plot(x,f31,'r-',x,f32,'b-',x,f33,'g-',x,f34,'y-',x,f35,'m-
',x,f36,'c-','linewidth',2);
legend('p=1','p=2','p=4','p=6','p=8','p=10');
hold off
set(gcf,'color','w');grid;

```

```
%-----NonLinear window function-----
clc;clear;x=0:(1/5)/1000:1/5;
p=[1 2 4 6 8 10];
f1=x.^(1/p(1));
f2=x.^(1/p(2));
f3=x.^(1/p(3));
f4=x.^(1/p(4));
f5=x.^(1/p(5));
f6=x.^(1/p(6));
plot(x,f1,'r-',x,f2,'b-',x,f3,'g-',x,f4,'y-',x,f5,'m-',x,f6,'c-
','linewidth',2);
title('Nonlinear window function');ylabel('f(x)');xlabel('x');
hold on
x=1/5:((4/5)-(1/5))/1000:4/5;
f12=1./(5.^(1/p(1)));
f22=1./(5.^(1/p(2)));
f32=1./(5.^(1/p(3)));
f42=1./(5.^(1/p(4)));
f52=1./(5.^(1/p(5)));
f62=1./(5.^(1/p(6)));
plot(x,f12,'r-',x,f22,'b-',x,f32,'g-',x,f42,'y-',x,f52,'m-
',x,f62,'c-','linewidth',2);
x=4/5:((1)-(4/5))/1000:1;
f13=abs((x-1).^(1/p(1)));
f23=abs((x-1).^(1/p(2)));
f33=abs((x-1).^(1/p(3)));
f43=abs((x-1).^(1/p(4)));
f53=abs((x-1).^(1/p(5)));
f63=abs((x-1).^(1/p(6)));
plot(x,f13,'r-',x,f23,'b-',x,f33,'g-',x,f43,'y-',x,f53,'m-
',x,f63,'c-','linewidth',2);
legend('p=1','p=2','p=4','p=6','p=8','p=10');
hold off
set(gcf,'color','w');grid;

%-----Zhas window function-----
clc;clear;
x=0:1/1000:1;p=[1 2 4 6 8 10];
g=[1];
f11=g(1).* (1-((0.25.* (x.^2))+0.75).^p(1));
f12=g(1).* (1-((0.25.* (x.^2))+0.75).^p(2));
f13=g(1).* (1-((0.25.* (x.^2))+0.75).^p(3));
f14=g(1).* (1-((0.25.* (x.^2))+0.75).^p(4));
f15=g(1).* (1-((0.25.* (x.^2))+0.75).^p(5));
f16=g(1).* (1-((0.25.* (x.^2))+0.75).^p(6));
plot(x,f11,'r-',x,f12,'b-',x,f13,'g-',x,f14,'y-',x,f15,'m-
',x,f16,'c-','linewidth',2);
%legend('p=1','p=2','p=4','p=6','p=8','p=10')
%title('Zhas window function');ylabel('f(x)');xlabel('x');
hold on
f21=g(1).* (1-((0.25.* ((x-1).^2))+0.75).^p(1));
f22=g(1).* (1-((0.25.* ((x-1).^2))+0.75).^p(2));
f23=g(1).* (1-((0.25.* ((x-1).^2))+0.75).^p(3));
```

```

f24=g(1).* (1-((0.25.*((x-1).^2))+0.75).^p(4));
f25=g(1).* (1-((0.25.*((x-1).^2))+0.75).^p(5));
f26=g(1).* (1-((0.25.*((x-1).^2))+0.75).^p(6));
plot(x,f21,'r-',x,f22,'b-',x,f23,'g-',x,f24,'y-',x,f25,'m-
',x,f26,'c-','linewidth',2);
legend('p=1','p=2','p=4','p=6','p=8','p=10')
title('Zhas window function'); ylabel('f(x)'); xlabel('x');
hold off
set(gcf,'color','w'); grid;

%-----Memristance-----
clc;clear;
Ron=75; Roff=16000; Rinit=11000; %DR=Roff-Ron;
t=0:(3-0)/1000:3; R0=(Roff-Rinit)/(Roff-Ron);
f1=1;v1=1.2;
[t1,x]=ode113(@ODE_Memri_joglekar,t,R0);
Voltage1=v1*sin(f1*2*pi*t1);
memristance1=(Roff.* (1-x))+(Ron.*x);
I1=Voltage1./memristance1;

[t2,x]=ode113(@ODE_Memri_prodomakis,t,R0);
Voltage1=v1*sin(f1*2*pi*t2);
memristance2=(Roff.* (1-x))+(Ron.*x);
I2=Voltage1./memristance2;

[t3,x]=ode113(@ODE_Memri_biolek,t,R0);
Voltage1=v1*sin(f1*2*pi*t3);
memristance3=(Roff.* (1-x))+(Ron.*x);
I3=Voltage1./memristance3;

[t4,x]=ode113(@ODE_Memri_piecewise_linear,t,R0);
Voltage1=v1*sin(f1*2*pi*t4);
memristance4=(Roff.* (1-x))+(Ron.*x);
I4=Voltage1./memristance4;

[t5,x]=ode113(@ODE_Memri_nonlinear,t,R0);
Voltage1=v1*sin(f1*2*pi*t5);
memristance5=(Roff.* (1-x))+(Ron.*x);
I5=Voltage1./memristance5;

[t6,x]=ode113(@ODE_Memri_zhas,t,R0);
Voltage1=v1*sin(f1*2*pi*t6);
memristance6=(Roff.* (1-x))+(Ron.*x);
I6=Voltage1./memristance6;

plot(t1,memristance1,'r--',t2,memristance2,'b--
',t3,memristance3,'g--',t4,memristance4,'m--
',t5,memristance5,'c--',t6,memristance6,'y--','linewidth',2.5);
title('Memristance for all models'); set(gcf,'color','w');
ylabel('Memristance'); xlabel('time'); grid;
legend('joglekar','prodromakis','biolek','piecewise_linear','non
linear','zhas');
figure

```

```

subplot(2,3,1)
plot(Voltage1,I1,'r-','linewidth',2);grid;title('Memristance
joglekar');
ylabel('Current');xlabel('Voltage');
legend('joglekar');

subplot(2,3,2)
plot(Voltage1,I2,'b-','linewidth',2);grid;title('Memristance
prodromakis');
ylabel('Current');xlabel('Voltage');
legend('prodromakis');

subplot(2,3,3)
plot(Voltage1,I3,'g-','linewidth',2);grid;title('Memristance
biolek');
ylabel('Current');xlabel('Voltage');
legend('biolek');

subplot(2,3,4)
plot(Voltage1,I4,'m-','linewidth',2);grid;title('Memristance
piecewise linear');
ylabel('Current');xlabel('Voltage');
legend('piecewise_linear');

subplot(2,3,5)
plot(Voltage1,I5,'c-','linewidth',2);grid;title('Memristance
nonlinear');
ylabel('Current');xlabel('Voltage');
legend('nonlinear');

subplot(2,3,6)
plot(Voltage1,I6,'y-','linewidth',2);grid;title('Memristance
zhas');
ylabel('Current');xlabel('Voltage');
legend('zhas');
set(gcf,'color','w');set(gca,'color','w');

function [ dx ] = ODE_Memri_zhas( t,x )
D=10e-9; Ron=75; Roff=16000; DR=Roff-Ron; mn=1e-14;
f1=1;v1=1.2;g=1;p=10;
Voltage=v1*sin(f1*2*pi*t);
if x>=0
fx=g.*((0.25.*x.^2)+0.75).^p;
else
fx=g.*((0.25.*((x-1).^2)+0.75).^p);
end
memristance=(Roff.*((1-x))+(Ron.*x));
dx=(mn*Ron)/(D^2)*(Voltage/memristance)*fx;
end

function [ dx ] = ODE_Memri_prodromakis( t,x )
D=10e-9; Ron=75; Roff=16000; DR=Roff-Ron; mn=1e-14;
f1=1;v1=1.2;g=1;p=10;

```

```

Voltage=v1*sin(f1*2*pi*t);
fx=g*(1-(((x-0.5).^2)+0.75).^p));
memristance=(Roff.* (1-x))+(Ron.*x);
dx=(mn*Ron) / (D^2)*(Voltage/memristance)*fx;
end

function [ dx ] = ODE_Memri_piecewise_linear( t,x)
D=10e-9; Ron=75; Roff=16000; DR=Roff-Ron; mn=1e-14;
f1=1;v1=1.2;p=10;
Voltage=v1*sin(f1*2*pi*t);
if x<=1/3
    fx=(3*p*x)./20;
elseif x>1/3 & x<=2/3
    fx=p./20;
else
    fx=(3*p*(1-x))./20;
end
memristance=(Roff.* (1-x))+(Ron.*x);
dx=(mn*Ron) / (D^2)*(Voltage/memristance)*fx;
end

function [ dx ] = ODE_Memri_nonlinear( t,x)
D=10e-9; Ron=75; Roff=16000; DR=Roff-Ron; mn=1e-14;
f1=1;v1=1.2;p=10;
Voltage=v1*sin(f1*2*pi*t);
if x<=1/5
    fx=x.^(1/p)
elseif x>1/5 & x<=4/5
    fx=1./(5.^ (1/p));
else
    fx=abs((x-1).^(1/p));
end
memristance=(Roff.* (1-x))+(Ron.*x);
dx=(mn*Ron) / (D^2)*(Voltage/memristance)*fx;
end

function [ dx ] = ODE_Memri_joglekar( t,x)
D=10e-9; Ron=75; Roff=16000; DR=Roff-Ron; mn=1e-14;
f1=1;v1=1.2;p=10;
Voltage=v1*sin(f1*2*pi*t);
fx=1-((2*x)-1).^(2*p));
memristance=(Roff.* (1-x))+(Ron.*x);
dx=(mn*Ron) / (D^2)*(Voltage/memristance)*fx;
end

function [ dx ] = ODE_Memri_biolek( t,x)
D=10e-9; Ron=75; Roff=16000; DR=Roff-Ron; mn=1e-14;
f1=1;v1=1.2;p=10;
Voltage=v1*sin(f1*2*pi*t);
if x>=0
    fx=1-((x-1).^(2.*p));
else
    fx=1-((x).^(2.*p));

```

```

end
memristance=(Roff.* (1-x))+(Ron.*x);
dx=(mn*Ron) / (D^2) * (Voltage/memristance)*fx;
end

%-----All window function in one plot-----
clc;clear;
x=0:1/1000:1;p=[10];g=[1];
%-----A.Joglekar-----
f1=1-((2.*x)-1).^(2.*p(1));
%-----B Biolek-----
f21=1-(x-1).^(2.*p(1));
f22=1-(x).^(2.*p(1));
%-----Prodromakis-----
f31=1-(((x-0.5).^2)+0.75).^p(1);
f32=g(1)*(1-(((x-0.5).^2)+0.75).^p(1));
%-----Piecewise linear-----
x41=0:(1/3)/1000:1/3;
f41=(3*p(1)*x41)./20;
x42=1/3:((2/3)-(1/3))/1000:2/3;
f42=p(1)./20;
x43=2/3:(1-(2/3))/1000:1;
f43=(3*p(1)*(1-x43))./20;
%-----nonLinear window-----
x51=0:(1/5)/1000:1/5;
f51=x51.^(1/p(1));
x52=1/5:((4/5)-(1/5))/1000:4/5;
f52=1./(5.^ (1/p(1)));
x53=4/5:((1)-(4/5))/1000:1;
f53=abs((x53-1).^(1/p(1)));
%-----Zhas window function-----
f61=g(1)*(1-((0.25.* (x.^2))+0.75).^p(1));
f62=g(1)*(1-((0.25.* ((x-1).^2))+0.75).^p(1));

plot(x,f1,'r-',x,f21,'b-',x,f22,'b-',x,f31,'g-',x,f32,'g-
',x41,f41,'y-',x42,f42,'y-',x43,f43,'y-',x51,f51,'m-
',x52,f52,'m-',x53,f53,'m-',x,f61,'c-',x,f62,'c-
','linewidth',3);
set(gcf,'color','w');
title('All window function in one plot');
ylabel('f(x)'); xlabel('x'); grid;
%-----benderli strukov window function-----
clc;clear;
x=0:1/1000:1
f=x.* (1-x);
plot(x,f,'r-','linewidth',2)
set(gcf,'color','w');
legend('x(1-x)')
title('benderli strukov window function');
ylabel('f(x)'); xlabel('x'); grid;

```

## ΑΝΑΦΟΡΕΣ

- [1]. L.O. Chua, Memristor – the missing circuit element, IEEE Transactions on Circuit Theory, vol. 18(5), pp. 507-519 (1971)
- [2]. <https://www.ieee.org/>
- [3]. L. O. Chua, “Memristor - The missing circuit element,” IEEE Trans. Circuit Theory, vol. CT-18, pp. 507-519, Sept. 1971
- [4]. D. B. Strukov, G. S. Snider, D. R. Stewart, R.S.Williams, “The missing memristor found,” Nature 453, 80–83(2008).
- [5]. <https://www.voria.gr/article/epitimos-didaktor-tou-apth-o-kathigitis-pou-epinoise-to-memristor>
- [6]. Memristor: A New Concept in Synchronization of Coupled Neuromorphic Circuits Ch. K. Volos, I. M. Kyprianidis , I. N. Stouboulos , E. Tlelo-Cuautle and S. Vaidyanathan
- [7]. Βιβλίο Σήματα, Συστήματα & Κυκλώματα συνεχούς χρόνου- Ηρακλής Γ. Δημόπουλος
- [8]. L.O. Chua and S.M. Kang, Memristive devices and systems, In Proceedings of the IEEE, vol 64, pp. 209-223 (1976).
- [9]. Memory Technology for the Post CMOS Era, ITRS IEEE Circuits & Device, March/April 2005.
- [10]. O. Carp, C.L. Huisman, A. Reller, Photoinduced reactivity of titanium dioxide, Progress in Solid State Chemistry, 32, (2004), 33-177
- [11]. <http://el.wikipedia.org/>
- [12]. Topoglidis E., Cass A. E. G., Gilardi G., Sadeghi S., Beaumont N. and Durrant J. R., “Protein adsorption on nanocrystalline TiO<sub>2</sub> films: an immobilisation strategy for Bioanalytical Devices”, Analytical Chemistry, 70, 5111-5113 (1998)
- [13]. Memristor The Fourth Fundamental Circuit Element Swapnil S Nalawade and Varsharani D Nikam
- [14]. Mathematical Modeling of Memristors Yasin Oğuz
- [15]. Joglekar YN, Wolf SJ. The elusive memristor: Properties of basic electrical circuits. European Journal of Physics. 2009;30(4):661-675. DOI: 10.1088/0143-0807/30/4/001
- [16]. Bielek Z, Bielek D, Biolkova V. SPICE model of memristor with nonlinear dopant drift. Radioengineering. 2009;18(2):210-214
- [17]. Prodromakis T, Peh BP, Papavassiliou C, Toumazou C. A versatile memristor model with nonlinear dopant kinetics. IEEE Transactions on Electron Devices. 2011;58(9):3099-3105. DOI: 10.1109/TED.2011.2158004
- [18]. Yu, J., Mu, X., Xi, X., Wang, S.: Radioengineering 22(4), 969 (2013)
- [19]. Ahmed G. Radwan Mohammed E. Fouad On the Mathematical Modeling of Memristor, Memcapacitor and Meminductor
- [20]. Zha J, Huang H, Liu Y. A novel window function for memristor model with application in programming analog circuits. IEEE Transactions On Circuits and Systems—II: Express Briefs. 2016;63(5):423- 427.DOI:0.1109/TCSII.2015.2505959
- [21]. Kvatinsky, S., Friedman, E., Kolodny, A., Weiser, U.: IEEE Trans. Circuits Syst. I: Regul. Pap. 60(1), 211 (2013). doi:10.1109/TCSI.2012.2215714
- [22]. A Study of the Memristor Models and Applications Vahid Keshmiri Department of Electrical Engineering Linkoping universitet
- [23]. Development of a modeling methodology for circuits with Memristors by Carlos Manuel Hernández Mejía
- [24]. Memristive Devices and Circuits for computing memory and neuromorphic applications by Omid Kavehei
- [25]. Logic Design with Memristors Winder 2011,2012 Technion, Israel Institute of Technology
- [26]. A HIGH FREQUENCY MEMRISTOR EMULATOR CIRCUIT By Manu ChilukuriPresented to the Faculty of the Graduate School of The University of Texas
- [27]. Logic Design with Memristors, B.S.c Semestrial Project – Winter 2011-12, Guy Satat - 039934765 Nimrod Wald- 021631676, Supervised by Shahar Kvatinsky, Technion – Israel Institute of Technology.
- [28]. Logic Design with Memristors, Shahar Kvatinsky, Technion – Israel Institute of Technology, ACRC Workshop March 2012.
- [29]. Logic Design with Memristors, B.S.c Semestrial Project – Winter 2011-12, Guy Satat - 039934765 Nimrod Wald – 021631676, Supervised by Shahar Kvatinsky, Technion – Israel Institute of Technology.
- [30]. MRL – Memristor Ratioed Logic, Shahar Kvatinsky, Nimrod Wald, Guy Satat, Avinoam Kolodny, and Uri C. Weiser, Department of Electrical Engineering, Technion – Israel Institute of

Technology, Haifa 32000 ISRAEL, Eby G. Friedman, Department of Electrical and Computer Engineering, University of Rochester, Rochester, New York 14627 USA.

- [31]. Memristor-based Imply logic design procedure, Shahar Kvatinsky, Avinoam Kolodny, and Uri C. Weiser, Department of Electrical Engineering Technion – Israel Institute of Technology, Haifa 32000 ISRAEL.
- [32]. Optimized implementation of Memristor-base Full adder by material implication logic. Mehri Teimoory, Amirali Amirsoleimani, Jafar Shamsi, Arash Ahmadi, Shahpour Alirezaee, Majid Ahmadi.
- [33]. Memristor-Based Material Implication (IMPLY) Logic: Design Principles and MethodologiesShahar Kvatinsky, Student Member, IEEE, Guy Satat, Nimrod Wald, Eby G. Friedman, Fellow, IEEE, Avinoam Kolodny, Senior Member, IEEE, and Uri C. Weiser, Fellow, IEEE.
- [34]. Implementation Of Configurable Amplifier Using Memristor P.Kamalakannan1,R.Venkatesan2, P.Srinivasan3
- [35]. V. PERSHIN AND M. DI VENTRA, "PRACTICAL APPROACH TO PROGRAMMABLE ANALOG CIRCUITS WITH MEMRISTORS," IEEE TRANS. CIRCUITS SYST. I. REG.PAPERS, VOL. 57, NO. 8, PP. 1857–1864, SEPT. 2010.
- [36]. Development of a modeling methodology for circuits with memristors by Carlos Manuel Hernández Mejía
- [37]. L. O. Chua, "Memristor – the missing circuit element", IEEE Trans. Circuit Theory, vol 18, no. 5, pp. 507-519, 1971.
- [38]. T. Prodromakis, C. Toumazou, L.O. Chua, "Two centuries of memristors", Nature Materials 11, 478-481, 2012.
- [39]. D. B. Strukov, G. S. Snider, and R. S. Williams, "The missing memristor found", Nature, vol 453, no 7191, pp 80-83, 2008.
- [40]. Y. V. Pershin, J. Martinez-Rincon, "Memory circuit elements: from systems to applications", arXiv:1006.3598v1, 2010.
- [41]. High Precision Analogue Memristor State Tuning R. Berdan, T. Prodromakis, and C. Toumazou.
- [42]. Y. V. Pershin,et al, "Practical approach to programmable analog circuits with memristors", arXiv:0908.3162v2, 17 Jan 2010.
- [43]. Y. V. Pershin, M. Di Ventra, "Experimental demonstration of associative memory with memristive neural networks", Neural Networks 23 (2010), pp. 881-886.
- [44]. F. Alibart, L. Gao, B. Hoskins, D. B. Strukov, "High precision tuning of state for memristive devices by adaptable variationtolerant algorithm", Nanotechnology 23, 2012.
- [45]. S. Shin et al, "Memristor Applications for Programmable Analog ICs", IEEE Trans. on Nanotechnology Vol. 10, No 2. March 2011.
- [46]. W. Yi, F. Perner, et al, "Feedback write scheme for memristive switching devices", Applied Physics A, 102:973-982, 2011.
- [47]. K. Hyongsuk, Pd. Maheshwar, L. Chua et al, "Memristor-based Multilevel Memory", 12th International Workshop on Cellular Nanoscale Networks and their Applications, 2010.
- [48]. Y. V. Pershin,et al, "Practical approach to programmable analog circuits with memristors", arXiv:0908.3162v2, 17 Jan 2010.
- [49]. D. B. Strukov, G. S. Snider, and R. S. Williams, "The missing memristor found", Nature, vol 453, no 7191, pp 80-83, 2008.
- [50]. T. Prodromakis, B. P. Peh et al, "A Versatile Memristor Model with Nonlinear Dopant Kinetics", IEEE Trans. on Electronic Devices, vol. 58, issue. 9, pp. 3099-3105, Sept. 2011.
- [51]. On Design of Memristive Amplifier Circuits Timur Ibrayev, Irina Fedorova, Akshay Kumar Maan Alex Pappachen James
- [52]. Mallinson, M. and Spitalny, P. (1993) Programmable Gain Amplifier. US Patent No. 5233309. US Patent and Trademark Office, Washington DC.
- [53]. Rajendran, J., Manem, H., Karri, R. and Rose, G.S. (2010) Memristor Based Programmable Threshold Logic Array. Proceedings of the 2010 IEEE/ACM International Symposium on Nanoscale Architectures, Anaheim, 17-18 June 2010, 5-10. <http://dx.doi.org/10.1109/NANOARCH.2010.5510933>
- [54]. O. Krestinskaya, T. Ibrayev, and A. P. James, "Hierarchical temporal memory features with memristor logic circuits for pattern recognition," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2017.
- [55]. O. Krestinskaya, K. N. Salama, and A. P. James, "Analog backpropagation learning circuits for memristive crossbar neural networks," in Circuits and Systems (ISCAS), 2018 IEEE

International Symposium on. IEEE, 2018.

- [56]. A. R. Ghorbani and M. B. Ghaznavi-Ghoushchi, "A 35.6dB, 43.3% PAE class E differential power amplifier in 2.4GHz with cross coupling neutralization for IoT applications," in 2016 24th Iranian Conference on Electrical Engineering (ICEE), May 2016, pp. 490–495.
- [57]. S. Mumtaz, A. Alsohaily, Z. Pang, A. Rayes, K. F. Tsang, and J. Rodriguez, "Massive Internet of Things for Industrial Applications: Addressing Wireless IIoT Connectivity Challenges and Ecosystem Fragmentation," IEEE Industrial Electronics Magazine, vol. 11, no. 1, pp. 28–33, March 2017.
- [58]. H. Garcia-Vazquez, F. C. Dualibe, and G. Popov, "A 0.5 V fully differential transimpedance amplifier in 65-nm CMOS technology," in 2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS), Aug 2017, pp. 763–766.
- [59]. J. M. Saso, A. J. Lopez-Martin, M. P. Garde, and J. Ramirez-Angulo, "Power-efficient class AB fully differential amplifier," Electronics Letters, vol. 53, no. 19, pp. 1298–1300, 2017.
- [60]. J. Masuch and M. Delgado-Restituto, "A 1.1-mW-RX □81:4-dBm Sensitivity CMOS Transceiver for Bluetooth Low Energy," IEEE Transactions on Microwave Theory and Techniques, vol. 61, no. 4, pp. 1660–1673, April 2013.
- [61]. A. Selvakumar, M. Zargham, and A. Liscidini, "13.6 A 600 \_W Bluetooth low-energy front-end receiver in 0.13 \_m CMOS technology," in 2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers, Feb 2015, pp. 1–3.
- [62]. K. L. Chang, J. S. Chang, B. H. Gwee, and K. S. Chong, "Synchronous- Logic and Asynchronous-Logic 8051 Microcontroller Cores for Realizing the Internet of Things: A Comparative Study on Dynamic Voltage Scaling and Variation Effects," IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 3, no. 1, pp. 23–34, March 2013.
- [63]. A. Irmanova and A. P. James, "Neuron inspired data encoding memristive multi-level memory cell," Analog Integrated Circuits and Signal Processing, pp. 1–6, 2018.
- [64]. D. Djekic, G. Fantner, J. Behrends, K. Lips, M. Ortmanns, and J. Anders, "A transimpedance amplifier using a widely tunable PVT-independent pseudo-resistor for high-performance current sensing applications," in ESSCIRC 2017 - 43rd IEEE European Solid State Circuits Conference, Sept 2017, pp. 79–82.
- [65]. D. Abd-elrahman, M. Atef, M. Abbas, and M. Abdelgawad, "Low power transimpedance amplifier using current reuse with dual feedback," in 2015 IEEE International Conference on Electronics, Circuits, and Systems (ICECS), Dec 2015, pp. 244–247.
- [66]. M. H. Taghavi, L. Belostotski, and J. W. Haslett, "A CMOS Low-Power Cross-Coupled Immittance-Converter Transimpedance Amplifier," IEEE Microwave and Wireless Components Letters, vol. 25, no. 6, pp. 403–405, June 2015.
- [67]. R. H. Mekky, P. V. Cicek, and M. N. El-Gamal, "Ultra low-power lownoise transimpedance amplifier for MEMS-based reference oscillators," in 2013 IEEE 20th International Conference on Electronics, Circuits, and Systems (ICECS), Dec 2013, pp. 345–348.
- [68]. N. Dastanova, S. Duisenbay, O. Krestinskaya, and A. P. James, "Bitplane extracted moving-object detection using memristive crossbar-cam arrays for edge computing image devices," IEEE Access, vol. 6, pp. 18 954–18 966, 2018.
- [69]. Effects of Memristors on Fully Differential Transimpedance Amplifier Performance Berik Argimbayev, Olga Krestinskaya and Alex Pappachen James Department of Electrical and Computer Engineering Nazarbayev University, Astana, Kazakhstan
- [70]. D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," nature, vol. 453, no. 7191, p. 80, 2008.
- [71]. H. H. Li, Z. Sun, X. Bi, W.-F. Wong, X. Zhu, and W. Wu, STTRAM Cache Hierarchy Design and Exploration with Emerging Magnetic Devices. New York, NY: Springer New York, 2014, pp. 169–199.