

Sistemas Electrónicos Digitales

Práctica 2. Diseño e implementación de un decodificador de 7 segmentos.



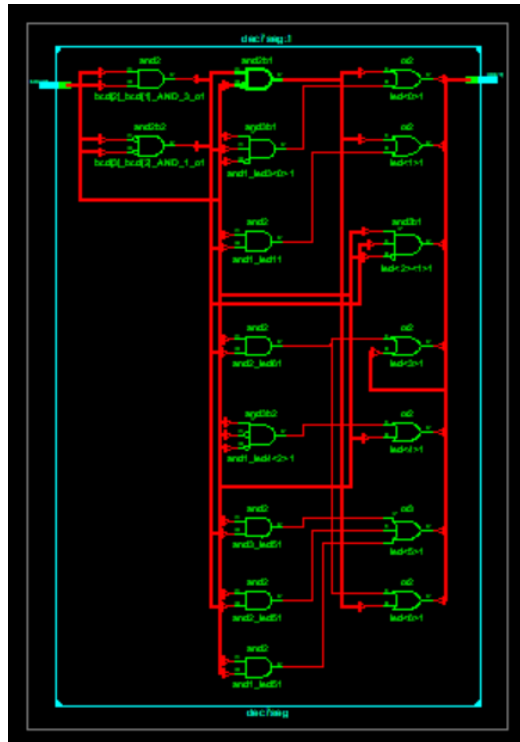
Daniel Dóniz García

alu0101217277

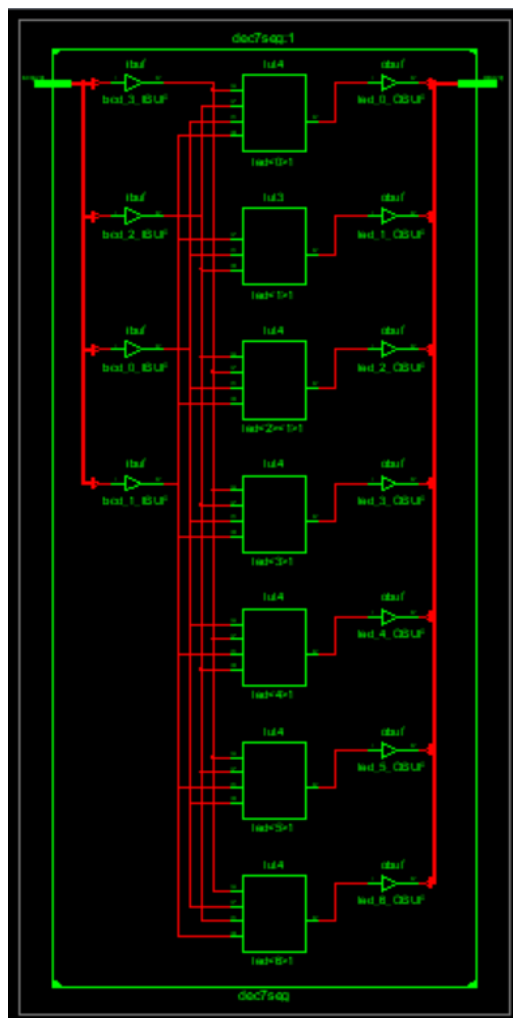
16/03/2020

a) Ejercicios:

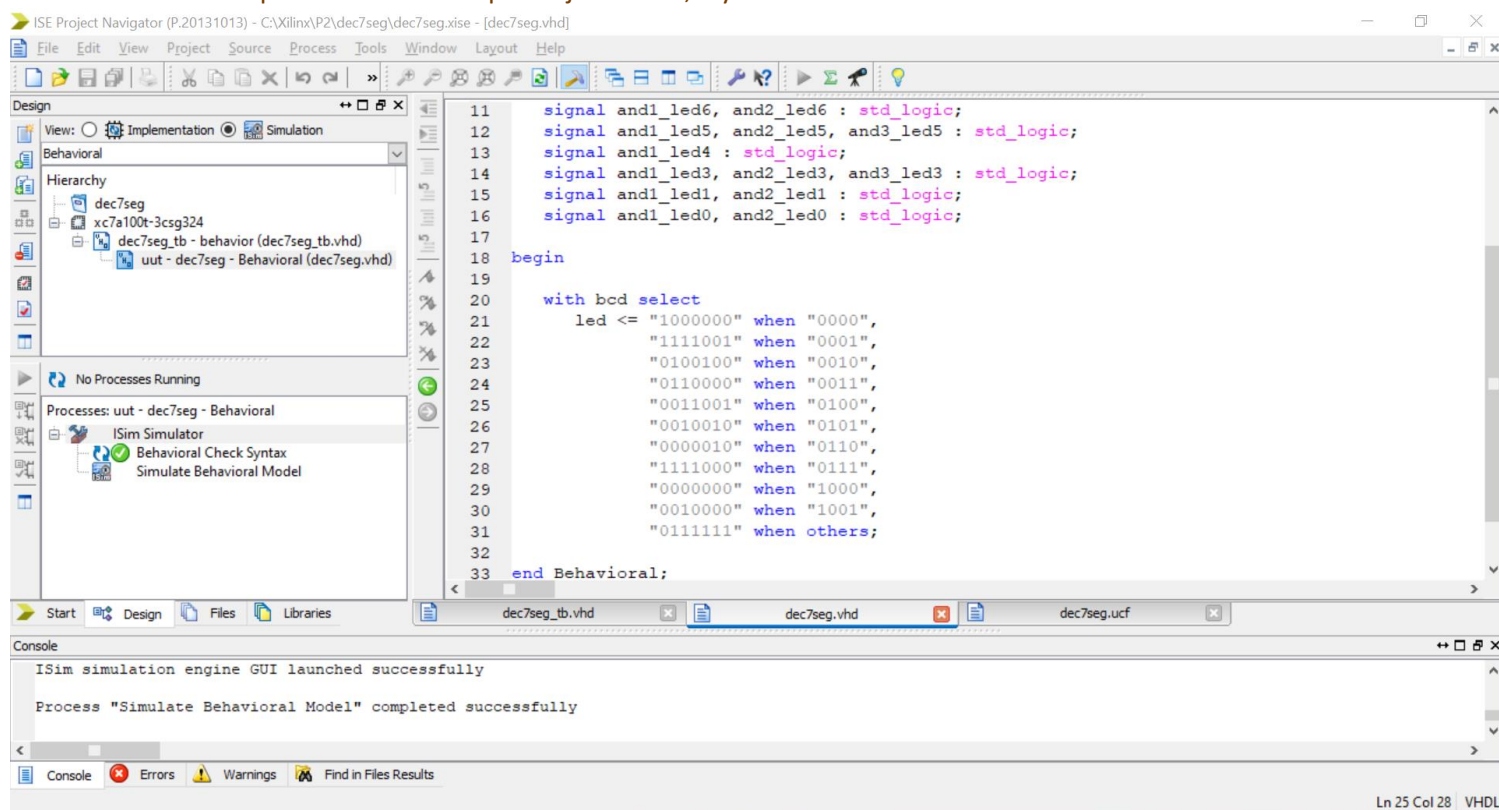
- Ver los recursos de la FPGA consumidos para implementar el diseño. En Design Summary. Analizar.
- Ejecutar el comando View RTL Schematic. Observar los resultados que se obtienen.



- Ejecutar el comando View Technology Schematic. Observar los resultados que se obtienen. Las LUT que aparecen son generadores de funciones implementadas con memorias de 16 posiciones de 1 bit.



- d. Para diseños lógicos complejos, la descripción a través de VHDL de flujo de datos (ecuaciones lógicas) no resulta ser la manera de descripción más eficaz. Sustituir la descripción del decodificador por la que se muestra en la figura, que responde a una descripción en un nivel de abstracción mayor usando VHDL funcional o comportamental. El sintetizador se encarga de traducir esta descripción a hardware. Simular el diseño usando esta forma alternativa de descripción. Estudiar los resultados que se obtienen. Repetir ejercicios 1, 2 y 3



b) Mapas de Karnaugh de las funciones de los 7 segmentos del decodificador.

<i>bcd[3], bcd[2], bcd[1], bcd[0]</i>	<i>led[0]</i>	<i>led[1]</i>	<i>led[2]</i>	<i>led[3]</i>	<i>led[4]</i>	<i>led[5]</i>	<i>led[6]</i>	Número
0000	1	1	1	1	1	1	0	0
0001	0	1	1	0	0	0	0	1
0010	1	1	0	1	1	0	1	2
0011	1	1	1	1	0	0	1	3
0100	0	1	1	0	0	1	1	4
0101	1	0	1	1	0	1	1	5
0110	1	0	1	1	1	1	1	6
0111	1	1	1	0	0	0	0	7
1000	1	1	1	1	1	1	1	8
1001	1	1	1	0	0	1	1	9
1010	x	x	x	x	x	x	x	x
1011	x	x	x	x	x	x	x	x
1100	x	x	x	x	x	x	x	x
1101	x	x	x	x	x	x	x	x
1110	x	x	x	x	x	x	x	x
1111	x	x	x	x	x	x	x	x

led[0] BCD[0], BCD[1]	BCD[2], BCD[3]			
	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	x	x	x	x
10	1	1	x	x

led[1] BCD[0], BCD[1]	BCD[2], BCD[3]			
	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	x	x	x	x
10	1	1	x	x

led[2] BCD[0], BCD[1]	BCD[2], BCD[3]			
	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	x	x	x	x
10	1	1	x	x

led[3] BCD[0], BCD[1]	BCD[2], BCD[3]			
	00	01	11	10
00	1	1	1	1
01	0	1	0	1
11	x	x	x	x
10	1	0	x	x

led[4] BCD[0], BCD[1]	BCD[2], BCD[3]			
	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	x	x	x	x
10	1	0	x	x

led[5] BCD[0], BCD[1]	BCD[2], BCD[3]			
	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	x	x	x	x
10	1	1	x	x

led[6] BCD[0], BCD[1]	BCD[2], BCD[3]			
	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	x	x	x	x
10	1	1	x	x

c) Cronograma de simulación.

