

2052

Министерство образования и науки Российской Федерации

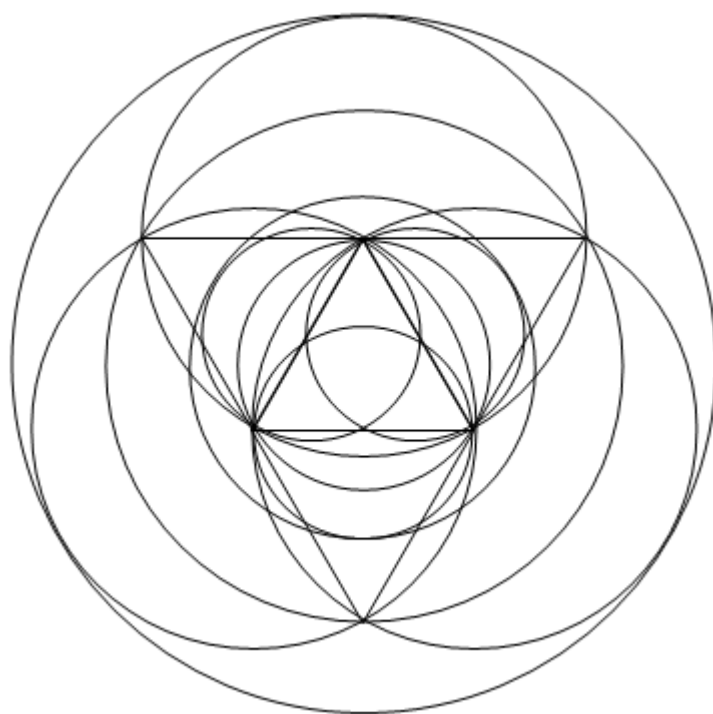
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
"Липецкий государственный технический университет"

Кафедра автоматизированных систем управления

О. В. Болдырихин

Архитектура и логика функционирования ЭВМ. Работа с принципиальными электрическими схемами

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
к практическим работам
по дисциплинам "Организация ЭВМ" и "Архитектура вычислительных систем"



Липецк
Издательство ЛГТУ
2011

УДК 681.3.06(07)
Б791

Рецензент: к.т.н. Назаркин О. А.

Болдырихин, О. В.

Б791 Архитектура и логика функционирования ЭВМ. Работа с принципиальными электрическими схемами: методические указания к практическим работам по дисциплинам "Организация ЭВМ" и "Архитектура вычислительных систем" [Текст] / О. В. Болдырихин. - Липецк : Издательство ЛГТУ, 2011. - 32 с.

Предлагаемые методические указания направлены на изучение аппаратных аспектов устройства и функционирования ЭВМ на основе работы с их принципиальными электрическими схемами.

Предназначены для студентов направления "Информатика и вычислительная техника", специальностей "Автоматизированные системы обработки информации и управления", "Математическое обеспечение и администрирование информационных систем" и родственных специальностей.

© Издательство Липецкого государственного
технического университета, 2011

Содержание

Цель работы и рассматриваемые вопросы.....	4
Теоретическая информация.....	4
Общая структура ЭВМ	4
Схема общей структуры ЭВМ	4
Порты и контроллеры ввода-вывода. Дешифраторы. Ресурсы.....	7
Множество выводов и сигналов процессора.....	8
Классификация выводов процессора	8
Назначение выводов процессора i8080	8
Формат байта состояния и типы машинного цикла процессора i8080.....	11
Интерфейс процессора с памятью	12
Интерфейс процессора с ПЗУ	12
Интерфейс процессора с ОЗУ	13
Интерфейс процессора с матричным ОЗУ	14
Взаимодействие процессора с устройствами ввода-вывода. Логика формирования управляющих сигналов ЭВМ.....	14
Формирование управляющих сигналов в ЭВМ как логических функций атомарных сигналов	14
Формирование сигнала записи (WR#) параллельного порта	15
Формирование сигнала выбора микросхемы (CS#). Дешифрация адреса ..	17
Порядок выполнения работы	20
Содержание отчета	21
Варианты	21
Контрольные вопросы.....	23
Пример выполнения работы.....	24
Библиографический список.....	31

Цель работы и рассматриваемые вопросы

Цель работы — изучение общей архитектуры ЭВМ, основных типов элементов ЭВМ, принципов формирования шин данных, адреса и управления, логики формирования управляющих сигналов, адресов памяти и портов ввода-вывода.

Рассматриваемые вопросы:

1. Общая архитектура ЭВМ. Основные типы элементов и связей.
2. Дополнительные и интерфейсные элементы ЭВМ.
3. Ресурсы.
4. Выводы и сигналы процессора.
5. Интерфейс процессора с запоминающими устройствами.
6. Интерфейс процессора с устройствами ввода-вывода.
7. Логические функции сигналов.
8. Формирование границ адресного пространства памяти и портов ввода-вывода (дешифрация адреса).

Теоретическая информация

Общая структура ЭВМ

Схема общей структуры ЭВМ

ЭВМ в укрупненном виде представляется архитектурой фон Неймана (рис.1).

В соответствии с принципами архитектуры фон Неймана в состав ЭВМ входит три типа основных устройств:

1. Процессор — совокупность устройства управления (УУ) и арифметико-логического устройства (АЛУ).
2. Память (запоминающее устройство, ЗУ).

3. Устройства ввода и вывода (УВВ).

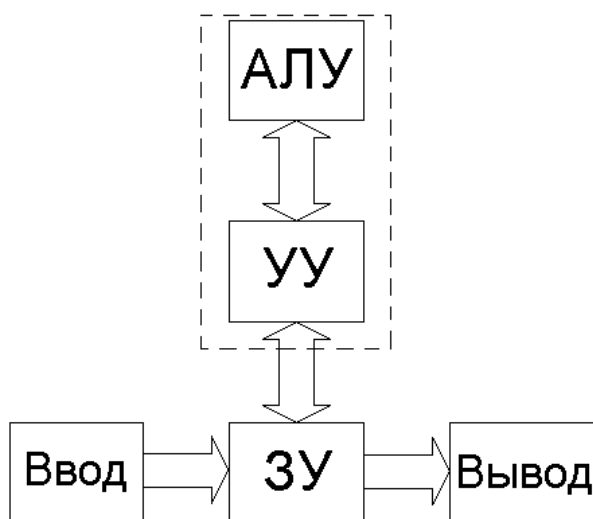


Рис.1. Архитектура фон Неймана

Устройства ввода-вывода называются также внешними или периферийными устройствами.

Устройства ЭВМ связаны между собой посредством сигнальных линий, главные из которых представлены на более детальной схеме структуры ЭВМ (рис.2). По назначению выделяется три типа сигналов в ЭВМ: данных, адреса и управления. Однотипные сигнальные линии объединяются в соответствующие шины.

Ширина шины данных определяет максимальный размер операндов, которыми процессор может обмениваться с памятью или устройствами ввода-вывода за один раз (один цикл шины, одну транзакцию), если они, конечно, не накладывают дополнительных ограничений.

Ширина шины адреса определяет размер адресного пространства:

$$AS = 2^{ABW},$$

где AS (Address Space) — размер адресного пространства;

ABW (Address Bus Wide) — ширина адресной шины.

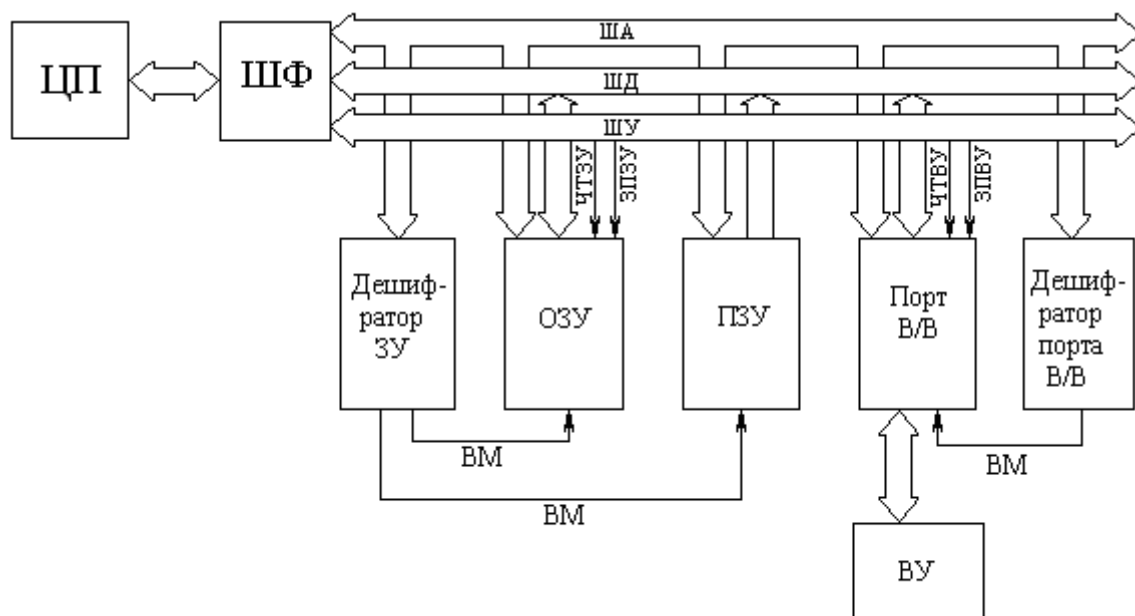


Рис.2. Схема общей структуры ЭВМ

Здесь:

- ЦП — центральный процессор (CPU, Central Processing Unit);
- ШФ — шинный формирователь (в самом широком смысле этого слова);
- ЗУ — запоминающее устройство (M, Memory);
- ОЗУ — оперативное запоминающее устройство (RAM, Random Access Memory);
- ПЗУ — постоянное запоминающее устройство (ROM, Read Only Memory);
- В/В — ввод/вывод (I/O, Input/Output);
- ВУ — внешнее устройство (устройство ввода-вывода), например, клавиатура, дисплей, датчики, исполнительные механизмы и т.п.;
- ША — шина адреса (AB, Address Bus);
- ШД — шина данных (DB, Data Bus);
- ШУ — шина управления (CB, Control Bus);
- ЧТЗУ (ВУ) — чтение ЗУ (ВУ) (R, RD — Read, RC — Receive);
- ЗПЗУ (ВУ) — запись ЗУ (ВУ) (W, WR — Write, TR — Transmit);
- ВМ — выбор микросхемы (CS, Crystal Select).

Порты и контроллеры ввода-вывода. Дешифраторы. Ресурсы

На общей схеме ЭВМ помимо основных устройств показаны интерфейсные (порт ввода-вывода) и дополнительные устройства (дешифратор) ЭВМ.

Устройства ввода-вывода связаны с системой посредством портов, которые представляют собой регистры или их совокупности.

Многие устройства ввода-вывода работают под управлением специального устройства — контроллера (адаптера). Например, выводом информации на монитор управляет видеоадаптер. Вводом информации с клавиатуры управляет контроллер клавиатуры. В таких случаях порты ввода-вывода находятся в соответствующих контроллерах.

Контроллеры устройств ввода-вывода помимо регистров могут иметь в своем составе память, которая может занимать часть адресного пространства процессора. Регистры устройств ввода-вывода также могут отображаться на основное адресное пространство.

В состав ЭВМ могут входить контроллеры, которые управляют работой нескольких устройств ввода-вывода, например, контроллер прерываний и контроллер прямого доступа к памяти. С их помощью связанным с ними устройствам ввода-вывода назначаются номера прерываний и каналов прямого доступа к памяти.

Дешифратор (DC, Decoder) служит для определения (выбора) того устройства, к которому обращается процессор для приема или передачи информации. Номера портов и диапазоны адресов памяти устанавливаются именно с помощью дешифраторов. Адрес, выдаваемый процессором, разбивается на две части. Старшая часть поступает на дешифратор и адресует одно из устройств ЭВМ: ПЗУ, ОЗУ, конкретное УВВ. Младшая часть поступает непосредственно на устройство и адресует конкретную ячейку памяти, регистр или порт ввода-вывода.

Номера портов, диапазоны адресного пространства, номера прерываний и каналов прямого доступа в совокупности называются ресурсами, выделяемыми в ЭВМ различным устройствам.

Множество выводов и сигналов процессора

Классификация выводов процессора

Выводы процессора можно классифицировать следующим образом:

1. Информация (сигналы) или энергия (питание).
2. По типу шины системы: данные, адрес, управление.
3. По направлению передачи информации (сигналов): входы, выходы, двунаправленные.
4. Для выходных выводов количество состояний: два (0 или 1) или три (0, 1, Z (высокое сопротивление)). Состояние высокого сопротивления означает просто отключение вывода от шины, что требуется для исключения возможности конфликта уровней сигналов при объединении различных устройств по выходам.

Назначение выводов процессора i8080

Принципиальное представление о том, посредством каких сигналов процессор взаимодействует со своим окружением, можно получить из описания классических процессоров i8080 и i8086.

Полное представление о сигналах процессора можно получить, просмотрев, как менялось множество входных-выходных сигналов в процессорах Intel.

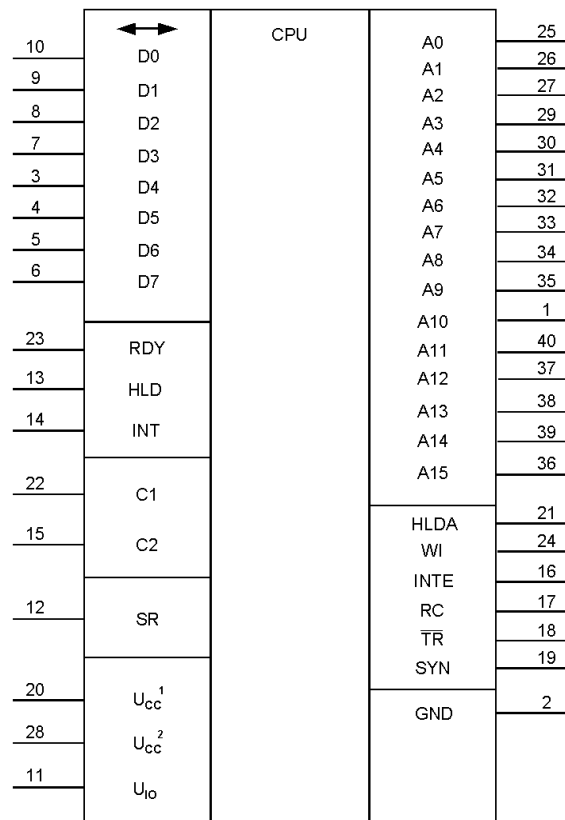


Рис.3. Условное графическое обозначение процессора i8080

Процессор i8080 имеет сорок выводов (тип корпуса — DIP-40).

Назначение выводов процессора i8080 (рис.3) таково:

— Питание:

— U_{cc1} , U_{cc2} , U_{io} — +5В, +12В, -5В соответственно.

— GND (Ground) — земля.

— Входы-выходы:

— D0-D7 — данные. Принимаемые данные интерпретируются процессором в зависимости от машинного цикла и кода операции выполняемой команды. В первом машинном цикле любой команды данные интерпретируются как код операции команды. Данные, принимаемые в следующих циклах, воспринимаются как операнды или адреса операндов в памяти или внешних устройствах. При этом надо учесть, что операнды в силу специфики действия, выполняемого командой, тоже могут быть адресами. Такими командами являются, например, команды перехода. Переда-

ваемые данные интерпретируются в зависимости от такта. В первом такте каждого машинного цикла процессор выводит по линиям данных информацию, представляющую собой т. н. байт состояния, значение которого определяет тип машинного цикла (табл.1), в последующих — операнды.

— Входы:

- RDY (Ready) — готовность. Если сигнал на входе RDY переходит на нижний уровень, то процессор ожидает готовности внешнего устройства (переходит в состояние ожидания).
- HLD (Hold) — захват. Этот сигнал используется для передачи функций по управлению системой от процессора к внешнему устройству. В частности этот сигнал используется для предоставления внешнему устройству прямого доступа к памяти. В этом случае формирование и выдачу адресов, формирование сигналов записи и чтения осуществляет внешнее устройство.
- INT (Interrupt) — запрос прерывания. Используется для того, чтобы сообщить процессору о том, что внешнему устройству требуется его внимание для ввода-вывода информации.
- C1, C2 — тактовые импульсы.
- SR (Set/Reset) — сброс. Сигнал установки процессора в начальное состояние.

— Выходы:

- A0-A15 — 16 адресных линий (процессор адресует 64 КБайта памяти).
- HLDA (Hold Available) — подтверждение захвата, устанавливается в ответ на сигнал HLD.
- WI (Waiting) — сигнал ожидания, устанавливается при переходе RDY на низкий уровень.
- INTE (Interrupt Enable) — разрешение прерывания. Если на этом выходе сигнал высокого уровня, то прерывания разрешены.

- RC (Receive) — прием (чтение, RD, R). Процессор устанавливает высокий уровень этого сигнала, если необходимо провести чтение данных из памяти или ввод данных из внешнего устройства.
- TR# (Transmit) – передача (запись, WR#, W#). Используется для записи данных в память или для вывода данных во внешнее устройство.
- SYN — синхронизация. Процессор выдает этот сигнал в начале каждого машинного цикла.

Прим. Знак # означает, что активный уровень сигнала — низкий.

Можно отметить, что ограничение на количество выводов корпуса процессора является весьма существенным. Поэтому имеет место своеобразное уплотнение сигналов — одному выводу может соответствовать более одного сигнала. В процессоре Intel8080 таким примером являются выводы данных. По второму признаку приведенной выше классификации они относятся и к шине данных, и к шине управления. Такое уплотнение наблюдается и в последующих процессорах.

Формат байта состояния и типы машинного цикла процессора i8080

Разрядам байта состояния, выдаваемого по линиям данных в первом такте каждого машинного цикла, соответствуют следующие сигналы:

- D7 — MR, Memory Read — чтение памяти;
- D6 — INP, Input — ввод;
- D5 — M1 — цикл M1, прием первого байта команды;
- D4 — OUT, Output — вывод;
- D3 — HLTA, Halt Available — подтверждение останова;
- D2 — STACK — стек;
- D1 — WO#, Write-Output — запись-вывод;
- D0 — INTA, Interrupt Available — подтверждение прерывания.

Поскольку в третьем такте машинного цикла по шине данных происходит обмен информацией между процессором и его окружением, байт состояния

должен быть зафиксирован (защелкнут) до этого времени в специальном или общем устройстве — системном контроллере или регистре общего назначения для формирования необходимых управляющих сигналов.

Существует только десять значений байта состояния, которые соответствуют определенным типам машинного цикла процессора (табл.1).

Таблица 1

Соответствие типов машинного цикла конкретным значениям байта состояния

Тип машинного цикла	Байт состояния							
	D7 MR	D6 INP	D5 M1	D4 OUT	D3 HLTA	D2 STACK	D1 WO#	D0 INTA
Выбор команды	1	0	1	0	0	0	1	0
Чтение памяти	1	0	0	0	0	0	1	0
Запись в память	0	0	0	0	0	0	0	0
Чтение стека	1	0	0	0	0	1	1	0
Запись в стек	0	0	0	0	0	1	0	0
Ввод	0	1	0	0	0	0	1	0
Вывод	0	0	0	1	0	0	0	0
Прерывание	0	0	1	0	0	0	1	1
Останов	1	0	0	0	1	0	1	0
Прерывание при останове	0	0	1	0	1	0	1	1

Интерфейс процессора с памятью

Интерфейс процессора с ПЗУ

Пример организации интерфейса процессора с ПЗУ показан на рис.4.

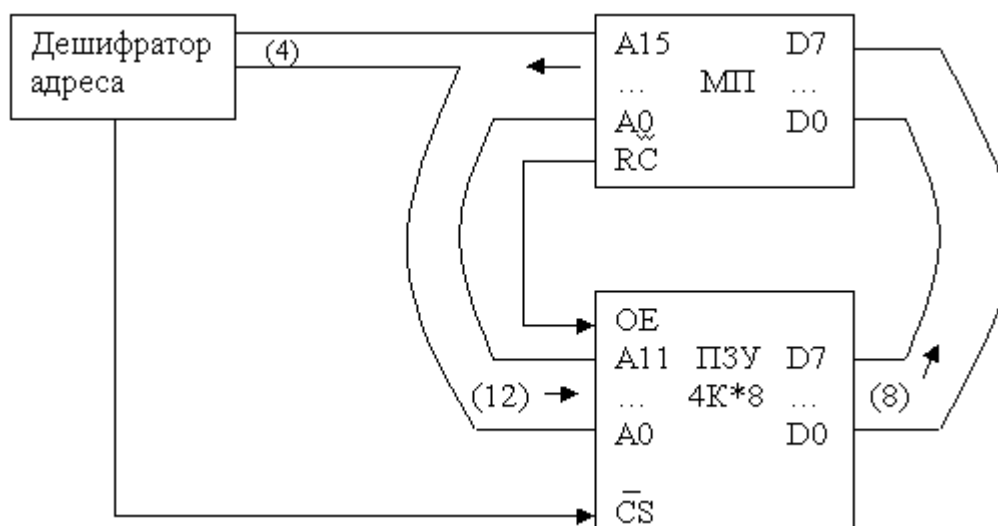


Рис.4. Интерфейс процессора с ПЗУ

Здесь:

- RC — сигнал чтения;
- OE (Output Enable) — разрешение выхода;
- CS (Crystal Select) — выбор кристалла.

Интерфейс процессора с ОЗУ

Пример организации интерфейса процессора с ОЗУ показан на рис.5.

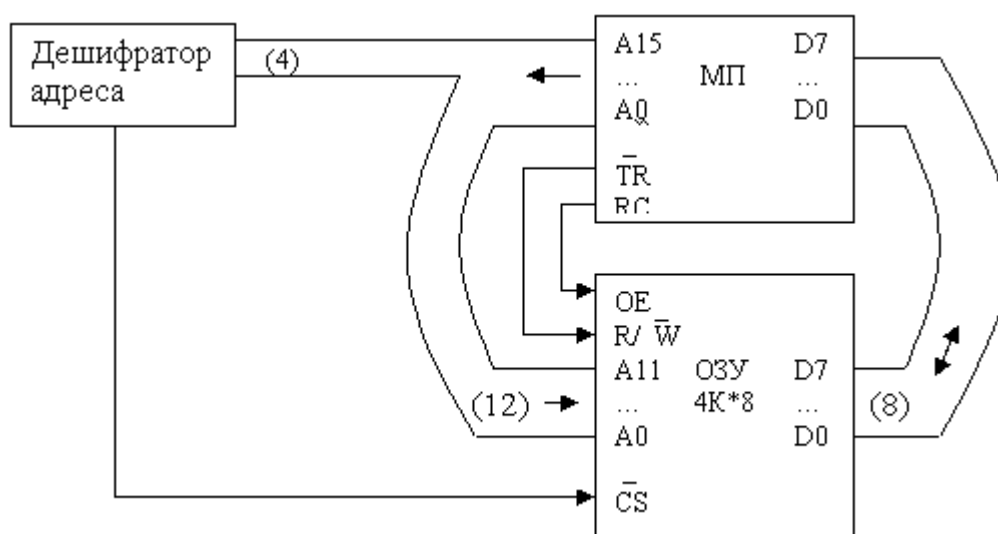


Рис.5. Интерфейс процессора с ОЗУ

Здесь:

- TR# — сигнал передачи процессора;
- RC — сигнал приема процессора;
- OE — сигнал разрешения выхода;
- R/W# — сигнал чтения/записи микросхемы ОЗУ;
- CS# — сигнал выбора микросхемы.

Интерфейс процессора с матричным ОЗУ

Существует еще один тип ОЗУ, к которому относятся модули памяти персональных компьютеров SIMM и DIMM — матричное ОЗУ. В нем ячейки расположены в виде матрицы, по строкам и столбцам. При такой организации адрес, поступающий к памяти, делится на две части. Одна определяет адрес строки, другая — адрес столбца. В таких микросхемах вместо сигнала CS используются сигналы RAS (Row Address Strobe, строб адреса строки) и CAS (Column Address Strobe, строб адреса столбца). Причем сигналов и RAS, и CAS может быть несколько, в зависимости от количества матриц ячеек памяти. Например, в 30-контактных модулях SIMM по одному сигналу RAS и CAS. В 72-контактных — по четыре.

Взаимодействие процессора с устройствами ввода-вывода.

Логика формирования управляющих сигналов ЭВМ

Формирование управляющих сигналов в ЭВМ как логических функций атомарных сигналов

Все управляющие сигналы в ЭВМ представляют собой логические функции, операндами (аргументами) которых являются атомарные (неделимые, непредставимые в виде логических функций) сигналы: сигналы процессора и другие сигналы, которые может инициировать, например, пользователь. Эти логи-

ческие функции формируются логическими и другими цифровыми микросхемами ЭВМ.

Формирование сигнала записи (WR#) параллельного порта

Рассмотрим в качестве примера параллельный порт платы расширения М1 УМК-80 (учебного микропроцессорного комплекта) (рис.6).

Надо отметить один важный момент. Кружок в условном графическом обозначении микросхемы и черта или значок диеза (#) в обозначении сигнала говорят о том, что активный уровень данного сигнала низкий. Черта или диез для таких сигналов являются неотъемлемой частью обозначения сигнала. Ее ни в коем случае нельзя удалять, в том числе при преобразованиях логических выражений, в которых фигурируют данные сигналы. Иначе может произойти путаница при анализе логики функционирования системы.

Данная схема получена с помощью двух операций: объединения и выделения (селекции) над множеством схем отдельных плат, входящих в состав УМК. Поэтому в обозначении микросхемы присутствует название платы.

На вход WR# параллельного порта (программируемого параллельного интерфейса, микросхемы D6 платы М1) поступает системный управляющий сигнал IOWC#, логическая функция которого такова:

$$\begin{aligned} WR\#_{D6M1} &= IOWC\# = P3_{D11} = (P1_{D11} \wedge P2_{D11})\# = (P4_{D8} \wedge Q4_{D4})\# = (P3_{D8}\# \wedge OUT)\# \\ &= P3_{D8} \vee OUT\# = WR\# \vee OUT\#. \end{aligned}$$

Здесь:

- Pi_{Dj} — i-й вывод (pin) элемента Dj;
- X_{Dj} — сигнал X элемента Dj;
- $WR\#_{D6M1}$ — сигнал записи программируемого параллельного интерфейса;
- $IOWC\#$ — сигнал записи в устройство ввода-вывода системной шины;
- $WR\#$ — сигнал записи процессора;

- OUT — сигнал вывода процессора;
- D6M1 — KP580BB55A — программируемый параллельный интерфейс;
- D11 — K155ЛА3 — логический элемент "И-НЕ";
- D8 — K155ЛН1 — логический элемент "НЕ";
- D4 — K589ИР12 — многорежимный 8-разрядный универсальный буферный регистр.

Прим. Поскольку номера микросхем разных плат на полученной схеме не повторяются, то в формуле для сокращения записи названия плат в индексах опущены.

Таким образом, сигнал записи параллельного порта включает информацию о направлении передачи данных и о типе устройства, с которым в данном цикле взаимодействует процессор.

Полученная логическая формула дает следующую таблицу истинности (табл.2).

Таблица 2

Таблица истинности $WR\#$ параллельного порта

$WR\#$	OUT	$WR\#_{D6M1}$	
0	0	1	
1	0	1	
0	1	0	активный уровень
1	1	1	

Из таблицы истинности видно, что активный уровень сигнала $IOWC\#$ формируется, если процессор передает данные в устройство ввода-вывода, о чем говорят активные уровни сигналов $WR\#$ и OUT соответственно.

Надо учесть, что в таких таблицах возможны не все комбинации входных сигналов, поскольку между ними могут быть зависимости. Так, последняя строка этой таблицы истинности не реализуется, т. к. при выводе информации всегда $WR\# = 0$.

Формирование сигнала выбора микросхемы (CS#). Дешифрация адреса

Сигнал CS# параллельного порта платы M1 не подключен. Подключив его к нужному выводу дешифратора (который на рисунке не изображен), можно назначить параллельному порту требуемый диапазон адресов.

Для пояснения логики формирования диапазона адресов памяти или устройств ввода-вывода в адресном пространстве процессора используем другой пример — параллельный порт DD3 платы интерфейса 2 УЦО (см. документацию УЦО, устройства цифрового отсчетного). Для сигнала CS# данного параллельного порта имеем:

$$CS\#_{DD3} = CS1_{XP1} = P6_{DD11}.$$

Здесь

- $CS1_{XP1}$ — сигнал CS1 разъема XP1 системной шины УЦО,
- $P6_{DD11}$ — вывод (pin) 6 микросхемы DD11 (K555ИД4) — сдвоенного дешифратора-демультиплексора.

Прим. В данном примере микросхема DD3 расположена на плате интерфейса 2 УЦО, а остальные — на плате процессора. Микросхема DD3 платы процессора в формировании исследуемого сигнала не участвует. Поэтому в индексах сигналов для сокращения записи используется только номер микросхемы, а наименование платы опускается.

Микросхема DD11 в УЦО выполняет функцию дешифратора 3-8. Обозначения входных и выходных сигналов этой микросхемы отличаются в разных источниках, поэтому в формуле использовано обозначение контакта, а не сигнала.

Воспользуемся таблицей истинности данной микросхемы (табл.3).

Таблица истинности микросхемы К555ИД4

Вход				Выход							
P2 (P14)	P1 (P15)	P3	P13	P4	P5	P6	P7	P12	P11	P10	P9
1	X	X	X	1	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	1	1	1	0
0	0	0	1	1	1	1	1	1	1	0	1
0	0	1	0	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	0	1	1	1	1
0	1	0	1	1	1	0	1	1	1	1	1
0	1	1	0	1	0	1	1	1	1	1	1
0	1	1	1	0	1	1	1	1	1	1	1

Поскольку активный уровень сигнала CS# низкий, нас интересует строка, в которой P6_{DD11} равен нулю. По этой же причине используем конъюнктивную форму логической функции данного сигнала:

$$P6_{DD11} = P13\#_{DD11} \vee P3_{DD11} \vee P1\#_{DD11} \vee P2_{DD11} .$$

$$P13\#_{DD11} = A10\#_{DD8} .$$

$$P3_{DD11} = A11_{DD8} .$$

$$P1\#_{DD11} = A12\#_{DD8} .$$

$$P2_{DD11} = P6_{DD12} = P4_{DD12} \vee P5_{DD12} = P3_{DD12} \vee P5_{DD12} = P1_{DD12} \vee P2_{DD12} \vee P5_{DD12} = A13_{DD8} \vee A14_{DD8} \vee A15_{DD8} .$$

Здесь:

- DD8 — процессор KP580BM80A (i8080);
- A — адресный сигнал процессора;
- DD12 — микросхема логического ИЛИ К555ЛЛ1.

Окончательно имеем:

$$CS\#_{DD3} = A15_{DD8} \vee A14_{DD8} \vee A13_{DD8} \vee A12\#_{DD8} \vee A11_{DD8} \vee A10\#_{DD8}.$$

Таким образом, мы видим, что шесть старших адресных сигналов процессора формируют сигнал выбора параллельного порта через два элемента ИЛИ и дешифратор. Непосредственно на порт поступают младшие адресные сигналы A1 и A0. Поскольку адреса портов ввода-вывода в системе команд процессора i8080 восьмиразрядные, то при выполнении команд ввода-вывода адрес порта дублируется на старшей и младшей половинах адресной шины. Поэтому $A15 = A7$, $A14 = A6$, $A13 = A5$, $A12 = A4$, $A11 = A3$, $A10 = A2$, $A9 = A1$, $A8 = A0$.

Отсюда имеем следующую таблицу истинности (табл.4).

Таблица 4

Таблица истинности сигнала выбора микросхемы $CS\#_{DD3}$

A15	A14	A13	A12	A11	A10	A9	A8	$CS\#_{DD3}$
A7	A6	A5	A4	A3	A2	A1	A0	
0	0	0	1	0	1	X	X	0

Полученная таблица истинности дает следующие адреса портов параллельного интерфейса в шестнадцатеричном формате:

14h — канал А,

15h — канал В,

16h — канал С,

17h — регистр управляющего слова.

Тот же самый принцип дешифрации адреса имеет место и для других элементов ЭВМ: памяти, различных портов и контроллеров ввода-вывода, а иногда и микросхем низкой степени интеграции, например, триггеров.

Порядок выполнения работы

Изучить описание микросхемы, являющейся вариантом работы, а также других микросхем, связанных с данной на принципиальной электрической схеме системы.

Установить связи данной микросхемы с другими элементами системы. Связи должны быть прослежены до конца в обе стороны: в центр системы — к процессору и генератору тактовых импульсов — и наружу — к периферии (устройствам ввода-вывода) или порту ввода-вывода. Разветвление связей, не несущее полезной информации в контексте роли основной микросхемы, отражать не следует.

Составить схему выделенных элементов с установленными связями между ними. Элементы и связи (сигналы) на схеме должны быть подписаны.

Составить таблицу с перечнем и описанием элементов.

Определить логические зависимости сигналов данной схемы по таблицам истинности и описаниям соответствующих микросхем. При определении этих зависимостей общие таблицы истинности микросхем должны быть конкретизированы в соответствии с их подключением в системе, т. е. в конкретизированных таблицах должны быть указаны сигналы, поступающие на входные выводы и снимаемые с выходных выводов. Где это возможно, т. е. при участии только устройств комбинационной логики в формировании сигналов, написать логические функции сигналов. По данным логическим функциям составить таблицы истинности сигналов, в которых выделить строки с активным уровнем сигнала. Для схем, где в формировании сигналов участвуют триггеры, в таблицах истинности сигналов должны быть выделены строки, соответствующие установке и снятию выходного сигнала, а в данных строках — столбцы, соответствующие сигналам, инициирующим установку и снятие выходных сигналов.

Для адресуемых элементов по логической функции сигнала выбора микросхемы (BM или CS, Crystal Select) определить границы их адресного пространства.

Составить описание схемы.

Содержание отчета

1. Вариант.
2. Задание.
3. Схема.
4. Таблица с перечнем и описанием элементов.
5. Таблицы истинности элементов схемы.
6. Таблица с описанием входных и выходных сигналов схемы.
7. Определение логических зависимостей и вывод логических функций сигналов. Таблицы истинности сигналов и элементов схемы (кроме логических элементов) с указанием наименования сигналов схемы, связанных с входными и выходными выводами элементов, выделением строк, соответствующих установке и снятию выходных сигналов, а также выделением в данных строках входных сигналов, инициирующих установку и снятие выходных сигналов.
8. Определение границ адресного пространства для адресуемых элементов.
9. Описание схемы с указанием назначения в схеме каждого элемента и сигнала, порядка функционирования схемы.

Варианты

1. D2, D6 ТЭЗ ПЦ УМК-80.
2. D4 ТЭЗ ПЦ УМК-80.
3. D5.1 ТЭЗ ПЦ УМК-80.
4. D5.2 ТЭЗ ПЦ УМК-80.
5. D12.1 ТЭЗ ПЦ УМК-80.
6. D12.2 ТЭЗ ПЦ УМК-80.
7. D13 ТЭЗ ПЦ УМК-80.

8. D14.1 ТЭЗ ПЦ УМК-80.
9. D14.2 ТЭЗ ПЦ УМК-80.
10. D27, D28 ТЭЗ ПЦ УМК-80.
11. D29 ТЭЗ ПЦ УМК-80.
12. D30 ТЭЗ ПЦ УМК-80.
13. D7, D8 ТЭЗ ПИН УМК-80.
14. D9 ТЭЗ ПИН УМК-80.
15. D13.1 ТЭЗ ПИН УМК-80.
16. D13.2 ТЭЗ ПИН УМК-80.
17. D14 ТЭЗ ПИН УМК-80.
18. D1, D2 ТЭЗ М1 УМК-80.
19. DD2 процессора УЦО.
20. DD4 процессора УЦО.
21. DD5 процессора УЦО.
22. DD9 процессора УЦО.
23. DD13 процессора УЦО.
24. DD10 и 14 процессора УЦО.
25. DD2 интерфейса 1 УЦО.
26. DD3 интерфейса 1 УЦО.
27. DD5 интерфейса 1 УЦО.
28. DD6 интерфейса 1 УЦО.
29. DD12.1-2 интерфейса 1 УЦО.
30. DD14 интерфейса 1 УЦО.
31. DD15 интерфейса 1 УЦО.
32. DD3 интерфейса 2 УЦО.
33. DD4 интерфейса 2 УЦО.
34. DD14.1-2 интерфейса 2 УЦО.
35. DD5 интерполятора УЦО.
36. DD6 интерполятора УЦО.
37. DD7 интерполятора УЦО.

- 38. DD11 интерполятора УЦО.
- 39. DD13 интерполятора УЦО.
- 40. DD15.1 интерполятора УЦО.
- 41. DD15.2-3 интерполятора УЦО.
- 42. DD16 интерполятора УЦО.
- 43. DD17 интерполятора УЦО.
- 44. DD23 интерполятора УЦО.
- 45. DD24 интерполятора УЦО.
- 46. DD25 интерполятора УЦО.

Контрольные вопросы

- 1. Какие пары основных устройств ЭВМ могут обмениваться информацией непосредственно?
- 2. Как могут соотноситься размер адресного пространства процессора и объем реальной памяти ЭВМ?
- 3. Сравните три типа шин ЭВМ между собой с точки зрения направления передачи информации по ним.
- 4. Какие факторы определяют количество и размер частей, на которые делится физический адрес?
- 5. Приведите примеры структуризации других типов адресов.
- 6. Классификация выводов процессора.
- 7. Классификация выводов микросхем памяти.
- 8. Охарактеризуйте сигналы процессора с точки зрения частоты их формирования.
- 9. Каковы размер адресного пространства и количество портов ввода-вывода процессора i8080?
- 10. Почему реальное количество значений байта состояния процессора i8080 меньше теоретического?
- 11. Каковы зависимости между сигналами байта состояния?

12. Классифицируйте машинные циклы процессора i8080 по направлению передачи информации.
13. Классифицируйте машинные циклы процессора i8080 по типу взаимодействующих устройств.
14. Сравните интерфейсы процессора с ПЗУ и ОЗУ. Что между ними общего и различного?
15. Может ли один адрес соответствовать различным портам ввода-вывода?
16. Может ли несколько адресов соответствовать одному порту ввода-вывода?

Пример выполнения работы

Вариант

Микросхема D6 платы M1 УМК-80 — KP580BB55A — программируемый параллельный интерфейс.

Задание

Изучить описание микросхемы KP580BB55A, а также других микросхем, связанных с данной на принципиальной электрической схеме УМК-80.

Установить связи микросхемы KP580BB55A платы M1 с другими элементами УМК-80.

Составить схему выделенных элементов со связями между ними.

Составить таблицу с перечнем и описанием элементов.

Определить логические зависимости сигналов данной схемы по таблицам истинности и описаниям соответствующих микросхем. Написать логические функции сигналов. Составить таблицы истинности сигналов.

По логической функции сигнала выбора микросхемы (BM или CS, Crystal Select) определить границы адресного пространства.

Составить описание схемы.

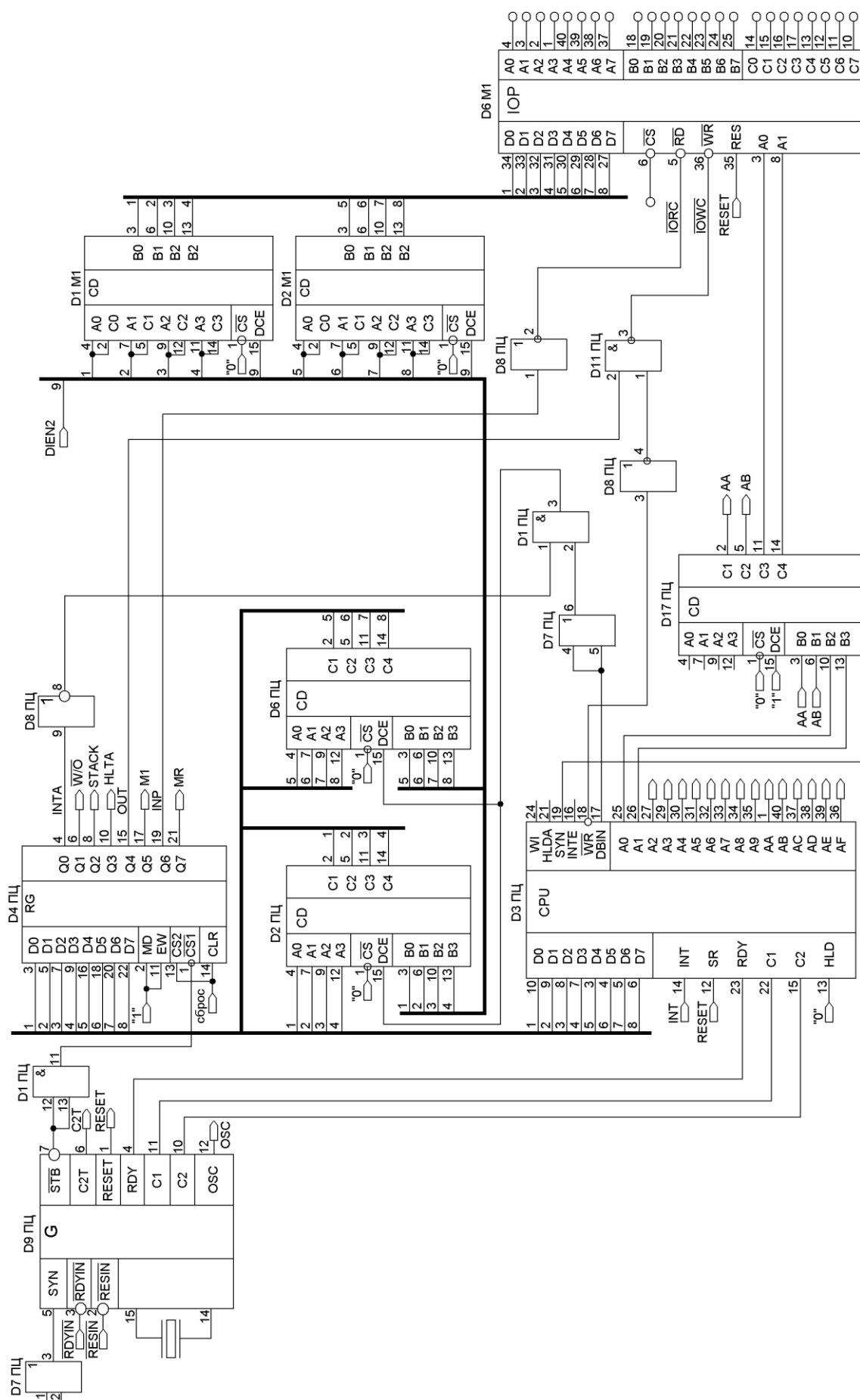


Рис.6. Схема организации параллельного интерфейса на плате M1

Перечень элементов схемы

№	Элемент	Описание						
1	2	3						
1	D1 ПЦ	K155ЛИ1 — логический элемент "И"						
2	D2 ПЦ, D6 ПЦ, D17 ПЦ, D1 M1, D2 M1	<div>K589АП16 — шинный формирователь — параллельный двунаправленный 4-разрядный коммутатор, имеющий одну шину только для приема информации (А), шину только для выдачи информации (С) и одну двунаправленную шину для приема и выдачи информации (В). Направление передачи определяется значением сигнала DCE (УВ — управление выводом):</div> <table><tr><td>DCE (УВ)</td><td>Направление передачи</td></tr><tr><td>0</td><td>→А→В→</td></tr><tr><td>1</td><td>→В→С→</td></tr></table>	DCE (УВ)	Направление передачи	0	→А→В→	1	→В→С→
DCE (УВ)	Направление передачи							
0	→А→В→							
1	→В→С→							
3	D3 ПЦ	KP580BM80A — 8-разрядный микропроцессор с фиксированной системой команд. Имеет отдельные 16-разрядную шину адреса и 8-разрядную шину данных, обеспечивает прямую адресацию памяти объемом до 64 Кбайт, до 256 устройств ввода и 256 устройств вывода						
4	D4 ПЦ	K589ИР12 — многорежимный 8-разрядный универсальный буферный регистр. Может быть использован для реализации различных интерфейсных и вспомогательных устройств: регистров данных, буферных регистров со стробированием данных, мультиплексоров, шинных формирователей и др.						

Окончание таблицы

1	2	3
5	D7 ПЦ	K155ЛЛ1 — логический элемент "ИЛИ"
6	D8 ПЦ	K155ЛН1 — логический элемент "НЕ"
7	D9 ПЦ	KP580ГФ24 — генератор тактовых сигналов. Формирует две фазы: C1 и C2 с импульсами положительной полярности, амплитудой 12 В и частотой 0,5-3,0 МГц, выдает стробирующий сигнал состояния STB#, тактовый сигнал C2T амплитудой ТТЛ уровня (5 В), синхронизированный с фазой C2. Синхронизирует сигналы RDYIN# и RESIN# фазой C2
8	D11 ПЦ	K155ЛА3 — логический элемент "И-НЕ"
9	D6 M1	KP580BB55A — программируемый параллельный интерфейс для подключения внешних устройств

Таблица

Таблица истинности KP580BB55A

Сигналы на входах					Операция (состояние)
A1	A0	RD#	WR#	CS#	
Ввод (чтение)					
0	0	0	1	0	A → канал данных
0	1	0	1	0	B → канал данных
1	0	0	1	0	C → канал данных
Вывод (запись)					
0	0	1	0	0	Канал данных → A
0	1	1	0	0	Канал данных → B
1	0	1	0	0	Канал данных → C
1	1	1	0	0	Канал данных → РУС

Окончание таблицы

Сигналы на входах					Операция (состояние)
A1	A0	RD#	WR#	CS#	
Блокировка					
X	X	X	X	1	Канал данных в третьем состоянии
1	1	0	1	0	Запрещенная комбинация

Примечание. X — состояние входа безразлично.

Таблица

Таблица истинности K589АП16

DCE (УВ)	CS#	Операция (состояние)
0	0	$\rightarrow A \rightarrow B \rightarrow$
1	0	$\rightarrow B \rightarrow C \rightarrow$
X	1	передачи нет

Таблица

Входные и выходные сигналы

№ п/п	Сигнал	Описание
1	RDYIN#	Входной сигнал готовности
2	RESIN#	Входной сигнал сброса
3	DIEN2	Data Input Enable. Сигнал разрешения ввода данных с внешнего устройства

Определение логических зависимостей и вывод логических функций сигналов

1. $WR\#_{D6M1} = IOWC\# = P3_{D11} = (P1_{D11} \wedge P2_{D11})\# = (P4_{D8} \wedge Q4_{D4})\# = (P3_{D8}\# \wedge OUT)\# = P3_{D8} \vee OUT\# = WR\# \vee OUT\#$.

Здесь:

Pi_{Dj} — i -й вывод (pin) элемента Dj ;

X_{Dj} — сигнал X элемента Dj ;

$WR\#_{D6M1}$ — сигнал записи программируемого параллельного интерфейса;

$IOWC\#$ — сигнал записи в устройство ввода-вывода системной шины;

$WR\#$ — сигнал записи процессора;

OUT — сигнал вывода процессора;

$D6M1$ — KP580BB55A — программируемый параллельный интерфейс;

$D11$ — K155ЛА3 — логический элемент "И-НЕ";

$D8$ — K155ЛН1 — логический элемент "НЕ";

$D4$ — K589ИР12 — многорежимный 8-разрядный универсальный буферный регистр.

Таблица

Таблица истинности сигнала $WR\#$ ($IOWC\#$)

$WR\#$	OUT	$IOWC\#$	
0	0	1	
1	0	1	
0	1	0	активный уровень
1	1	1	

$$2. RD\#_{D6M1} = IORC\# = P2_{D8} = P1_{D8\#} = Q6_{D4\#} = INP\#.$$

$$3. RES_{D6M1} = RESET_{D9} = RESIN\#_{D9} \wedge C2_{D9}.$$

Описание схемы

Плата $M1$ предназначена для подключения произвольных внешних устройств к УМК-80, т. е. для расширения его возможностей. Параллельный интерфейс KP580BB55A является основной микросхемой платы $M1$. Выводы каналов А, В и С микросхемы соединены со свободными контактными площад-

ками, к которым могут быть подключены выводы внешних устройств в соответствии с их спецификацией, а также спецификацией KP580BB55A.

Канал данных KP580BB55A через шинные формирователи K589АП16 (D2 ПЦ, D6 ПЦ, D1 M1, D2 M1) связан с шиной данных микропроцессора KP580BM80A. Направление передачи информации (значение сигнала DCE) через D1, D2 ТЭЗ M1 определяет сигнал DIEN2 — (разрешение ввода данных), через D2, D6 ТЭЗ ПЦ — элементы D1, D7 и D8 ТЭЗ ПЦ.

Сигнал выбора кристалла CS# KP580BB55A соединен со свободной контактной площадкой, что дает возможность аппаратно назначать данной микросхеме требуемый диапазон адресного пространства ввода-вывода.

На входы RD# и WR# подаются сигналы шины УМК-80 IORC# и IOWC#, формируемые аппаратной логикой системы (элементами D8 и D11 ТЭЗ ПЦ) на основе сигналов процессора, в том числе сигналов байта состояния, защелкиваемого в регистре K589ИР12 (D4 ПЦ) по сигналу CS1#, формируемому элементом D1 ТЭЗ ПЦ на основе сигнала STB# генератора тактовых импульсов (D9 ПЦ). Очищается регистр сигналом сброса на входе CLR.

Сигналы RD# и WR# определяют направление передачи данных через параллельный интерфейс:

RD#	WR#	Направление передачи
0	1	ввод
1	0	вывод

Входы A0 и A1 параллельного интерфейса через шинный формирователь D17 ТЭЗ ПЦ соединены с одноименными выходами процессора. Они адресуют одно из четырех адресуемых устройств параллельного интерфейса (ПИ):

A0	A1	Устройство ПИ
0	0	канал А
0	1	канал В
1	0	канал С
1	1	регистр управляющего слова (РУС)

Сигнал RESET с выхода генератора тактовых импульсов подается на процессор и параллельный интерфейс для установки их в начальное состояние. Он формируется путем синхронизации асинхронного сигнала RESIN# с тактовым сигналом C2.

Точно так же генератором тактовых импульсов из асинхронного сигнала RDYIN# формируется синхронный сигнал RDY, поступающий на соответствующий вход процессора.

Библиографический список

1. Еременко, Ю. И. Архитектура, принципы функционирования и управление ресурсами IBM PC : [Текст] уч. пос. / Ю. И. Еременко, Л. А. Кузнецов, А. Я. Складов. - Старый Оскол : ТНТ, 2003. - 420 с.
2. Микропроцессоры и микропроцессорные комплекты интегральных микросхем : Справочник в 2-х тт. [Текст] / В. Б. Абрайтис [и др.] ; под ред. В. А. Шахнова. - М. : Радио и связь, 1988. Т.1 - 368 с.
3. Новиков, Ю. В. Разработка устройств сопряжения для персонального компьютера типа IBM PC : Практ. пособие [Текст] / Ю. В. Новиков, О. А. Калашников, С. Э. Гуляев ; под общей редакцией Ю. В. Новикова. - М. : ЭКОМ, 1997. - 224 с. (681.3 Н73 - 1)
4. Таненбаум, Э. Архитектура компьютера [Текст] / Э. Таненбаум. - 4-е изд. - СПб. : Питер, 2003. - 704 с.
5. Таненбаум, Э. Архитектура компьютера [Текст] / Э. Таненбаум. - 4-е изд. - СПб. : Питер, 2005. - 699 с.
6. Таненбаум, Э. Архитектура компьютера [Текст] / Э. Таненбаум. - 5-е изд. - СПб. : Питер, 2007. - 844 с.

Архитектура и логика функционирования ЭВМ. Работа с принципиальными электрическими схемами

Методические указания к практическим работам по дисциплинам "Организация ЭВМ" и "Архитектура вычислительных систем"

Болдырихин Олег Владимирович

Редактор Е. А. Федюшина.

Подписано в печать 23.11.2011. Формат 60x84 1/16.

Бумага офсетная. Ризография. Объем 2 п. л. Тираж 100 экз.

Заказ № 739.

Издательство Липецкого государственного технического университета.

Полиграфическое подразделение Издательства ЛГТУ.

398600 Липецк, ул. Московская, 30.