

TRAVAUX DIRIGES N°3

Amplificateur MOS à 2 étages

Soit le montage de la figure 1: il est constitué de deux étages réalisant chacun une amplification en tension. L'étude de ce montage va permettre de mettre en évidence le processus du choix d'un point de fonctionnement et la méthode de modélisation quadripolaire hiérarchique.

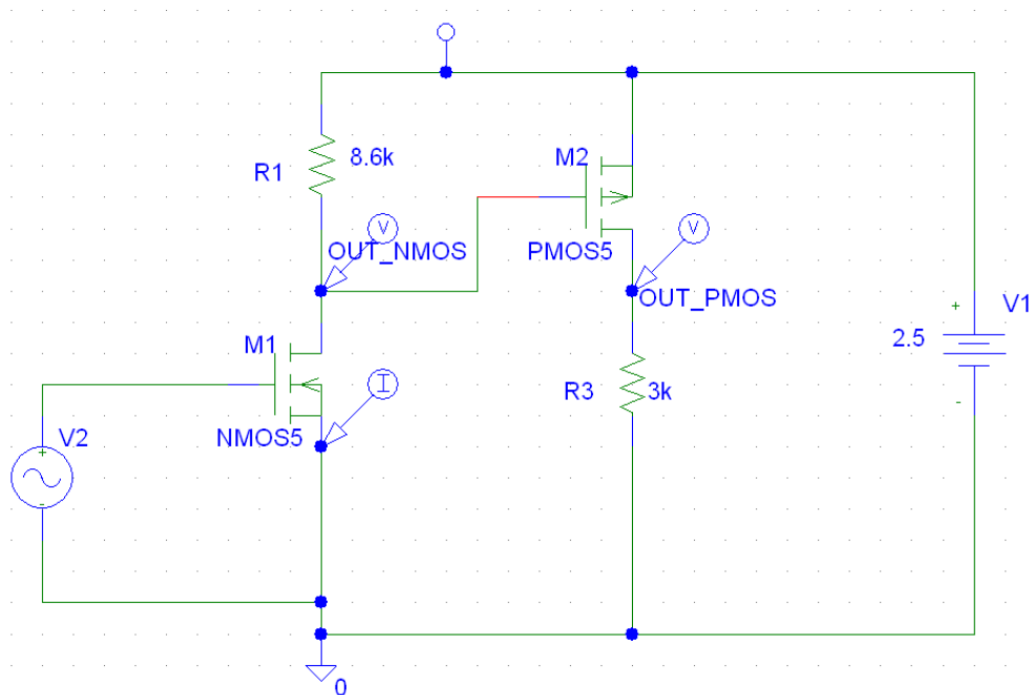


Figure 1: amplificateur à 2 transistors

I) Etude statique du montage

I.1) Nature du montage

Identifier la nature des deux étages en cascade (source commune, grille commune ou drain commun). On attachera une attention particulière au fait que le second étage est constitué d'un transistor PMOS.

La courbe 2 représente la fonction de transfert Entrée/Sortie individuelle de chacun de ces deux étages (c'est à dire chaque étage caractérisé indépendamment mais reporté sur un même graphe).

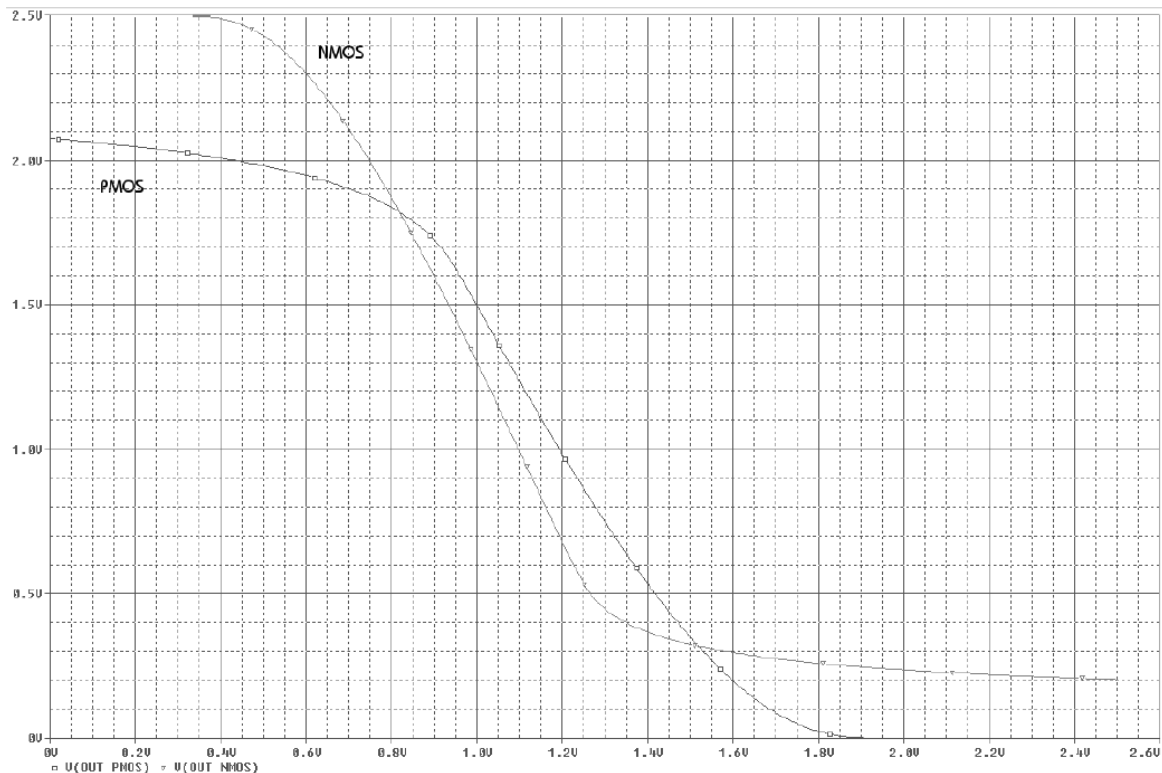


Figure 2: caractéristique de transfert des 2 étages

I.2) Régimes de fonctionnement

Sur la figure précédente, identifier les différents régimes de fonctionnement des transistors MOS (utiliser une couleur différente pour chaque transistor).

I.3) Point de polarisation

La mise en cascade de ces deux étages va permettre d'obtenir une amplification supérieure à l'utilisation d'un seul étage.

Quel point de polarisation en entrée du premier étage à base du transistor NMOS faut-il choisir pour obtenir une amplification maximale ?

De même, quel point de polarisation en entrée du montage à base de transistor PMOS faudrait-il choisir pour obtenir une amplification maximale ?

Enfin, quel point de polarisation choisir pour que l'amplification TOTALE du circuit (2 étages raccordés) soit maximale. Sur quels paramètres peut-on jouer pour modifier cette valeur de tension de polarisation optimale ?

La mise en cascade des deux étages permet d'obtenir la fonction de transfert (étage intermédiaire sortie NMOS représenté) de la figure 3.

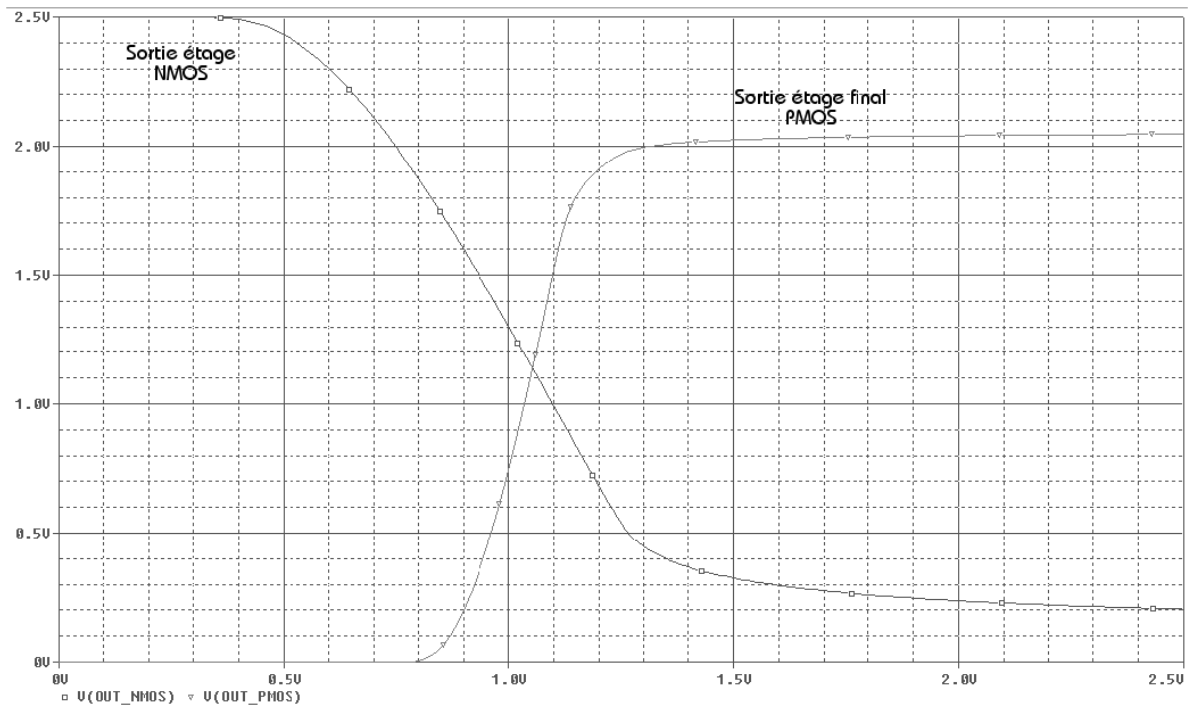


Figure 3: caractéristique de transfert du montage complet

II) Etude dynamique du montage

Autour d'un point de polarisation judicieusement choisi, nous allons procéder à l'amplification d'un signal sinusoïdal appliqué en entrée. Pour obtenir les caractéristiques du montage global, nous allons établir son schéma petit signal. Pour cela, nous allons étudier séparément chaque étage.

II.1) Montage NMOS à source commune

Quelle est la nature d'amplification du montage complet (tension, courant, transimpédance ou transconductance) ?

Établir le schéma petit signal correspondant.

II.2) Montage PMOS à source commune

Quelle est la nature d'amplification du montage complet (tension, courant, transimpédance ou transconductance) ?

Établir le schéma petit signal correspondant.

II.3) Montage complet

Quelle est la nature d'amplification du montage complet (tension, courant, transimpédance ou transconductance) ?

A l'aide des deux schémas précédents (on aura recours à la mise en cascade de modèles quadripolaires), établir le schéma petit signal complet du montage et déterminer le gain ainsi que les impédances d'entrée et de sortie.

Que peut-on dire de la phase du signal de sortie ?

TRAVAIL EN AUTONOMIE

Simulations PSPICE

Procéder à l'étude du montage de la figure 1 du TD. Les dimensions retenues pour les transistors MOS sont les suivantes : $W_{\text{NMOS}} = 3\mu\text{m}$, $W_{\text{PMOS}} = 8.7\mu\text{m}$ et $L_{\text{NMOS}} = L_{\text{PMOS}} = 0.25\mu\text{m}$.

Etude statique

On s'attachera à retrouver les caractéristiques de transfert de chacun des étages ainsi que celle du montage global.

Expliquer pourquoi les signaux d'entrée et de sortie de chacun des étages sont inversés.
Retrouver les différents états de conduction (bloqué, ohmique, saturé) du transistor NMOS.

Quel est l'impact sur le signal de sortie si on modifie la composante continue du signal d'entrée ?

	V_{TO} (V)	K' (A/V ²)	λ (V ⁻¹)	$U_{\text{alim}} = V_{\text{DD}}$
NMOS	0.4	131×10^{-6}	0.1	2.5V
PMOS	-0.55	45×10^{-6}	0.2	2.5V