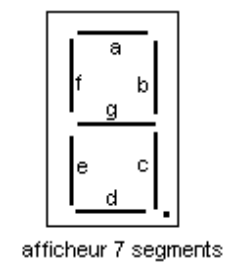


TRAVAUX DIRIGES N°5

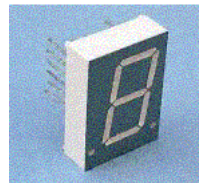
Logique combinatoire

I) Afficheur 7 segments

Un afficheur 7 segments est un composant qui permet de visualiser des chiffres de 0 à 9 (en décimal) ou de 0 à F en hexadécimal.



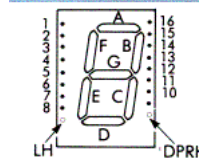
Afficheurs 7 segments 20,3 mm



- Points décimaux à droite et à gauche.
- Forte intensité lumineuse.
- Face avant grise, segment blanc.

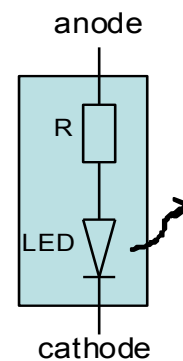
Spécifications techniques

Dimensions (mm): L 27,7 x l 20,0
 Hauteur: 8,4 mm sans les broches
 Pas entre les 2 rangées: 15,24 mm
 Pas entre les broches: 2,54 mm
 Couleur: rouge haut rendement
 Intensité lumineuse par digit: 2,2 mcd (typ.)
 Température d'utilisation: -40°C à +85°C



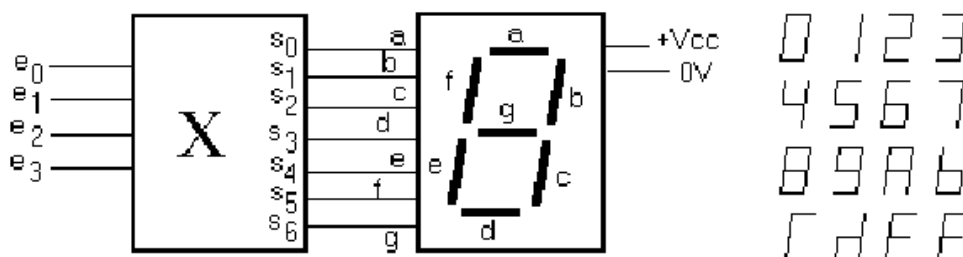
Le principe d'un segment est illustré ci-contre. On notera que l'utilisation de résistances en série avec la diode électroluminescente (LED) est nécessaire pour limiter le courant.

L'afficheur est composé de 7 LEDs (segments) a, b, c, d, e, f et g qui nécessitent une polarisation spécifique en fonction du type d'afficheur (anode commune ou cathode commune). On considère un afficheur cathode commune, qui a la caractéristique d'allumer un segment lorsqu'on y applique un potentiel (donc un "1" logique).



Il existe des circuits spécialisés pour la commande d'afficheurs 7 segments : ces circuits sont appelés décodeurs 7 segments. Nous allons en effectuer l'étude et la synthèse.

Le schéma d'un décodeur 7 segments est le suivant :

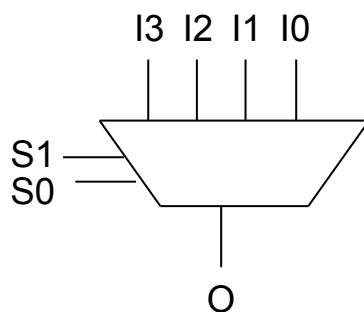


Le décodeur génère directement les valeurs logiques qui pilotent les segments. On rappelle qu'il faut un "1" pour allumer le segment et un "0" pour l'éteindre.

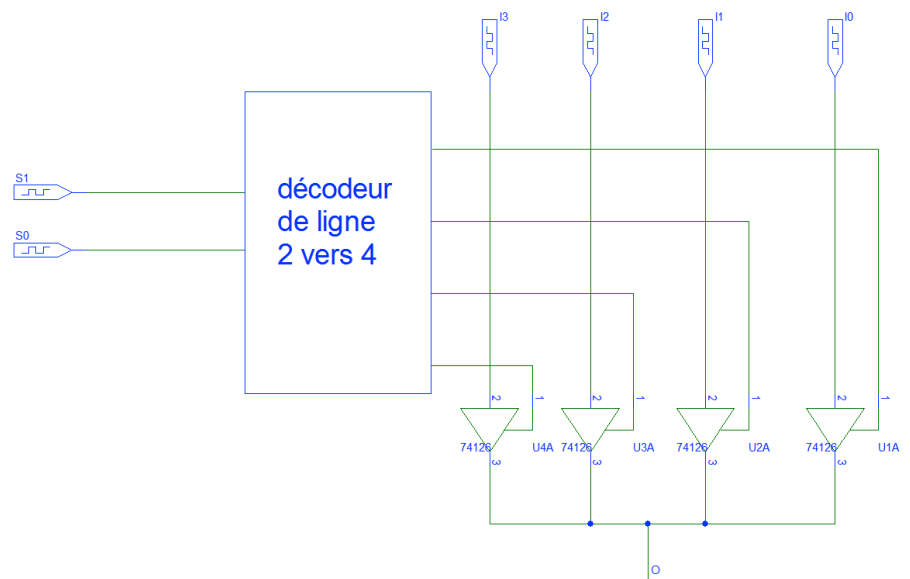
- Établir la table de vérité du décodeur 7 segments.
- Effectuer la mise en équation du segment **e** liant les sorties s_i aux entrées e_j en cherchant à obtenir la solution la plus compacte (on raisonnera sur les 1). Vérifiez le résultat en utilisant le tableau de Karnaugh.
- Effectuer la synthèse du décodeur en portes logiques élémentaires (AND, OR, NOT, XOR), puis en en portes NAND
- Effectuer la mise en équation du segment **e** en raisonnant sur les 0, effectuer la synthèse en portes NOR.

II) Multiplexeur 4 bits

Soit le composant représenté par le symbole suivant :



Il peut être réalisé physiquement de la manière suivante :



En analysant le fonctionnement et à l'aide de la table de vérité ci-dessous, déterminer la fonction de ce composant (multiplexeur 4 bits) ainsi que son équation logique.

	C	E	S
	1	0	0
	1	1	1
	0	X	Z (haute impédance)

Table de vérité

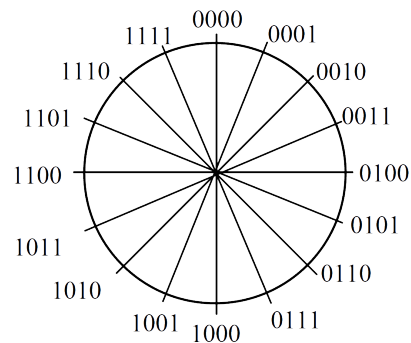
S1	S0	I3	I2	I1	I0	O	S1	S0	I3	I2	I1	I0	O	S1	S0	I3	I2	I1	I0	O	S1	S0	I3	I2	I1	I0	O
0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	0	0
0	0	0	0	0	1	1	0	1	1	0	0	1	0	1	0	0	0	1	0	0	1	1	0	0	0	1	0
0	0	0	0	1	0	0	0	1	0	0	1	0	1	1	0	0	1	0	0	0	1	1	0	0	1	0	0
0	0	0	0	1	1	1	0	1	0	0	1	1	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
0	0	0	1	0	0	0	0	1	0	1	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0
0	0	0	1	0	1	1	0	1	0	1	0	1	0	1	0	0	1	0	1	1	1	1	0	1	0	1	0
0	0	0	1	1	0	0	0	1	0	1	1	1	0	1	0	0	1	1	0	1	1	1	0	1	1	0	0
0	0	0	1	1	1	1	1	0	1	0	1	1	1	1	0	0	1	1	1	1	1	1	0	1	1	1	0
0	0	1	0	0	0	0	0	1	1	0	0	0	0	1	0	1	0	0	0	0	1	1	1	0	0	0	1
0	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	1	0	0	1	0	1	1	1	0	0	1	1
0	0	1	0	1	0	0	0	1	1	0	1	0	1	1	0	1	0	1	0	0	1	1	1	0	1	0	1
0	0	1	0	1	1	1	1	0	1	1	0	1	1	1	0	1	0	1	1	0	1	1	1	0	1	1	1
0	0	1	1	0	0	0	0	1	1	1	0	0	0	1	0	1	1	0	0	1	1	1	1	0	0	0	1
0	0	1	1	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	1	1	1	1	1	0	1	1	1
0	0	1	1	1	0	0	0	1	1	1	1	0	1	1	0	1	1	1	0	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1

III) Soustraction en binaire

On donne dans la figure ci-dessous la représentation circulaire du codage en binaire naturel d'un nombre compris entre 0 et 15.

III.1) Représenter sur ce cercle les valeurs positives et négatives codées respectivement,

- par valeur absolue et bit de signe,
- par complément à 1,
- par complément à 2.



III.2) Quels sont les avantages et les inconvénients de chaque type de codage ?

III.3) A partir d'un exemple quelconque, montrer que la soustraction de 2 nombres peut être réalisée par une addition modulo 16 lorsque l'on utilise le codage par complément à 2.

III.4) Établir l'équation de la soustraction de 2 nombres A et B.

III.5) Rappeler le schéma et le principe de l'additionneur binaire complet et celui de l'additionneur n bits.

III.6) Établir le schéma de principe d'un additionneur-soustracteur, piloté par un signal M (M=0: addition, M=1: soustraction) et construit au moyen d'un additionneur, d'inverseurs et d'un multiplexeur.

IV) code BCD (Binary Coded Decimal)

Cet exercice va porter sur l'étude du code BCD et de sa mise en application.

IV.1) Rappeler le principe du code BCD et établir la table de correspondance décimal-BCD pour les 20 premiers nombres du système décimal.

Le code BCD nécessite l'utilisation d'une algèbre qui lui est propre. Nous allons nous intéresser à l'additionneur binaire BCD.

IV.2) Donner le principe de l'addition en BCD.

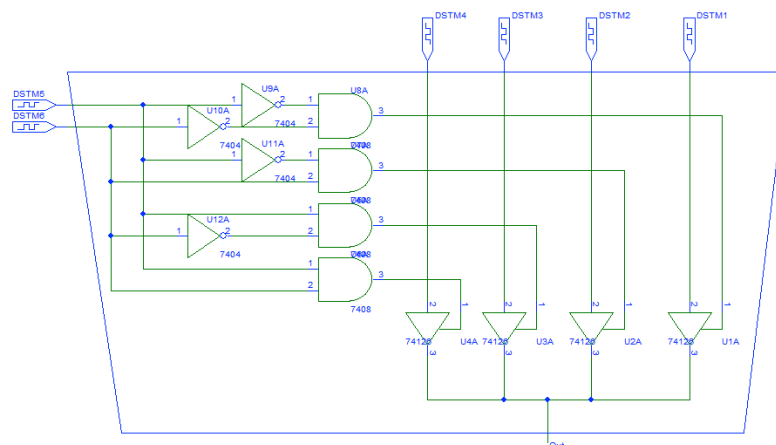
IV.3) Proposer une architecture d'additionneur BCD (dizaine, unité) utilisant des additionneurs binaires n bits (n à définir), des multiplexeurs et éventuellement un comparateur.

TRAVAIL EN AUTONOMIE

Simulations PSPICE

Remarque préliminaire : pour l'électronique numérique, consultez le fichier Excel de nomenclature présent sur le site pédagogie pour les références des composants.

I/ Montrer (en effectuant la simulation) que l'implémentation physique ci-dessous correspond au multiplexeur 4 bits vu dans le TD.



II/ Vérifier que l'architecture de l'additionneur BCD définie en TD (présente sur le site pédagogie: *Adder_BCD_Student.sch*) fonctionne. On notera l'utilisation des bus (ensemble de plusieurs fils) à la place de N fils en parallèle.