
Circuits numériques

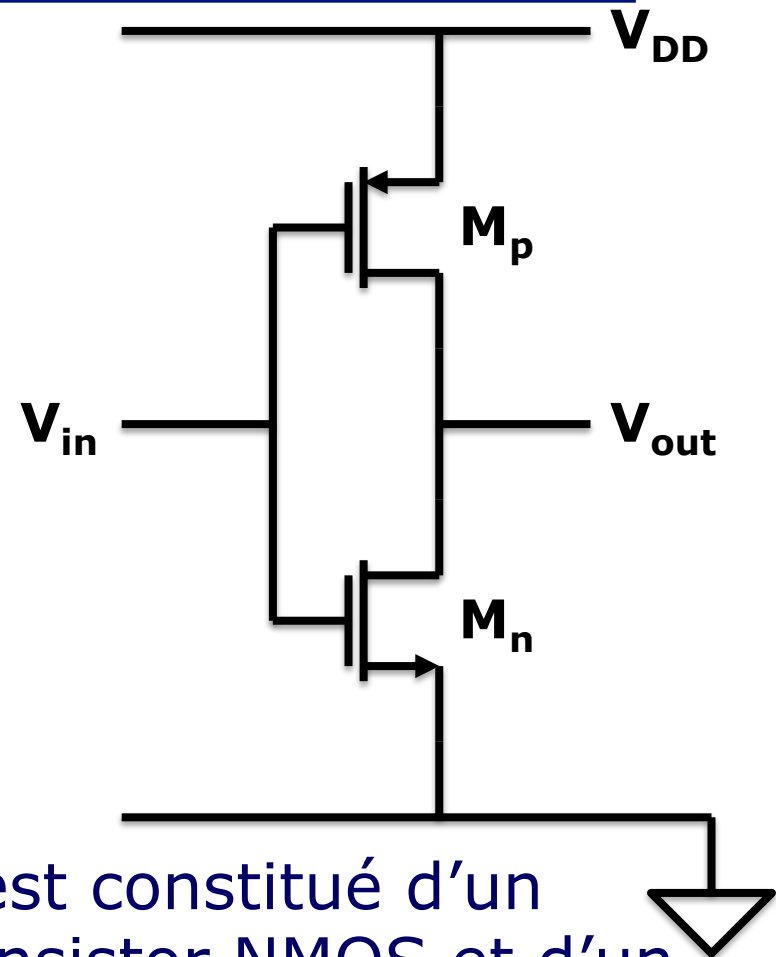
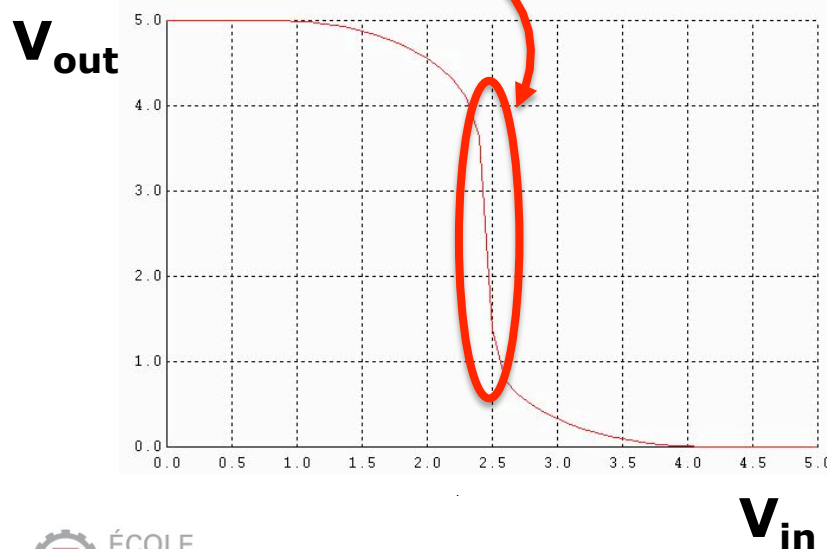
Aspects physiques

Plan

- Fonctionnement de l'inverseur :
 - Linéaire (analogique) – rappel
 - Non-linéaire – fonctionnalité logique
- Représentation des nombres (base binaire)
- Métriques para-fonctionnelles
 - marges de bruit
 - performance (vitesse) et capacités
 - consommation
 - niveaux d'abstraction

Inverseur CMOS : fonctionnement linéaire

- Rappel (cf cours 3)
 - L'inverseur CMOS est un amplificateur analogique pour un signal d'entrée centré autour du point de gain maximal



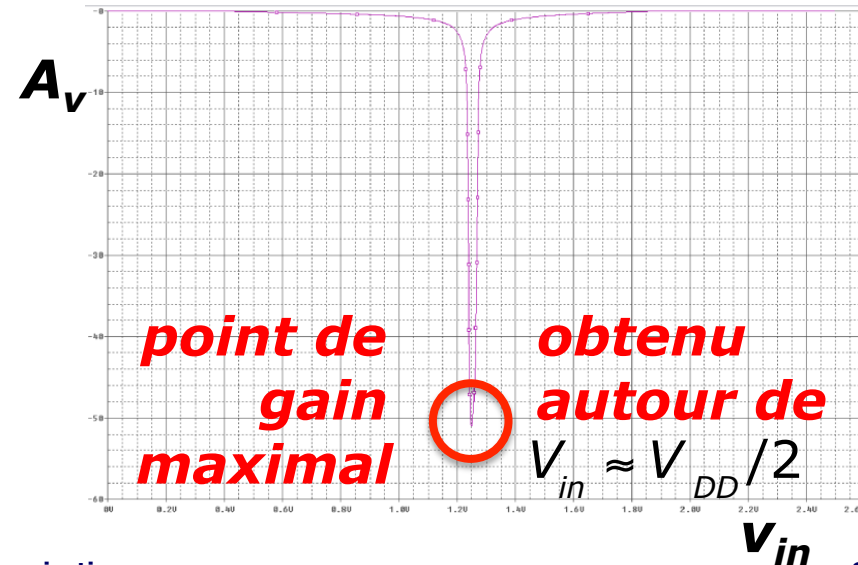
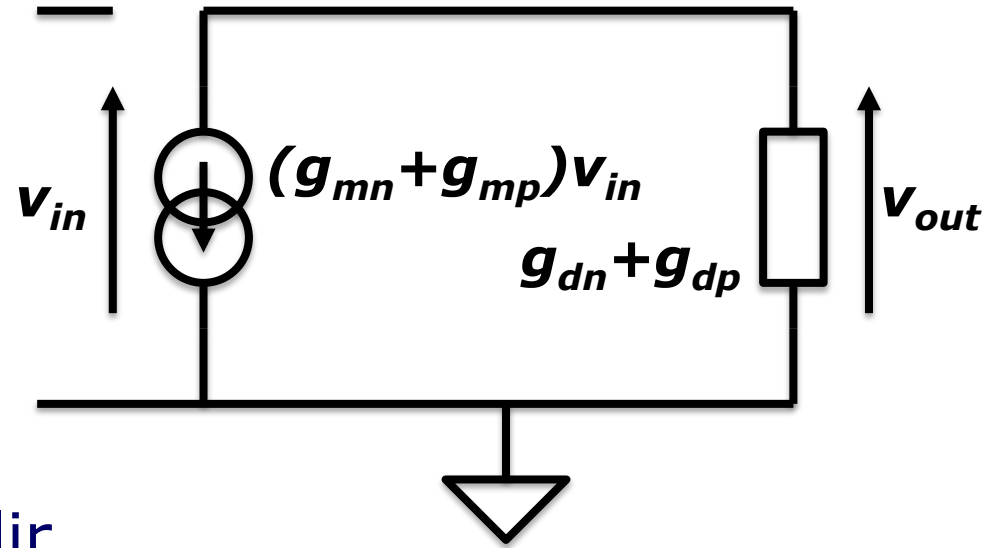
- Il est constitué d'un transistor NMOS et d'un transistor PMOS, connectés en série entre V_{DD} et Gnd

Inverseur CMOS : fonctionnement linéaire

- Rappel (cf cours 3)

- Pour analyser le fonctionnement linéaire, il faut établir le schéma équivalent petit-signal
- Ceci permet d'établir que le gain linéaire de l'inverseur peut s'écrire

$$A_v = \frac{V_{out}}{V_{in}} = - \frac{(g_{mn} + g_{mp})}{(g_{dn} + g_{dp})}$$



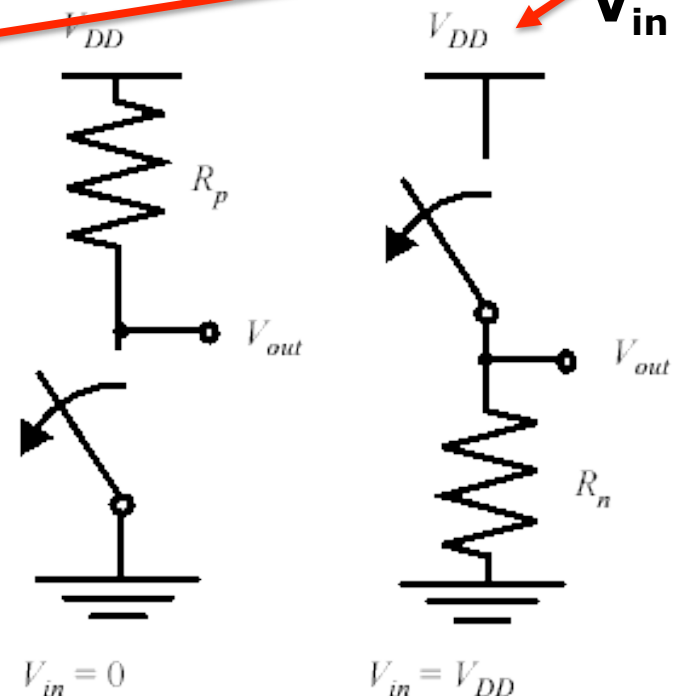
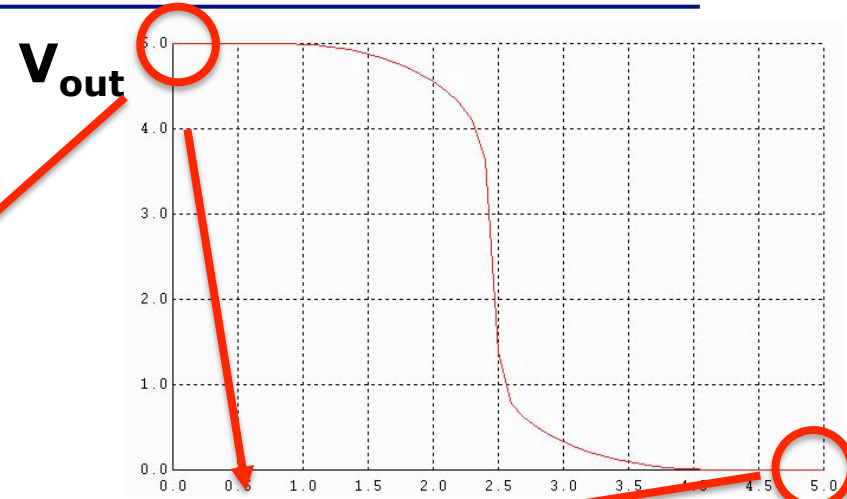
Inverseur CMOS : fonctionnement logique

- En logique, l'inverseur ne s'utilise qu'aux points extrêmes :

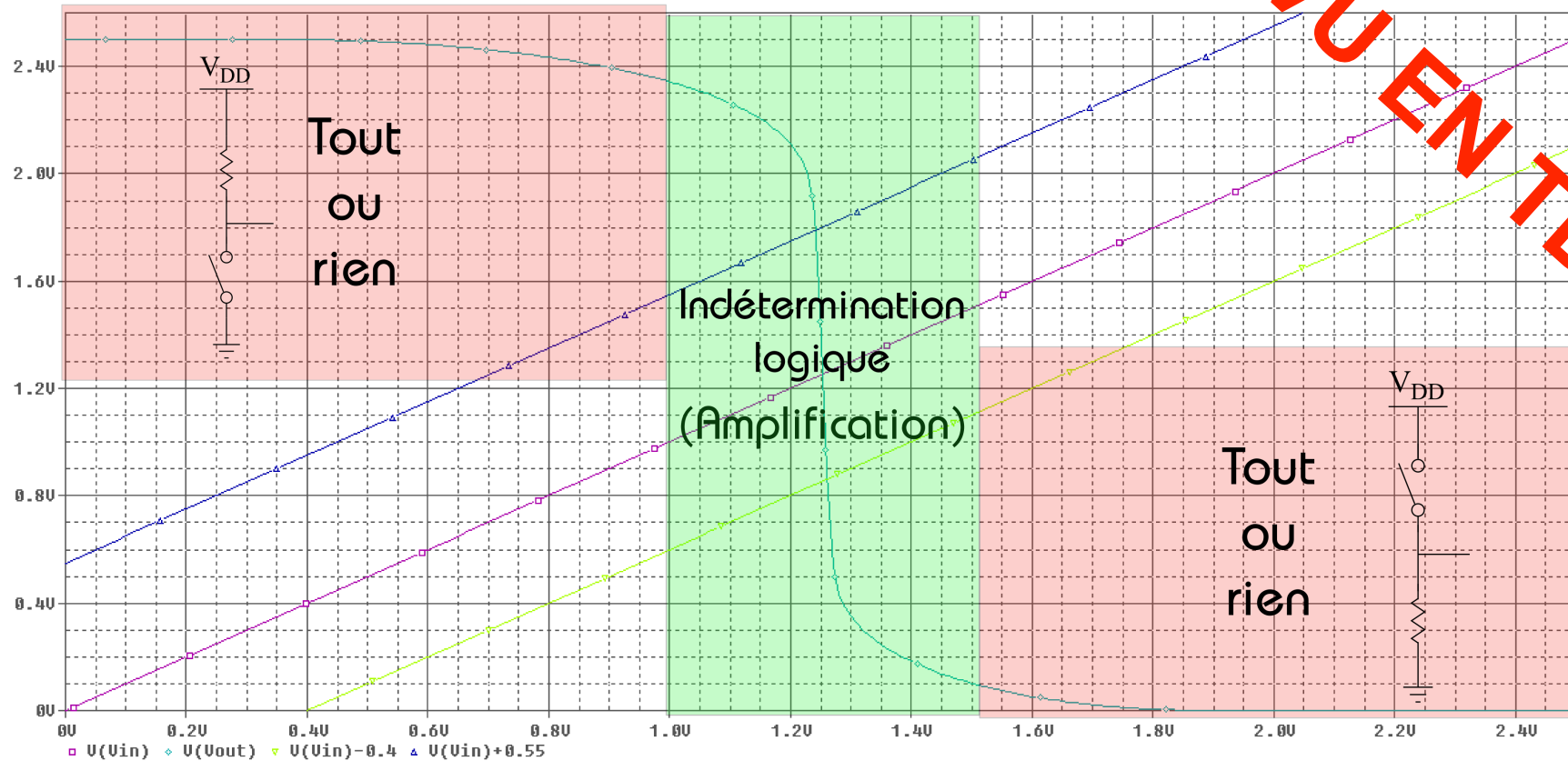
$$V_{out} \Big|_{V_{in}=0V} = V_{DD}$$

$$V_{out} \Big|_{V_{in}=V_{DD}} = 0V$$

- 0V = niveau logique '0'
- V_{DD} = niveau logique '1'
- $V_{out} = \text{INV}(V_{in})$
- Fonctionnement non-linéaire « tout ou rien »



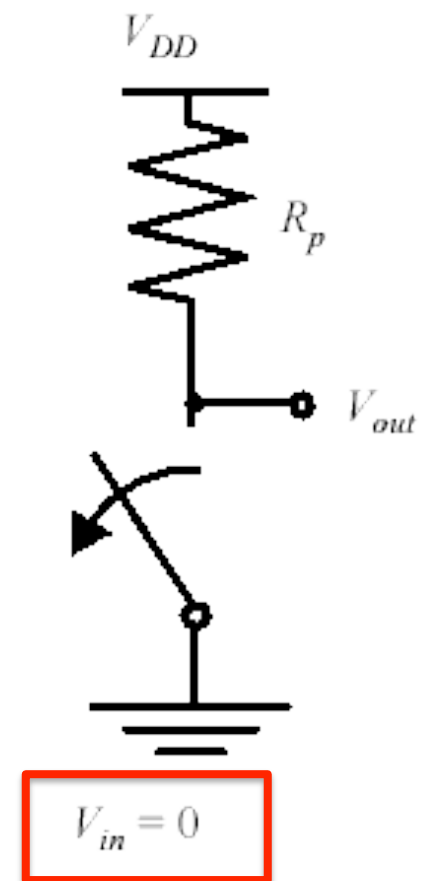
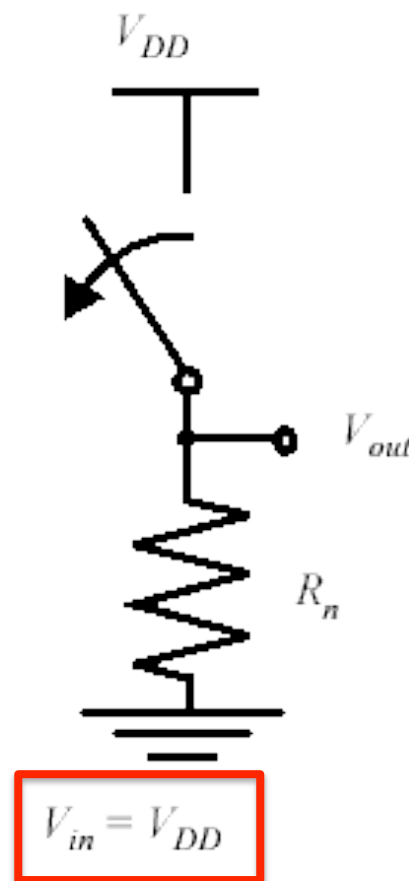
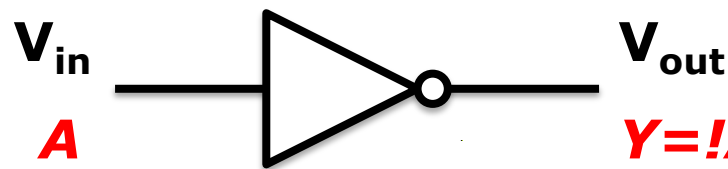
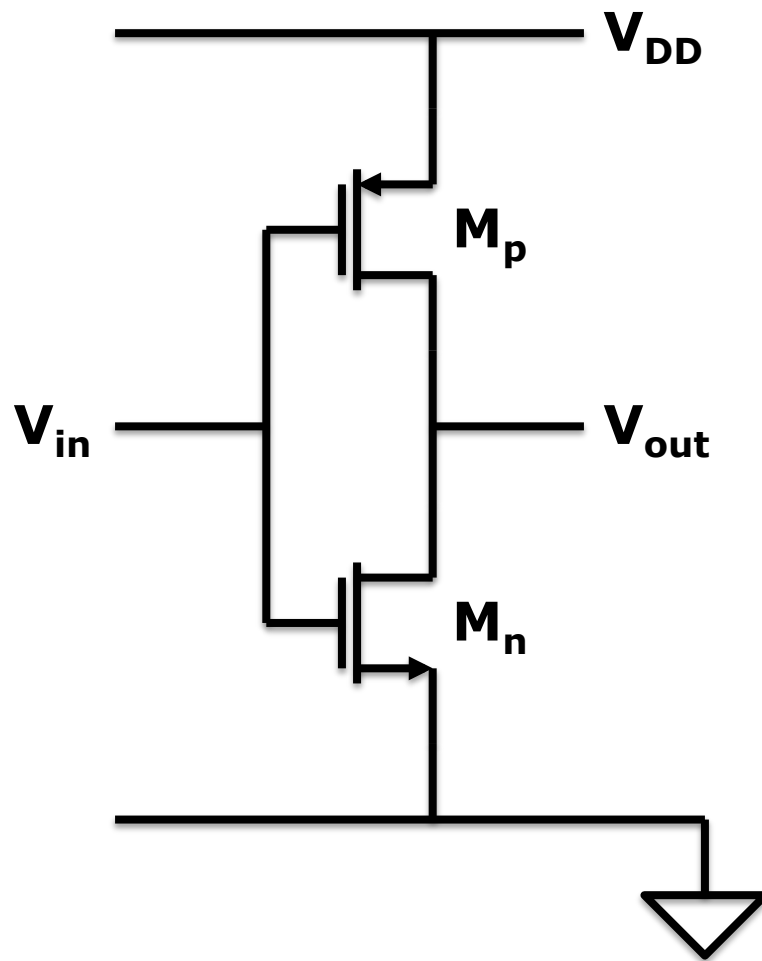
Régimes de fonctionnement



L'inverseur CMOS

- Brique de base des systèmes numériques
- Comportement électrique simple extrapolable aux briques plus complexes
- Principes
 - Fonctionnalité logique (régime statique)
 - Marges de bruit (régime statique)
 - Performance : régime dynamique (transitoire)
 - Consommation énergétique

Fonctionnalité logique (régime statique)



2 états (circuits équivalents) pour chaque point de fonctionnement

$V_{in} = V_{DD} : M_n = R_n ; M_p = R_{off} = \infty$

$V_{in} = 0V : M_n = R_{off} = \infty ; M_p = R_p$

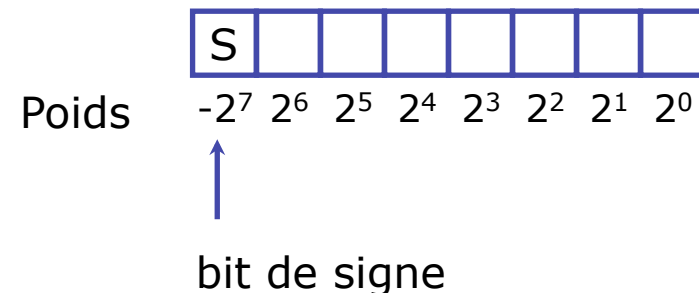
$Y = !A$

Discussion sur le régime statique

- Dynamique égale à la tension d'alimentation
 - Niveau logique haut ' 1 ' = V_{DD}
 - Niveau logique bas ' 0 ' = $Gnd = 0V$
- **Toujours** un chemin (résistance finie) entre la sortie et V_{DD}/Gnd
- Pas de chemin **direct** entre V_{DD} et $Gnd \Rightarrow$ pas de courant statique (consommation nulle)
- Résistance de sortie faible (qqs $k\Omega$) :
« sortance » très élevée
- Résistance d'entrée très élevée
(théoriquement ∞ ; courant statique quasi nul)

Parenthèse : Représentation des nombres

- Un signal numérique (un bit) ne peut prendre que deux valeurs ('0' ou '1')
- Pour représenter une valeur réelle (espace continu) il est nécessaire d'utiliser plusieurs bits
- La représentation la plus simple est la représentation dite de **virgule fixe**
- Exemple sur 8 bits, nombre entier :
 - Binaire 1010 1000
 - Hexadécimal A 8
 - Décimal $-2^7 + 2^5 + 2^3 = -88$
- cas général: valeur bornée $-2^{(N-1)} \leq V \leq 2^{(N-1)} - 1$

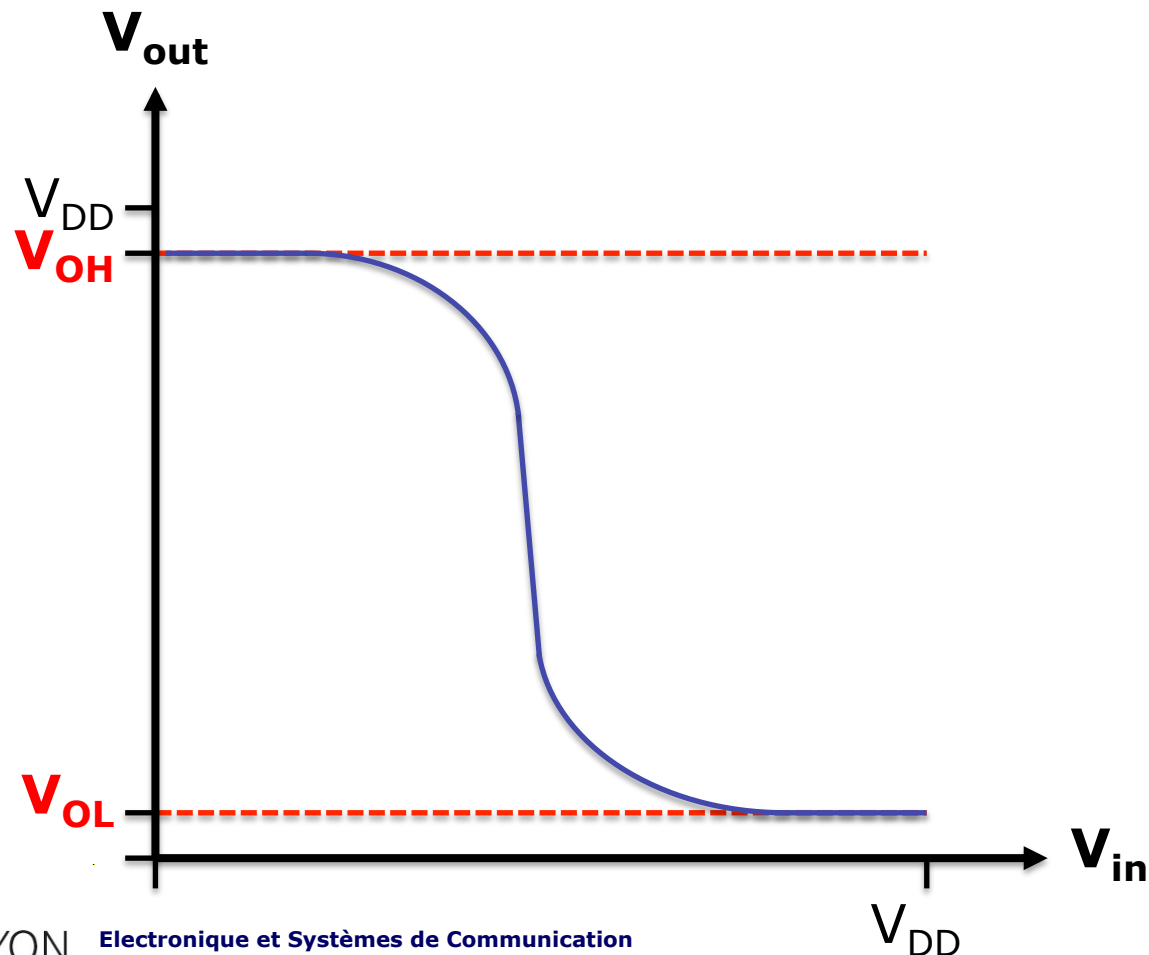


Marges de bruit

- Chaque bit est individuellement très peu sensible aux perturbations (bruit, diaphonie, variabilité ...)
- Robustesse des circuits numériques
- Quel niveau de bruit le circuit peut-il supporter ?
- Notion de marge de bruit

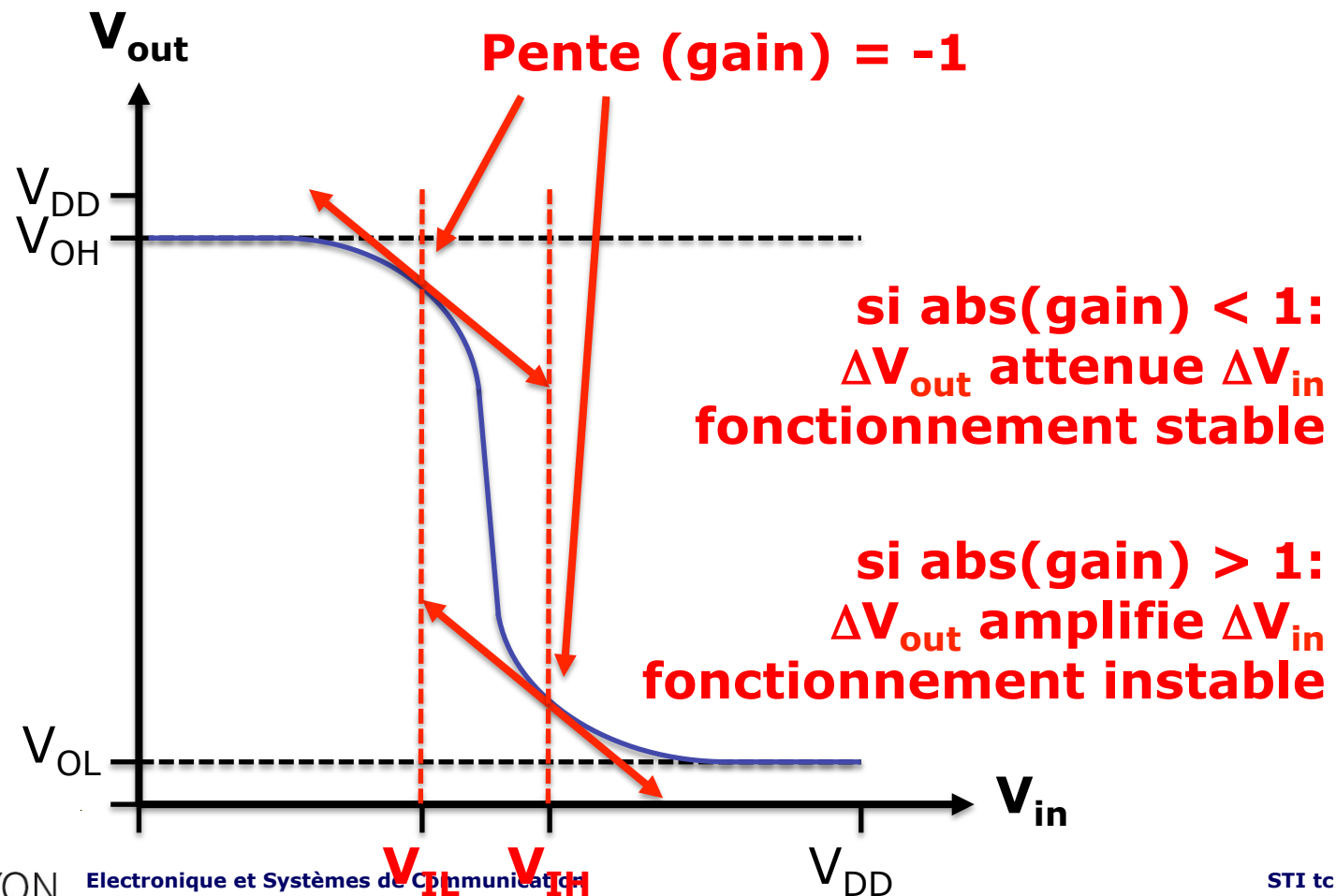
Niveaux de sortie V_{OH} V_{OL}

- Cas général :
 - V_{OH} / V_{OL} : niveaux de tension maximal / minimal que peut délivrer la porte



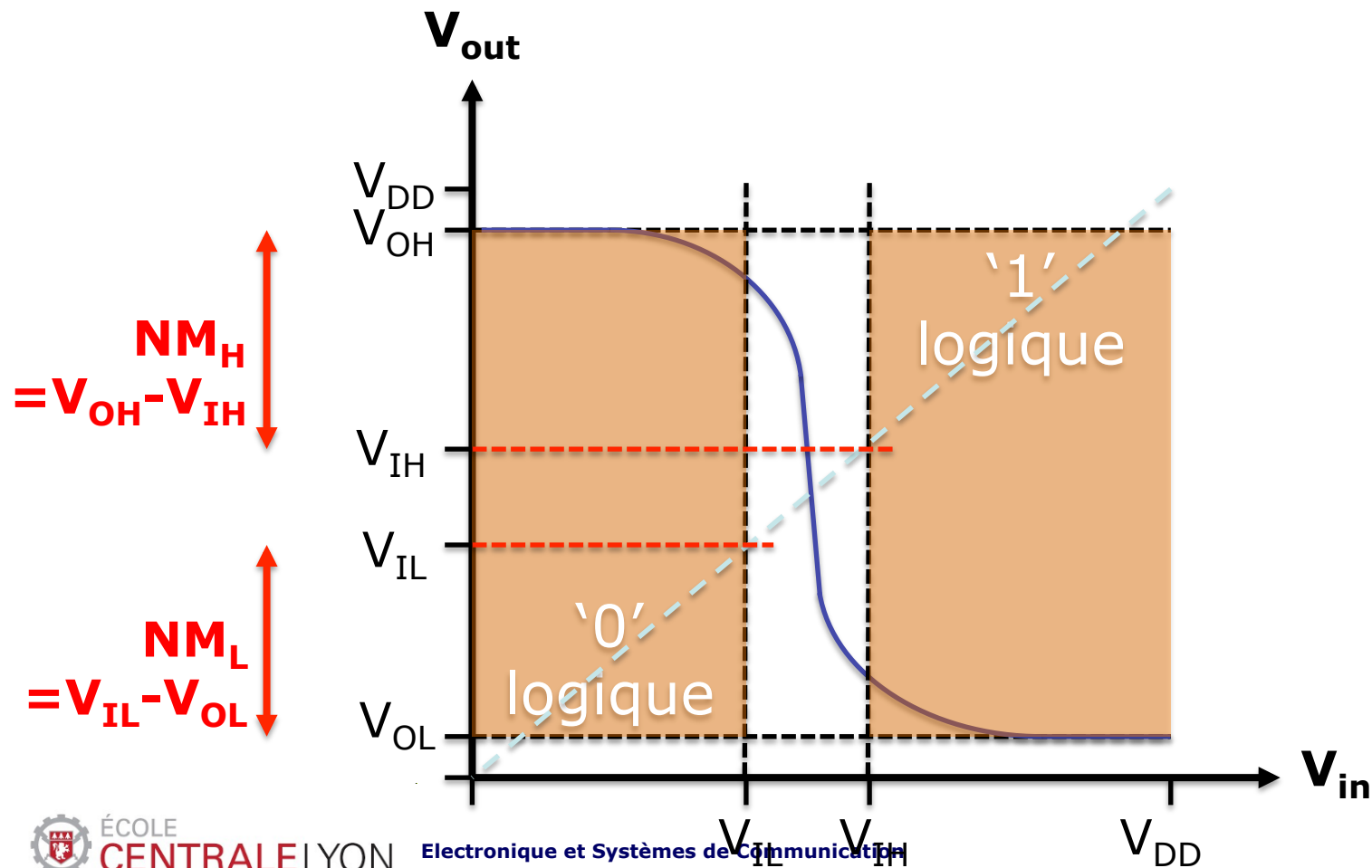
Limites de tension d'entrée V_{IH} V_{IL}

- Cas général :
 - V_{IH} / V_{IL} : niveaux de tension d'entrée minimal / maximal que la porte comprend comme '1' et '0'

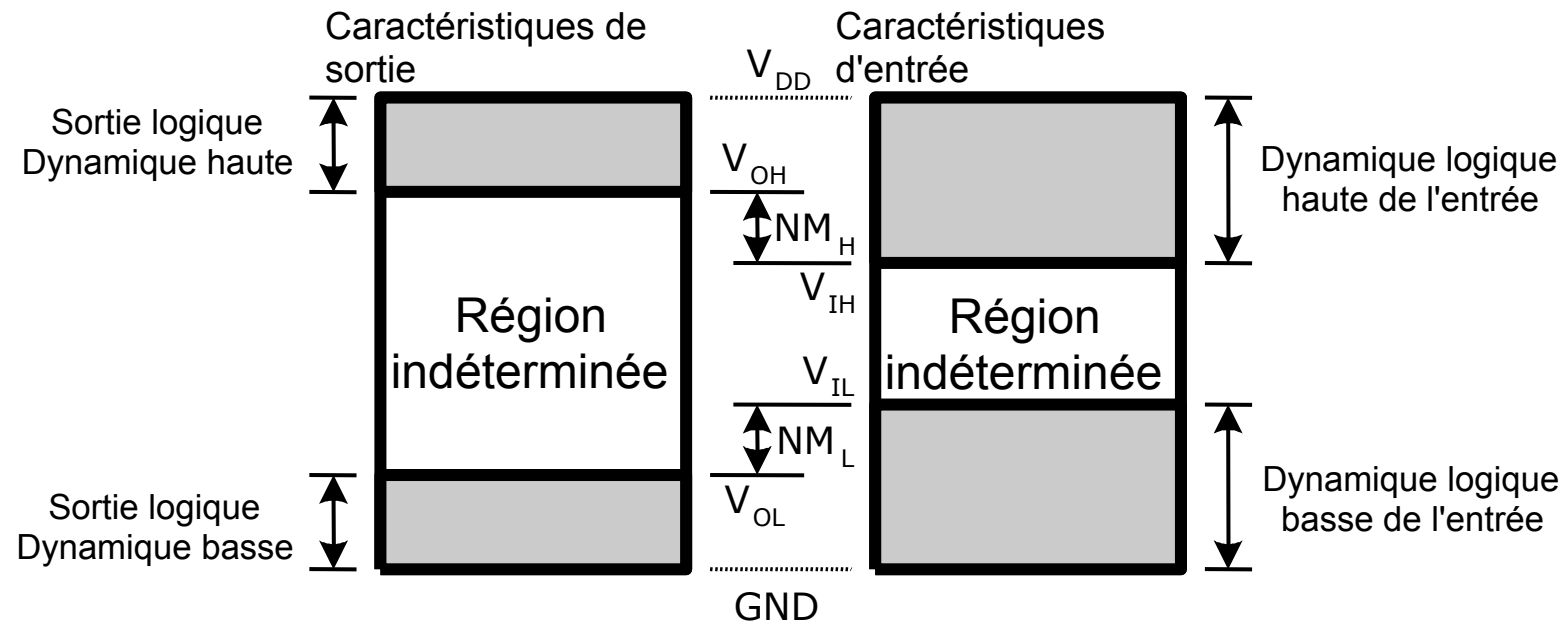


Marges de bruit NM_H NM_L

- Différences entre
 - ce que peut délivrer une porte en sortie et
 - ce que peut comprendre une porte en entrée



Vue d'ensemble



$$NM_L = V_{IL} - V_{OL}$$

$$NM_H = V_{OH} - V_{IH}$$

Application numérique

$$V_{out} \Big|_{V_{in}=0V} = V_{OH} = 1.13V$$

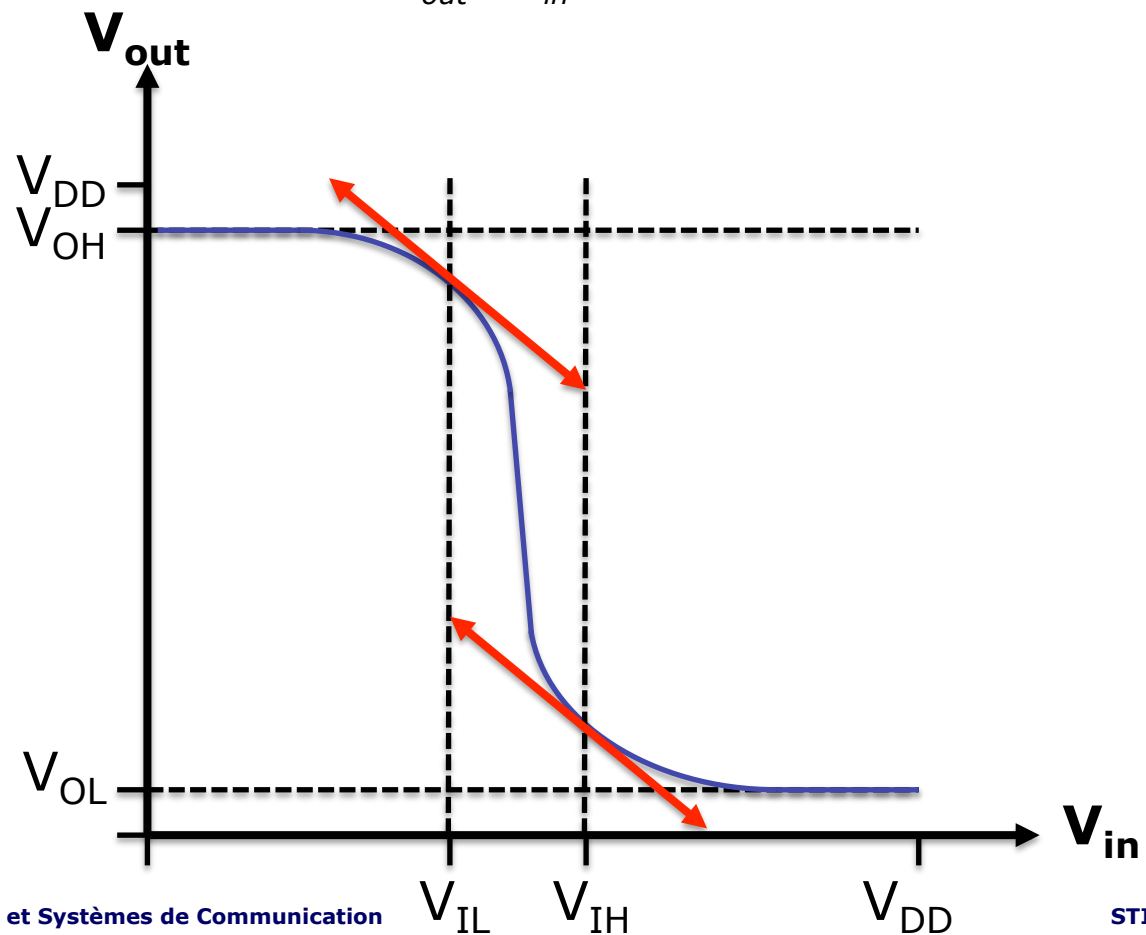
$$V_{in} \Big|_{dV_{out}/dV_{in}=-1} = V_{IL} = 0.65V$$

$$V_{out} \Big|_{V_{in}=V_{DD}} = V_{OL} = 0.07V$$

$$V_{in} \Big|_{dV_{out}/dV_{in}=-1} = V_{IH} = 0.73V$$

$$\begin{aligned} NM_H &= V_{OH} - V_{IH} \\ &= 1.13 - 0.73 = 0.4V \end{aligned}$$

$$\begin{aligned} NM_L &= V_{IL} - V_{OL} \\ &= 0.65 - 0.07 = 0.58V \end{aligned}$$



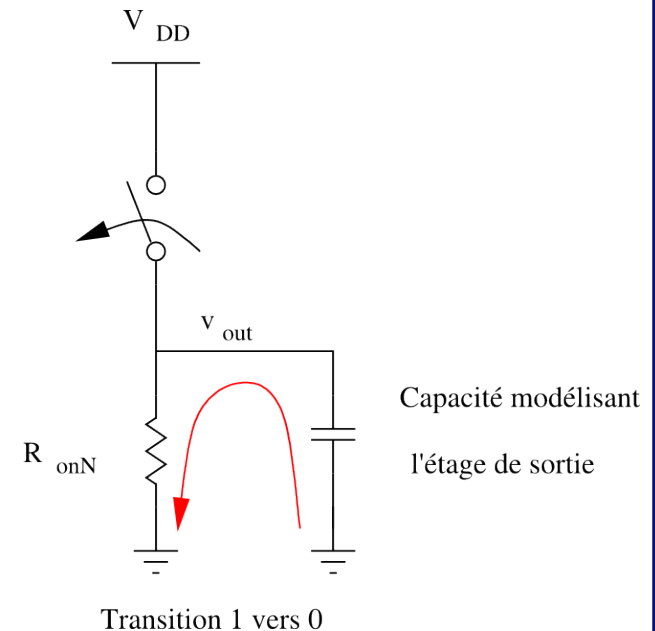
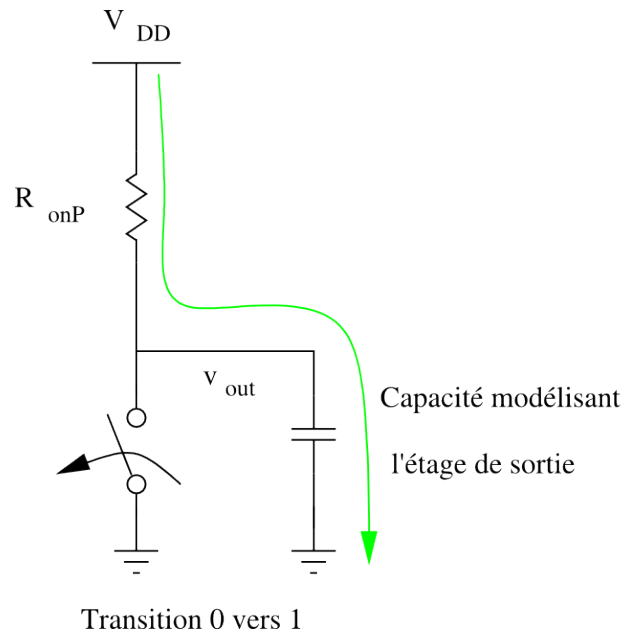
Performance (vitesse)

- Performance = vitesse de commutation entre les états de la porte
- Plus la porte commute rapidement, plus elle pourra effectuer un nombre important d'opérations logiques en un temps donné
- Le terme exact est le **temps de propagation t_p** (mesuré en s)
- À l'échelle du microprocesseur, le nombre d'instructions pouvant être effectués par seconde est inversement proportionnel à la somme des t_p des portes de son chemin critique

Comportement dynamique

- Facteurs influant le temps de propagation
 - C_L : somme des capacités parasites sur V_{out}
 - I_{on} : principalement $I_{sat} = f(\mu C_{ox}, W/L, (V_{DD} - V_t)^2)$
 - V_{DD} : dépendance proportionnelle linéaire MAIS (cf I_{on}) dépendance inversement proportionnelle quadratique

$$I = C \frac{dV}{dt}$$
$$t_p = \frac{C_L V_{DD}}{I_{on}}$$



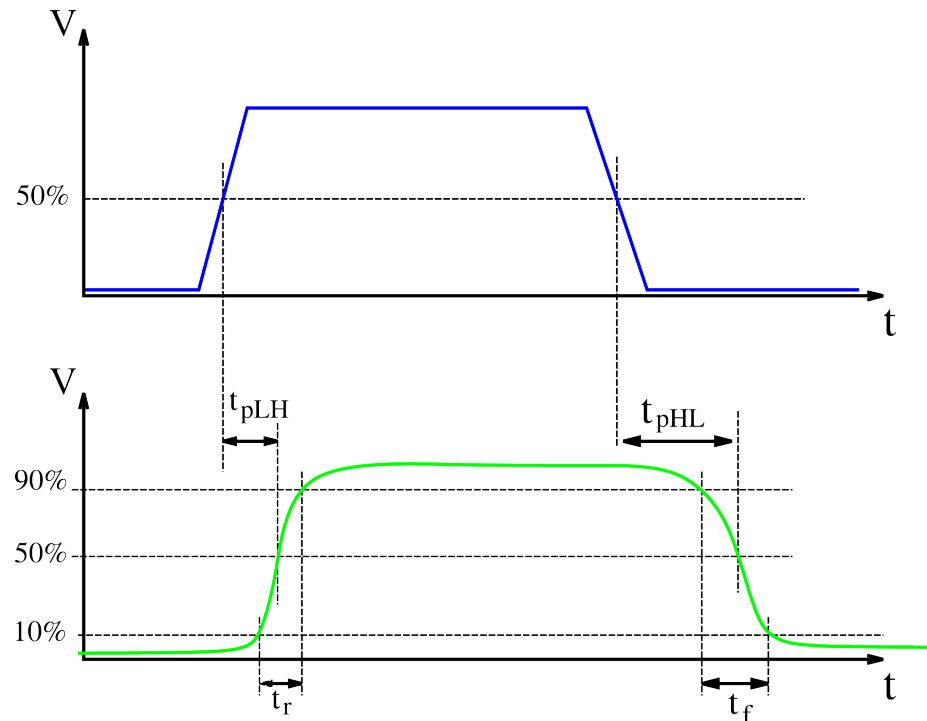
Mesure du temps de propagation

- La mesure du temps s'effectue à $V_{DD}/2$
- Deux mesures pour deux commutations
 - t_{pLH} : chargement de C_L à travers M_p
 - t_{pHL} : déchargement de C_L à travers M_n

$$t_{pLH} = \left[t \Big|_{V_{out}=V_{DD}/2} - t \Big|_{V_{in}=V_{DD}/2} \right]_{dV_{out}/dt > 0}$$

$$t_{pHL} = \left[t \Big|_{V_{out}=V_{DD}/2} - t \Big|_{V_{in}=V_{DD}/2} \right]_{dV_{out}/dt < 0}$$

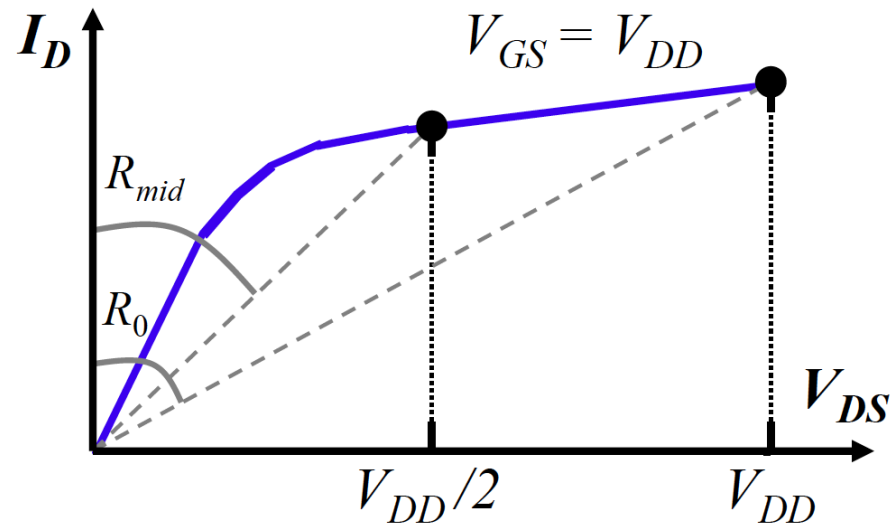
$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$



Calcul du temps de propagation (1/2)

$$t_p = \frac{C_L V_{DD}}{I_{on}}$$

- I_{on} n'est pas une valeur constante
- On ramène le calcul à une estimation de la valeur moyenne de la résistance du canal



$$R_{eq} = \frac{1}{V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{V}{\frac{\mu C_{ox}}{2} \frac{W}{L} (V_{DD} - V_T)^2 (1 + \lambda V)} dV \approx \frac{3}{4} \frac{V_{DD}}{\frac{\mu C_{ox}}{2} \frac{W}{L} (V_{DD} - V_T)^2} \left(1 + \frac{7}{9} \lambda V_{DD} \right)$$

- Expression très approximative – ne pas mémoriser !

Calcul du temps de propagation (2/2)

- ainsi : circuit RC constitué de R_{onP} ou R_{onN} et C_L se chargeant à V_{DD} ou se déchargeant à 0
- Cas R_{onP} (transition 0 → 1)

$$t_{pLH} = \left[t \Big|_{V_{out}=V_{DD}/2} - t \Big|_{V_{in}=V_{DD}/2} \right]_{dV_{out}/dt > 0}$$

– Supposons V_{in} échelon idéal $u(t)$

- $t < 0 : u(t) = 1$
 - $t > 0 : u(t) = 0$
- ➔ $t \Big|_{V_{in}=V_{DD}/2} = 0$

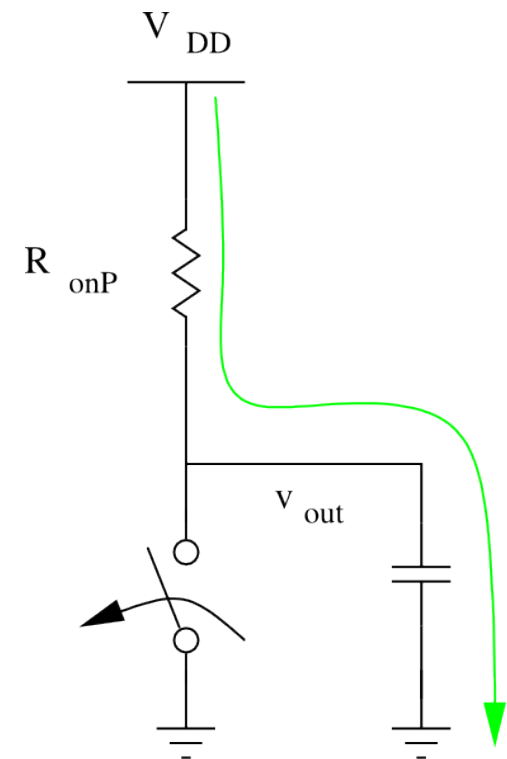
– V_{out} augmente exponentiellement

$$V_{out} / V_{in} = 1 - \exp^{-t/R_{onP}C_L}$$

$$t = -R_{onP}C_L \ln(1 - V_{out} / V_{in})$$

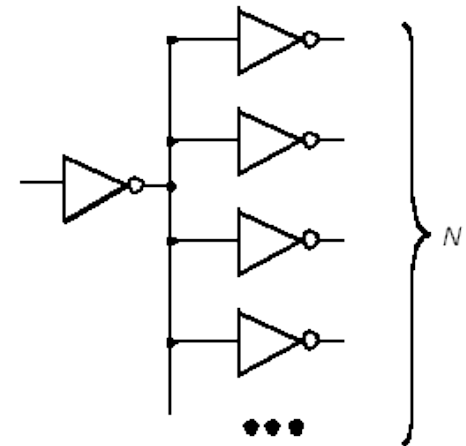
$$t \Big|_{V_{out}=V_{DD}/2} = -R_{onP}C_L \ln(0.5)$$

$$t_{pLH} = \left[t \Big|_{V_{out}=V_{DD}/2} - t \Big|_{V_{in}=V_{DD}/2} \right] = 0.69R_{onP}C_L$$



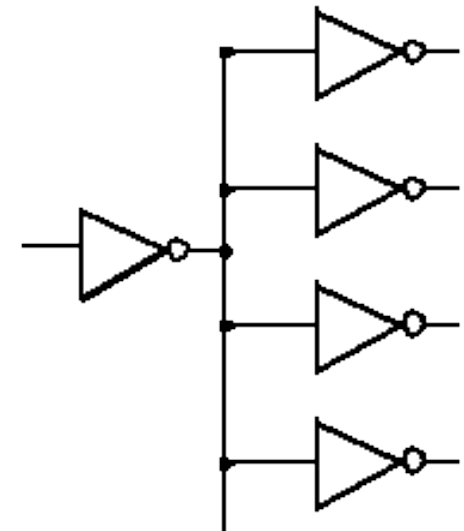
C_L et la notion de sortance (fanout)

- C_L est une somme de capacités **parasites** :
 - C_{dx} (drain-grille/substrat) de la porte elle-même
 - Capacités des interconnexions
 - Entrée capacitive de la (des) porte(s) en aval (capacité grille-source/substrat de chaque transistor). Plus le nombre de portes connectées à la sortie est important, plus C_L sera élevée
 - Sortance (fan-out) N : nombre de portes connectées en sortie
 - La sortance maximale d'une porte dépend
 - du t_p désiré (fréquence de fonctionnement)
 - des W/L des transistors (I_{on})



Application numérique (1/2)

- Les transistors M_p et M_n d'un inverseur ont une résistance moyenne de canal de $30k\Omega$ et de $20k\Omega$ respectivement, et une capacité grille-substrat de $15fF$ et de $10fF$ respectivement.
- Lorsque l'inverseur est connecté à quatre autres inverseurs du même type à travers une interconnexion présentant une capacité parasite de $20fF$ au total, quel sera le temps de propagation t_p ?



Application numérique (2/2)

$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

$$t_{pLH} = 0.69R_{onP}C_L$$

$$t_{pHL} = 0.69R_{onN}C_L$$

$$C_L = C_{int} + 4C_{in} = 20fF + 4(15fF + 10fF) = 120fF$$

$$t_{pLH} = 0.69 \times 30k\Omega \times 120fF = 2.49ns$$

$$t_{pHL} = 0.69 \times 20k\Omega \times 120fF = 1.66ns$$

$$t_p = \frac{2.49ns + 1.66ns}{2} = 2.08ns$$

Consommation énergétique

- Plusieurs expressions / contributions :
 - Puissance statique (circuit au repos) : chemins de conduction existant entre les alimentations et les courants de fuite
 - Puissance dynamique : chargement de capacités (inévitables) et courants transitoires
 - Power-Delay Product (PDP) : énergie consommée par commutation
- À l'échelle du microprocesseur, la puissance de consommation impactera la taille des lignes d'alimentation et les besoins de refroidissement ; l'énergie consommée impactera l'autonomie (systèmes mobiles)

Consommation dynamique

- Consommation toujours mesurée au niveau de l'alimentation
- Énergie pour charger la capacité C_L (via PMOS) :

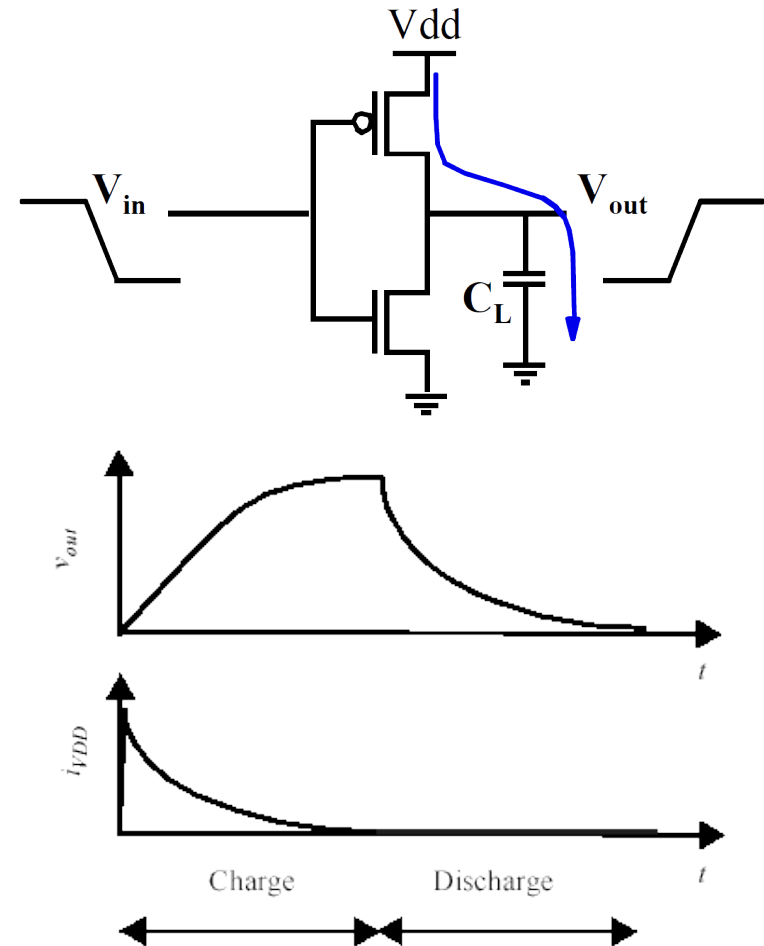
$$\int_0^{\infty} i_{VDD}(t) V_{DD} dt = V_{DD} \int_0^{\infty} C_L \frac{dv_{out}}{dt} dt$$

$$= C_L V_{DD} \int_0^{V_{DD}} dv_{out} = C_L V_{DD}^2$$

- Consommation :

$$P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1}$$

- avec $f_{0 \rightarrow 1}$ le nombre de transitions par seconde qui consomment



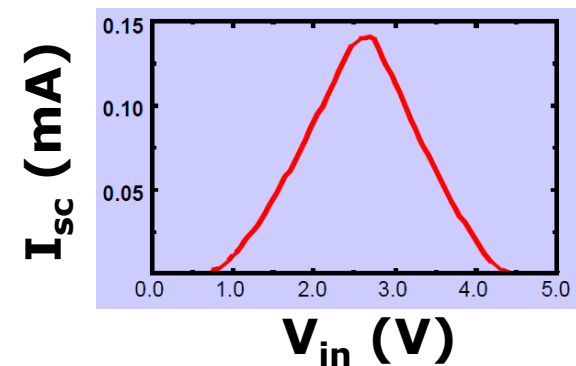
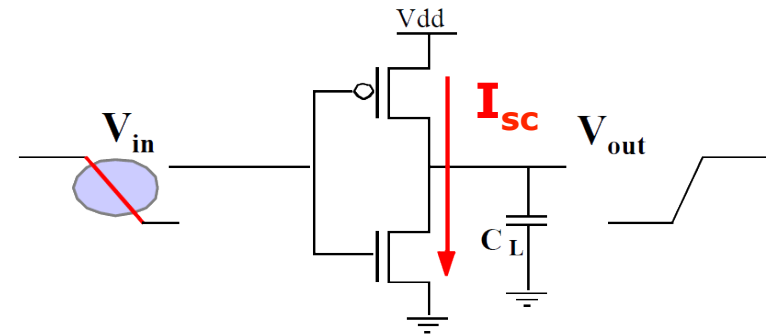
- Une porte ($0.25\mu\text{m}$), horloge de 500MHz, capacité de charge de 15fF, $V_{DD}=2.5\text{V}$ et un fanout de 4 : $50\mu\text{W}$

Consommation due aux chemins directs

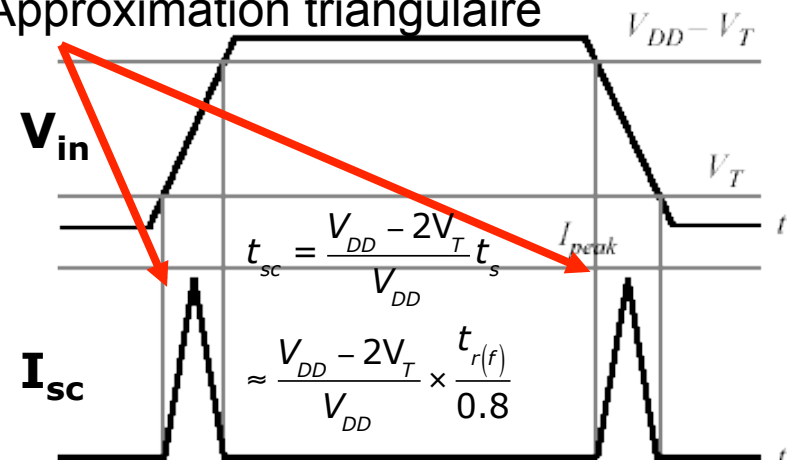
- Courant I_{sc} entre V_{DD} et Gnd pour $V_{tn} < V_{in} < V_{DD} - V_{tp}$
- 2 facteurs
 - temps de montée/descente de V_{in}
 - I_{sc} (W/L ...)
- Puissance moyenne consommée

$$E_{cd} = V_{DD} \left(\frac{I_{pic} t_{sc}}{2} + \frac{I_{pic} t_{sc}}{2} \right) = t_{sc} V_{DD} I_{pic}$$

$$P_{cd} = t_{sc} V_{DD} I_{pic} f$$

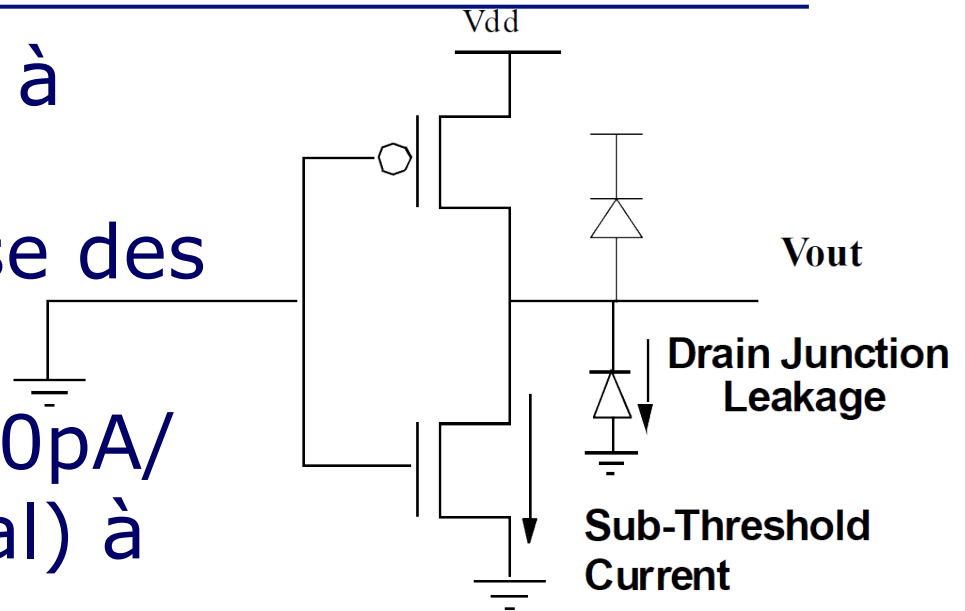


Approximation triangulaire



Consommation statique

- Courant de fuite I_{off} à travers jonctions polarisées en inverse des transistors
- Typiquement 10-100pA/ μm (largeur de canal) à 300K
- Consommation permanente, indépendante des opérations
- dépend de la température : $\times 60$ à 360K



- $I_{off} = 100\text{pA}/\mu\text{m}$ à 300K
- Largeur de drain des transistors d'une porte = $0.5\mu\text{m}$
- $V_{DD} = 2.5\text{V}$
- $P_{stat} = 2.5 \times 100\text{p} \times 0.5 = 0.125\text{nW}$
- A l'échelle de 100 millions de portes, $P_{stat} = 12.5\text{mW}$

Consommation totale et PDP

- Consommation totale = somme des contributions (dynamique, chemins directs, statique)

$$P_{tot} = P_{dyn} + P_{dc} + P_{stat}$$

$\begin{matrix} \sim 90\% & \sim 8\% & \sim 2\% \\ \Downarrow & \Downarrow & \Uparrow \end{matrix}$

- Power-Delay Product ou Energie moyenne par opération

$$PDP = P_{av} \cdot t_p$$

- Métrique d'une technologie : il faut consommer plus ($P_{av} \Uparrow$) pour fonctionner plus rapidement ($t_p \Downarrow$)
- On regarde les transitions donc principalement P_{dyn}
- Pire cas : $f_{max} = 1/(2t_p)$

$$PDP = \frac{C_L V_{DD}^2}{2}$$

Aide-mémoire

- Portes logiques : fonctionnement non-linéaire, tout-ou-rien
- Marges de bruit : capacité d'une porte à atténuer les perturbations à l'entrée (jusqu'à gain=-1)
- Temps de propagation : moyenne des t_p dus à M_n et à M_p ; $t_p = 0.69RC$
- Consommation énergétique : trois contributions (dynamique, chemins directs, statique). Principalement dynamique, avec énergie $C_L V_{DD}^2$ par commutation 0↗1

Références bibliographiques

- *Cours EE141* de Berkeley
- *Digital Integrated Circuits*, 2nd Edition, Jan M. Rabaey et al, Prentice Hall.
- *Operation and modeling of the MOS transistor*, Y. Tsividis, WCB/McGraw-Hill, 621.381 528 TSI
- *Design of analog CMOS integrated circuits*, Razavi Behzad , McGraw-Hill, 621.39 RAZ
- *Microelectronic circuits*, Sedra Adel S. et al., Oxford University Press, 621.381 5 SED