

Sujets d'évaluation de l'autonomie

Sujet 1 Etude d'un transistor MOS

On considère un transistor MOS de type N (référence NMOS5, niveau de modélisation 5). Ses dimensions et paramètres sont donnés ci-dessous :

	W (μm)	L (μm)	V _{TO} (V)	K' (A/V ²)	U _{ALIM} (V)
NMOS5	1	0.25	0.4	131×10^{-6}	2.5

1°) Faire la simulation sous PSPICE du transistor (relié à 2 générateurs VDC) afin d'observer les réseaux de caractéristiques : $I_{DS} = f(V_{GS})$ et $I_{DS} = f(V_{DS})$.

Identifiez les zones dans lesquelles le transistor est bloqué, ohmique, saturé.

2°) Sur la caractéristique $I_{DS} = f(V_{DS})$ avec $V_{GS} = 1\text{V}$, tracer (*Trace / Add Trace*) la courbe $I_{DS} = f(V_{DS})$ de niveau 0 (transistor idéal) vues en cours et TD en utilisant les paramètres du tableau.

Observations ?

3°) Donner (dessiner sur une feuille ou au tableau) les caractéristiques $I_{DS} = f(V_{GS})$ et $I_{DS} = f(V_{DS})$ d'un transistor PMOS.

Sujet 2 Etude d'un amplificateur MOS source commune

Faire la simulation temporelle du montage amplificateur source commune, composé d'un transistor NMOS et une résistance. On prendra un signal d'entrée sinusoïdal d'amplitude 200mV, d'offset 1.25v, et de fréquence 2KHz. Mesurer le gain.

Paramètres :

Transistor NMOS5: W = 5 μm , L = 0.25 μm

Résistance R = 3K Ω .

Tension d'alimentation V_{DD} = 2.5V

Sujet 3 Etude d'un amplificateur MOS drain commun

Faire la simulation temporelle sous PSPICE du montage amplificateur source commune, composé d'un transistor NMOS et une résistance. On prendra un signal d'entrée sinusoïdal d'amplitude 200mV, d'offset 1.25v, et de fréquence 2KHz. Mesurer le gain.

Paramètres :

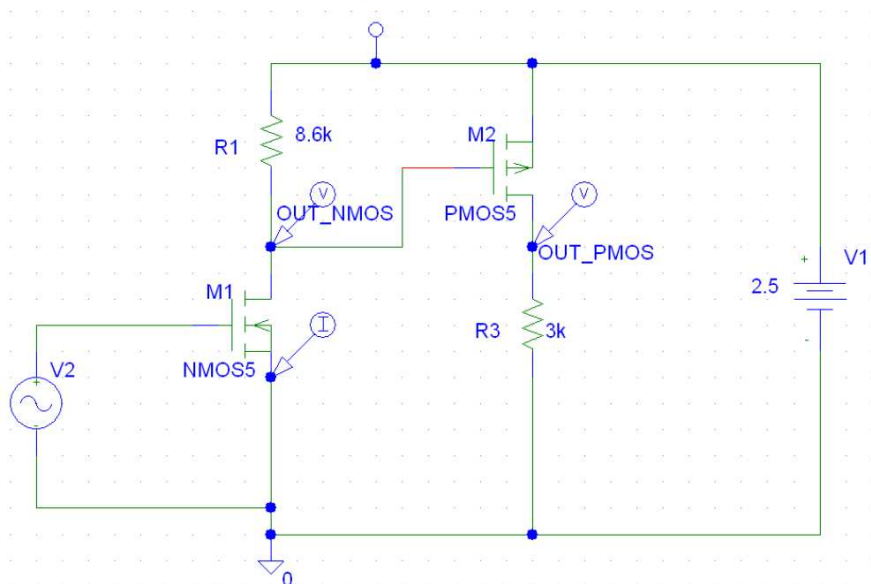
Transistor NMOS5: $W = 5\mu\text{m}$, $L = 0.25\mu\text{m}$

Résistance $R = 3\text{k}\Omega$.

Tension d'alimentation $V_{DD} = 2.5\text{V}$

Sujet 4 Amplificateur MOS à 2 étages - Etude statique

Procédez à l'étude du montage de la figure ci-dessous.



Les dimensions retenues pour les transistors MOS sont les suivantes : $W_{NMOS} = 3\mu\text{m}$, $W_{PMOS} = 8.7\mu\text{m}$ et $L_{NMOS} = L_{PMOS} = 0.25\mu\text{m}$.

On s'attachera à retrouver la caractéristique de transfert du premier étage ainsi que celle du montage global.

Expliquer pourquoi les signaux d'entrée et de sortie de chacun des étages sont inversés.
Retrouver les différents états de conduction (bloqué, ohmique, saturé) du transistor NMOS.

Quel est l'impact sur le signal de sortie si on modifie la composante continue du signal d'entrée ?

	V_{TO} (V)	K' (A/V ²)	λ (V ⁻¹)	V_{DD}
NMOS	0.4	131×10^{-6}	0.1	2.5V
PMOS	-0.55	45×10^{-6}	0.2	2.5V

Sujet 5 Etude d'un inverseur CMOS

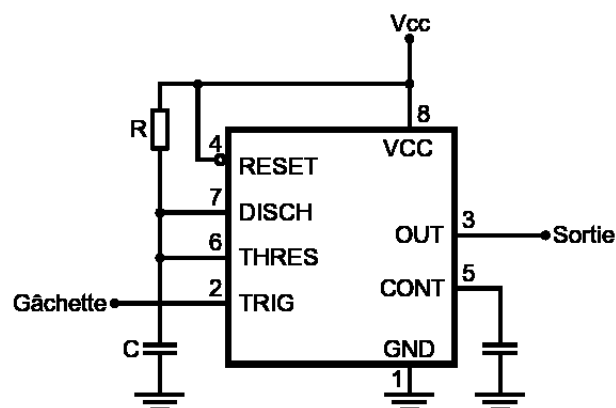
Implémentez l'inverseur CMOS vu en cours. Les dimensions retenues pour les transistors MOS sont les suivantes : $W_{\text{NMOS}} = 3\mu\text{m}$, $W_{\text{PMOS}} = 8.7\mu\text{m}$ et $L_{\text{NMOS}} = L_{\text{PMOS}} = 0.25\mu\text{m}$.

Identifiez (sur la caractéristique entrée- sortie) les différents modes de fonctionnement des transistors.

	V_{TO} (V)	K' (A/V ²)	λ (V ⁻¹)	V_{DD}
NMOS	0.4	131×10^{-6}	0.1	2.5 V
PMOS	-0.55	45×10^{-6}	0.2	2.5 V

En quelques simulations successives, retrouvez le rapport entre les dimensions des transistors NMOS et PMOS permettant une tension de commutation de $V_{\text{DD}}/2$. Pourquoi les transistors NMOS et PMOS doivent-ils avoir des dimensions différentes pour être électriquement identiques ?

Sujet 6 NE 555 en montage monostable



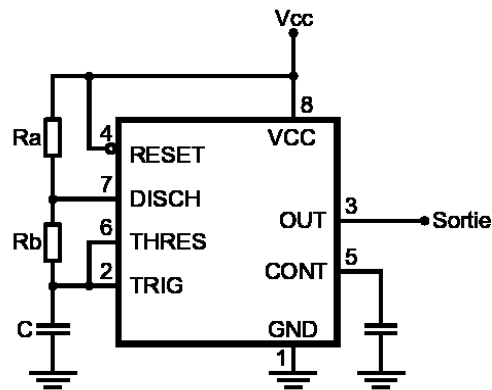
$V_{\text{CC}} = 5\text{V}$

Simuler le montage précédent et expliquer les courbes (gâchette, tensions du condensateur, sortie) en considérant 2 cas de figures différents.

- Sur la gâchette, le signal envoyé est une impulsion de durée $\tau/2$.
- Sur la gâchette, le signal envoyé est une impulsion de durée 3τ .

On appellera τ la constante de temps RC de ce montage

Conclusions?

Sujet 7 NE 555 en montage astable

$V_{cc} = 5v$

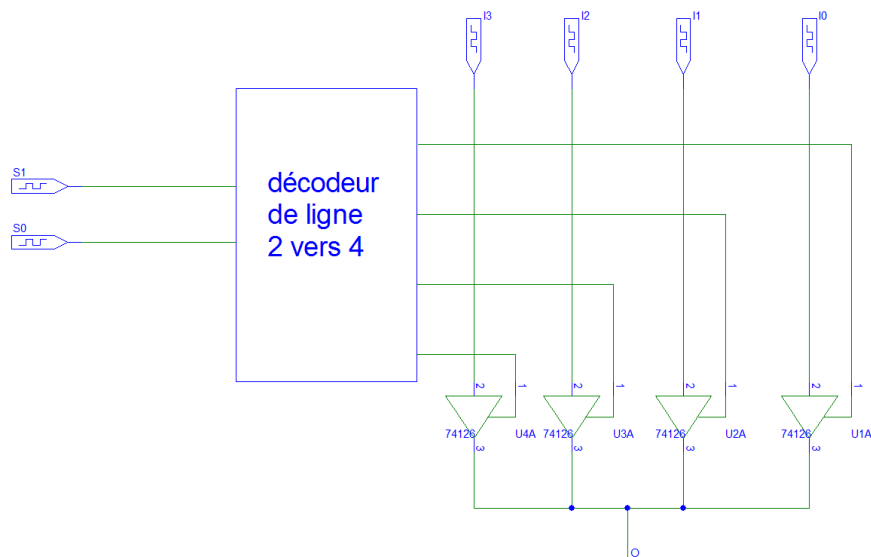
- Démontrez (chronogramme à l'appui) que le montage précédent génère un signal périodique dont vous déterminerez la période.
- Quel est le rapport cyclique de ce montage et comment peut-on le modifier?

Sujet 8 Logique combinatoire : multiplexeur 4 bits

Remarque préliminaire : pour l'électronique numérique, consulter le fichier excel de nomenclature pour les références des composants.

Faire la synthèse du décodeur 2 vers 4 pour en trouver les équations logiques et le schéma.

Dessiner et simuler le multiplexeur. On fera varier l'entrée n°1 (valeurs successives : 0101). Cette entrée sera sélectionnée par le décodeur afin d'observer les valeurs en sortie.



Sujet 9 Logique combinatoire : additionneur BCD

Remarque préliminaire : pour l'électronique numérique, consulter le fichier excel de nomenclature présent sur le site pédagogie pour les références des composants.

Compléter le schéma PSPICE (fichier *Adder_BCD_Student.sch*) et vérifier que l'architecture de l'additionneur BCD fonctionne dans tous les cas de figure. On notera l'utilisation des bus (ensemble de plusieurs fils) à la place de N fils en parallèle.

Sujet 10 Machine à états finis de Mealy détectant la séquence "10"

Remarque préliminaire : pour l'électronique numérique, consulter le fichier excel de nomenclature présent sur le site pédagogie pour les références des composants.

Implémenter la machine à états finis de Mealy détectant la séquence 10 (machine expliquée en cours). On utilisera des bascules D (référence PSPICE : 7474).

Simulez cette machine sous PSPICE, avec ce stimulus comme entrée : 0, 1, 1, 0, 0

Sujet 11 Etude d'une UAL (ALU) 4 bits

Définir l'architecture et simuler le fonctionnement d'un chemin de données composé d'une Unité Arithmétique et Logique (UAL, ALU) 4 bits (74181), et d'un registre (bascules D) 4 bits (74175).

L'opération à faire en simulation est : $2 \times E - 1$
(E étant l'entrée de donnée sur 4 bits, qui vaudra 3)

Extrait de datasheet du 74181 :

On notera qu'il faut configurer les entrées : $M = 0$, $C_n = 1$

MODE SELECT INPUTS				ACTIVE HIGH INPUTS AND OUTPUTS	
S_3	S_2	S_1	S_0	LOGIC ($M=H$)	ARITHMETIC ⁽²⁾ ($M=L$; $C_n=H$)
L	L	L	L	\overline{A}	A
L	L	L	H	$\overline{A + B}$	$A + B$
L	L	H	L	\overline{AB}	$A + \overline{B}$
L	L	H	H	logical 0	minus 1
L	H	L	L	\overline{AB}	A plus \overline{AB}
L	H	L	H	\overline{B}	(A + B) plus \overline{AB}
L	H	H	L	$A \oplus B$	A minus B minus 1
L	H	H	H	\overline{AB}	\overline{AB} minus 1
H	L	L	L	$\overline{A + B}$	A plus AB
H	L	L	H	$\overline{A \oplus B}$	A plus B
H	L	H	L	B	(A + \overline{B}) plus AB
H	L	H	H	AB	AB minus 1
H	H	L	L	logical 1	A plus A ⁽¹⁾
H	H	L	H	$A + \overline{B}$	(A + B) plus A
H	H	H	L	$A + B$	(A + \overline{B}) plus A
H	H	H	H	A	A minus 1

Pin Names	Description
$\overline{A}0-\overline{A}3$	Operand Inputs (Active LOW)
$\overline{B}0-\overline{B}3$	Operand Inputs (Active LOW)
$S0-S3$	Function Select Inputs
M	Mode Control Input
C_n	Carry Input
$\overline{F}0-\overline{F}3$	Function Outputs (Active LOW)
A = B	Comparator Output
\overline{G}	Carry Generate Output (Active LOW)
\overline{P}	Carry Propagate Output (Active LOW)
C_{n+4}	Carry Output