A blue and white logo

Description automatically generated with low confidence TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN – ĐH QUỐC GIA TP.HCM

KHOA ĐIỆN TỬ - VIỄN THÔNG

BỘ MÔN ĐIỆN TỬ

🙢🕮🙠

**BÁO CÁO GIỮA KÌ**

**(Topic 9)**

Môn: MẠCH TÍCH HỢP VÀ CÔNG NGHỆ

Giáo viên: Bùi Trọng Tú

Sinh viên: MSSV:

Nguyễn Văn Khải 20200225

Trần Phát Đạt 20200164

TP.HCM, ngày 30 tháng 06 năm 2023

NỘI DUNG

[I. Yêu cầu thiết kế đặt ra 3](#_Toc139637832)

[II. Thiết kế 3](#_Toc139637833)

[1. Biểu thức hàm. 3](#_Toc139637834)

[a. Ngõ ra CO: 4](#_Toc139637835)

[b. Ngõ ra S 4](#_Toc139637836)

[3. Mạch ở mức transistor 5](#_Toc139637837)

[4. Mô phỏng ở mức schematics 6](#_Toc139637838)

[a. Định kích thướt 6](#_Toc139637839)

[b. Mô phỏng dùng LTSpice 8](#_Toc139637840)

[c. Kết quả: 9](#_Toc139637841)

[5. Layout mạch và kiểm tra DRC, LVS 9](#_Toc139637842)

[a. Stick diagram 9](#_Toc139637843)

[b. Layout trên phần mềm GLADE 10](#_Toc139637844)

[d. DRC (design rule check) 10](#_Toc139637845)

[e. LVS (layout vs schematic) 10](#_Toc139637846)

[6. Mô phỏng sau layout 11](#_Toc139637847)

[7.Microwind 11](#_Toc139637848)

[III. Mở rộng full adder 4 bit 12](#_Toc139637849)

[14](#_Toc139637850)

[IV. Đánh giá 14](#_Toc139637851)

**TOPIC 9**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | S | CO |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**NỘI DUNG**

# I. Yêu cầu thiết kế đặt ra

- Mô phỏng Schematic đúng với chức năng của mạch.

- Layout mạch và kiểm tra DRC, LVS

- Đánh giá các đặc tính về thời gian và công suất của mạch

# II. Thiết kế

Mạch Full adder 1 bit

HA

HA

A

B

C

CO

S1

CO1

A

B

S

CO

## 1. Biểu thức hàm.

Truth Table

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | S | CO |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Từ bảng trạng thái trên ta thấy có 2 giá trị ngõ ra S, CO tương ứng với 3 ngõ vào A, B, C. Vì vậy, ta cần rút gọn hai biểu thức S và CO.

Biểu thức logic rút gọn dưới dạng SOP (sum-of-products, tổng của tích).

### a. Ngõ ra CO:

CO = B.C + A C + A.B. +A.B.C

Dùng bìa K – Map để rút gọn

Ta được CO = AB +AC +BC

|  |  |  |
| --- | --- | --- |
| C  AB | 0 | 1 |
| 00 |  |  |
| 01 |  | 1 |
| 11 | 1 | 1 |
| 10 |  | 1 |

### 

### b. Ngõ ra S

S = .C + + A.. +A.B.C (ta có = ++)

= ABC + (B)

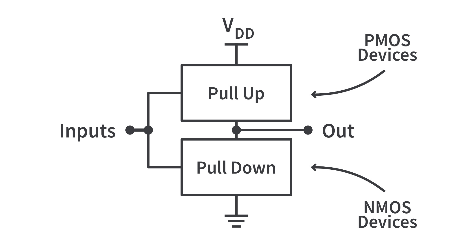
= ABC + (A + B + C*).( ++*) ( vì A.)

= C. + B. + A. + A.B.C

= (A + B +C). + A.B.C

Vậy, S = (A + B +C). + A.B.C

## 2. Mạch ở mức transistor



Pull up: dùng pMOS chỉ bật khi ngõ vào là 0

Pull down: dùng nMOS chỉ bật khi ngõ vào là 1

Vẽ các transistor ở nhánh pull down trước sau đó đổi ngược lại nhánh pull up.

Transistor được mắc theo quy tắc tương ứng với dấu “.” Là nối tiếp, “+” là song song. Nhánh pull up thì ngược lại.

Ngõ ra CO = A.B + C.(A + B)

Ngõ ra S = (A + B +C). + A.B.C

A

A

B

A

B

C

A

B

B

C

VDD

GND

VDD

A

C

B

A

A

B

B

C

C

A

B

C

GND

VDD

VDD

GND

GND

CO

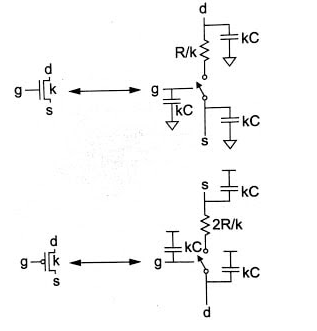
S

## 3. Mô phỏng ở mức schematics

### a. Định kích thướt

Kích thước của bóng bán dẫn có thể được thực hiện bằng cách sử dụng xấp xỉ độ trễ RC. Mô hình độ trễ RC giúp ước tính độ trễ mạch CMOS. Mô hình độ trễ RC xử lý các đặc tính dòng điện-điện áp IV và điện áp CV của tụ điện phi tuyến tính với mô hình điện trở và điện dung tương đương của chúng.

Mô hình độ trễ RC này xấp xỉ một bóng bán dẫn như một công tắc có một loạt điện trở hoặc điện trở hiệu dụng R (Là tỷ lệ giữa giá trị trung bình của Vds với Ids). Kích thước của một bóng bán dẫn đơn vị xấp xỉ bằng 4/2 lambda. Các mô hình mạch RC tương đương cho các bóng bán dẫn PMOS và NMOS được hiển thị bên dưới.

A picture containing diagram, line, plan, text

Description automatically generated

Kích thướt PMOS:

Đối với một bóng bán dẫn PMOS đơn vị, điện trở hiệu dụng với độ rộng k được cho bởi 2R/k.  
Bằng cách xem xét mạng pull-up trong mạch trên, chúng ta sẽ tìm ra trường hợp xấu nhất (the worst-case) hoặc đường dẫn dài nhất đến VDD. Trong mạng trên, con đường B-A-A là con đường dài nhất (đường màu đỏ). Vì vậy, chúng ta có thể viết phương trình (2R/k)+(2R/k)+(2R/k) = R, trong đó R là điện trở hiệu dụng. Phương trình đưa ra giá trị của k = 6. Do đó, giá trị k của các bóng bán dẫn B, A và A sẽ là 6.

Kích thướt NMOS:

Đối với một bóng bán dẫn NMOS đơn vị, điện trở hiệu dụng với độ rộng k được cho bởi R/k.

Trong mạng trên, trường hợp xấu nhất hoặc đường dẫn dài nhất có thể được nhìn thấy là với hai bóng bán dẫn. (Các con đường AB, AC, và BC). Vì vậy, chúng ta có thể viết mối quan hệ 2 \* R/k = R, Vì vậy, giá trị k của tất cả các bóng bán dẫn NMOS sẽ là 2 vì tất cả đều nằm trong đường dẫn dài nhất.

A picture containing diagram, text, plan, technical drawing

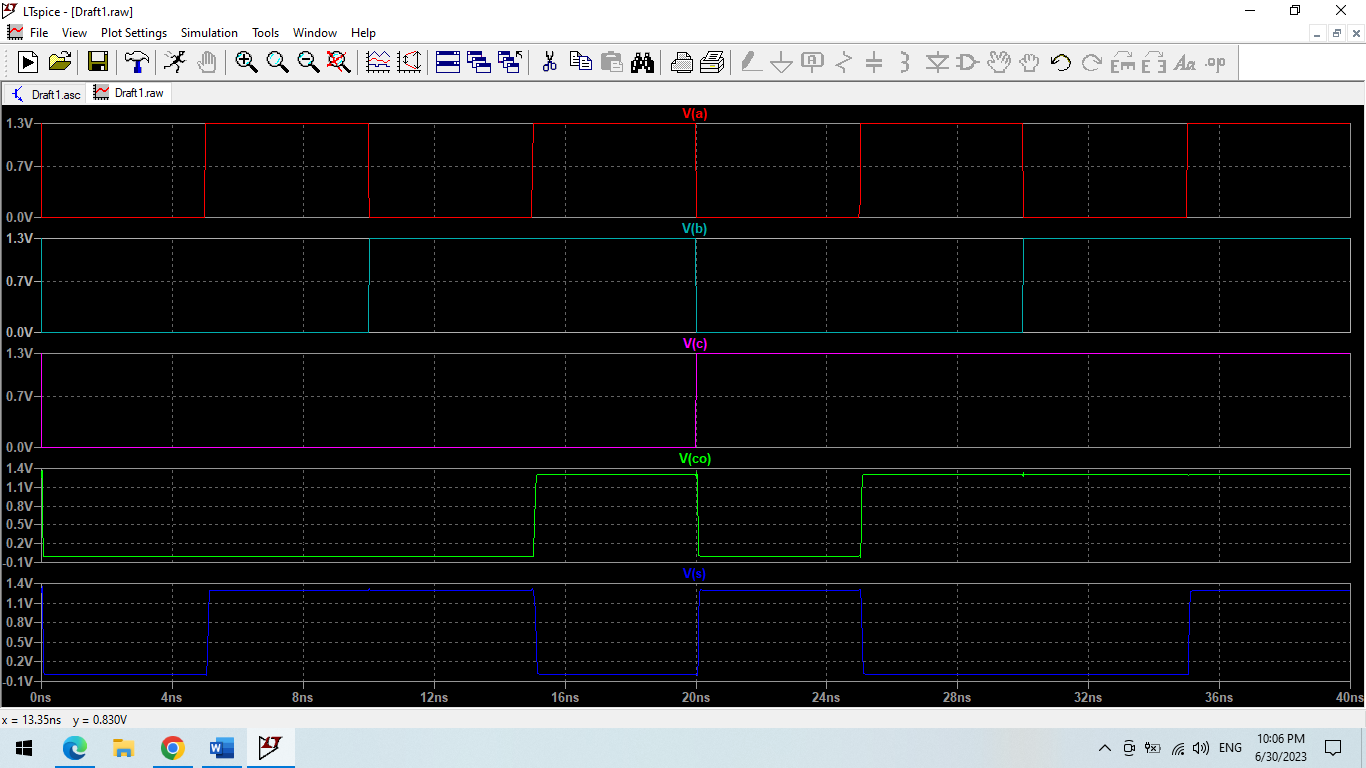
Description automatically generated

### b. Mô phỏng dùng LTSpice

A picture containing text, diagram, plan, schematic

Description automatically generated

### c. Kết quả:



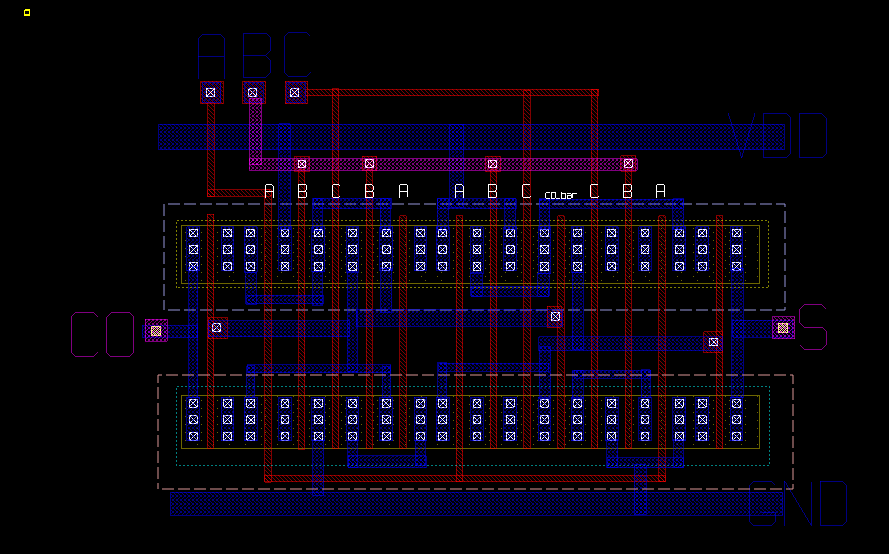
## 4. Layout mạch và kiểm tra DRC, LVS

## a. Stick diagram

A picture containing text, handwriting, diagram, plan

Description automatically generated

### b. Layout trên phần mềm GLADE



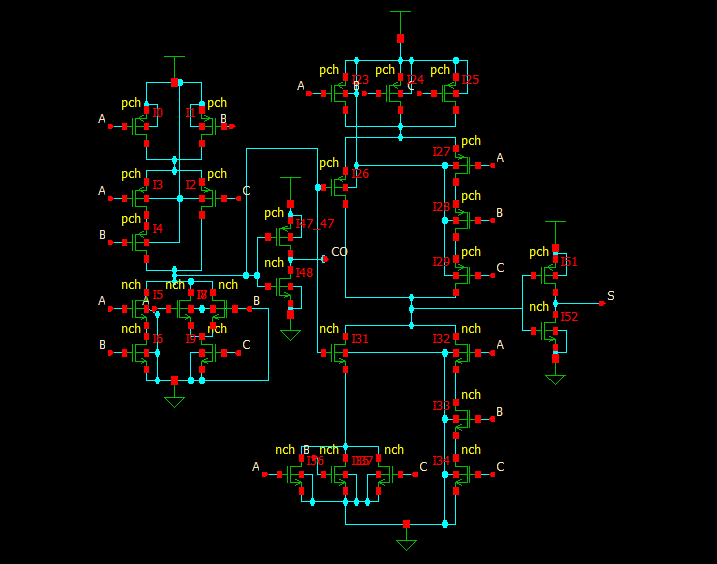
### d. DRC (design rule check)

A screenshot of a computer program

Description automatically generated with low confidenceA screenshot of a computer

Description automatically generated

### e. LVS (layout vs schematic)

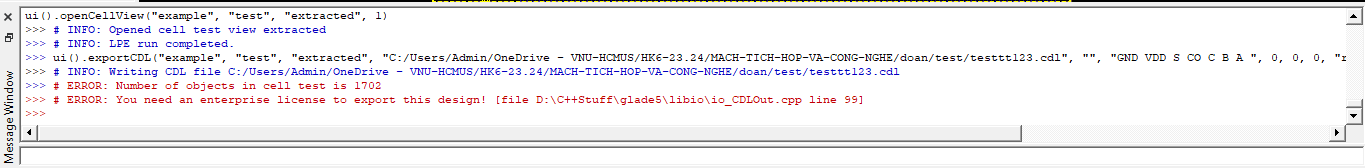


Schematic trên GLADE

A screenshot of a computer program

Description automatically generated with medium confidence

## 5. Mô phỏng sau layout



## 6.Microwind

Do không thực hiện được post-layout trên GLADE nên em có sử dụng phần mềm microwind để thực hiện lại layout, mô phỏng lại sau layout.

- Dùng công nghệ 120nm

- Layout: vẽ lại như stick diagram của mạch full adder. (5.a Trang 8)

A computer screen shot of a computer

Description automatically generated with low confidence

- Kết quả mô phỏng sau layout:

Kết quả hiển thị thời gian delay giữa tín hiệu ngõ vào và ra. Ở hình bên dưới là giữa ngõ vào A với ngõ ra S là 33ps, 39ps, 14ps

Công suất P = 20.739uW.

A screenshot of a computer

Description automatically generated

A screenshot of a computer

Description automatically generated with medium confidence

# 

# III. Mở rộng full adder 4 bit

1. Full adder 4-bit là gì ?

- Mạch cộng Full Adder 4-bit là một mạch logic kết hợp được sử dụng để thực hiện phép cộng số học cho hai số 4-bit. Nó sử dụng bốn mạch Full Adder để thực hiện phép cộng từng bit và tạo ra kết quả 4-bit và bit nhớ cộng (carry-out).

2. Hoạt động

A diagram of a full adder

Description automatically generated

- Mạch Full Adder 4-bit bao gồm bốn mạch Full Adder độc lập. Mỗi mạch Full Adder lấy hai bit đầu vào tương ứng từ A và B (A0, A1, A2, A3 và B0, B1, B2, B3) và một bit nhớ cộng (carry-in) tương ứng từ mạch Full Adder trước đó (Cin0, Cin1, Cin2).

- Mạch Full Adder 4-bit sẽ thực hiện phép cộng 4 bit của A và B và sinh ra tổng S0, S1, S2, S3 cùng với bit nhớ cộng Cout.

3. Schematic

A screenshot of a computer

Description automatically generated

Kết quả mô phỏng trên LTSpice

A black screen with colorful lines

Description automatically generated

4. Layout

A screenshot of a computer

Description automatically generated

# A screen shot of a computer Description automatically generated

# IV. Đánh giá

Thang điểm tự đánh giá:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Nội dung đánh giá | Hình thức báo cáo file Word | Hình thức báo cáo file PPT | Biểu thức hàm tối giản | Sơ đồ mạch các khối và top level | Kết quả mô phỏng Schematic | DRC | LVS | Mô phỏng sau layout | Các thông số timing,power |
| Tối đa | 10 | 5% | 5% | 10% | 20% | 20% | 10% | 10% | 10% |
| Nhóm tự đánh giá | 10% | 5% | 5% | 10% | 20% | 20% | 10% | 10% | 10% |