

11. Aufgabenblatt

Abgabe 11.07.2014

Hinweis: Dies ist ein freiwilliger aber klausurrelevanter (!) Zusatzzettel. Dieser muss nicht zwingend abgegeben werden, wird aber bei Abgabe korrigiert und im Tutorium am 16./17.07.14 besprochen. Falls Sie die $n - 2$ Grenze um ein Übungsblatt verpasst haben, ist dies die letzte Möglichkeit die aktive Teilnahme zu erhalten. In diesem Fall müssen Sie den Zettel allerdings vollständig bearbeiten und rechtzeitig abgeben.

Problem 1: Speicherhierarchie

- a) Warum wird Speicher überhaupt hierarchisiert?
- b) Welche zwei Strategien werden dabei verwendet? Erläutern Sie diese.
- c) Welche Speicherebenen existieren in der Regel zwischen der Register- und der Festplattebene? Welcher Sprung im Zeitverbrauch zwischen den Ebenen ist größenordnungsmäßig der bedeutendste?

Problem 2: Caching

- a) Welchen Vorteil bringt die Aufteilung in Tags und Index zur Adressierung eines Datums im Cache?
- b) An wie vielen Stellen muss ein Block bei voll-assoziativ, direct-mapped und n-way-set Caches gesucht werden?
- c) Was versteht man unter Cache-Kohärenz? Warum strebt man nicht Konsistenz an?
- d) Welche generellen Vor- und Nachteile weisen virtuell bzw. physikalisch adressierte Cache-Speicher auf?
- e) Wie wirken sich Prozesswechsel auf den jeweiligen Cache aus? Beachten Sie die Position der MMU!

Problem 3: Virtueller Speicher

Ein Computer habe einen virtuellen Adressraum mit 128 Seiten, aber lediglich 4 Seitenrahmen. Anfangs ist der Speicher bereits mit den Seiten 9, 4, 2, 5 (in dieser Reihenfolge) gefüllt worden. Ein Programm referenziere die virtuellen Seiten in folgender Reihenfolge:

7, 1, 2, 4, 2, 4, 3, 6, 3, 4, 1, 9

- a) Welche Referenzen verursachen einen Seitenfehler bei LRU als Ersetzungsstrategie?
- b) Welche Referenzen verursachen einen Seitenfehler bei LIFO als Ersetzungsstrategie?
- c) Welche Referenzen verursachen einen Seitenfehler bei FIFO als Ersetzungsstrategie?
- d) Nennen/Beschreiben Sie jeweils eine Zugriffsfolge aus acht Seitenanforderungen der Seiten eins bis fünf, die in den obigen Verfahren zu einem Maximum an Seitenfehlern führt.

Problem 4: Weitere Cache-Fragen

In einem Mikroprozessorsystem 32-bit-Datenzugriff auf den Hauptspeicher ist ein Cache vorhanden. Eine Cacheline besteht aus je acht Bytes. Die Hauptspeicheradresse umfasst 24 Bits und die Kapazität des Cache beträgt 256 Bytes.

- a) Wie viele Cache-Zeilen gibt es?
- b) Skizzieren Sie die Unterteilung der Hauptspeicheradresse für direct-mapped-Cache, vollasoziativen Cache und 4-way-set-assoziativ-Cache.
- c) Wie viele Vergleiche werden für jeden Cache (direct-mapped, vollasoziativ, 4-way-set-assoziativ) benötigt und welche Bitbreite haben sie?