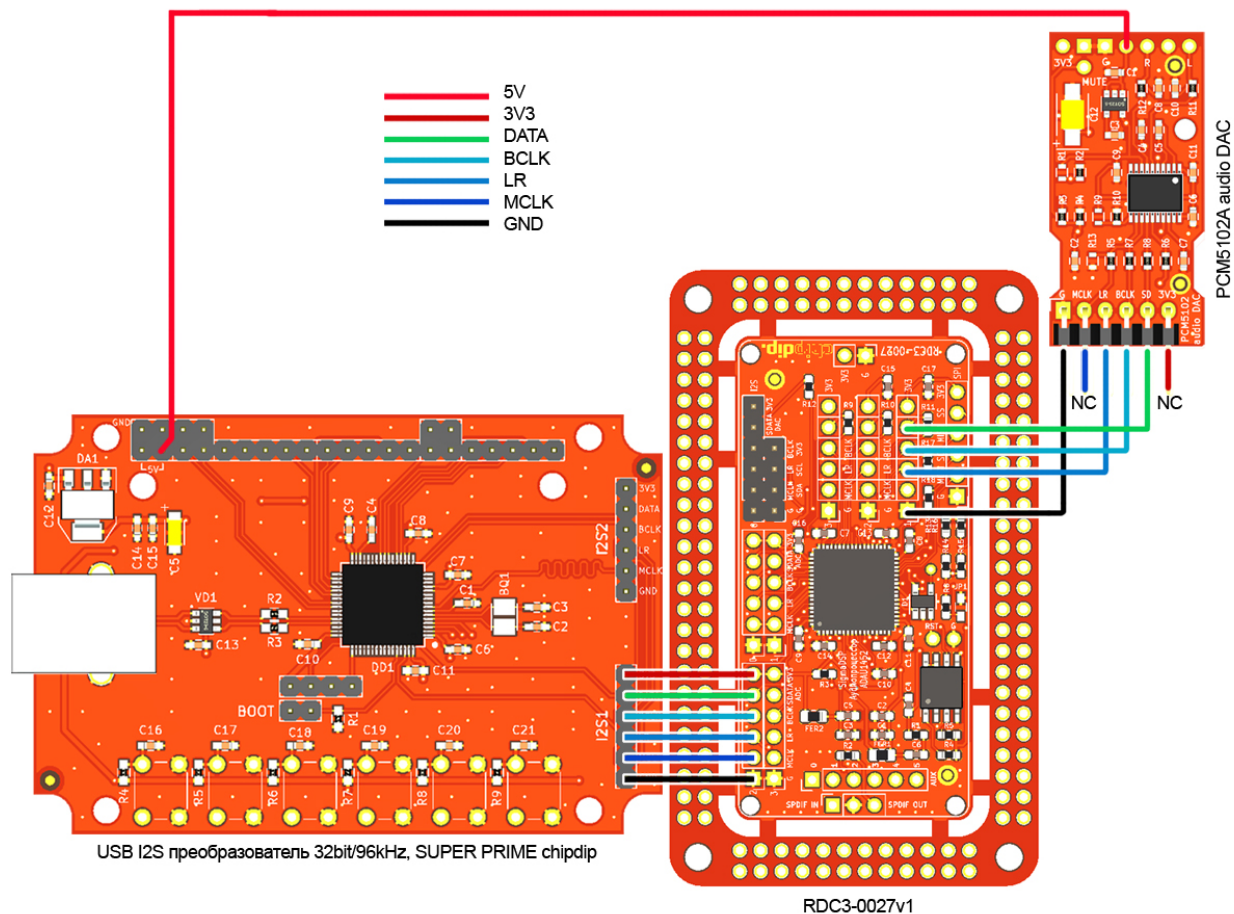


№ 3
ADAU1452 вход / выход 32 бит 48 кГц

1. Сделайте подключения модулей SUPER PRIME, RDC3-0027, PCM5102 как на схеме:



[USB I2S преобразователь 32bit/96kHz, SUPER PRIME chipdip](#)

[RDC3-0027v1](#) - SigmaDSP ADAU1452. Модуль цифровой обработки звука. V1

[PCM5102A audio DAC](#) - Преобразователь: I2S - Audio. Разрешение 32 бит, частота дискретизации 384kHz

В примере используется входной порты SDATA_IN2 и выходной порт SDATA_OUT1.

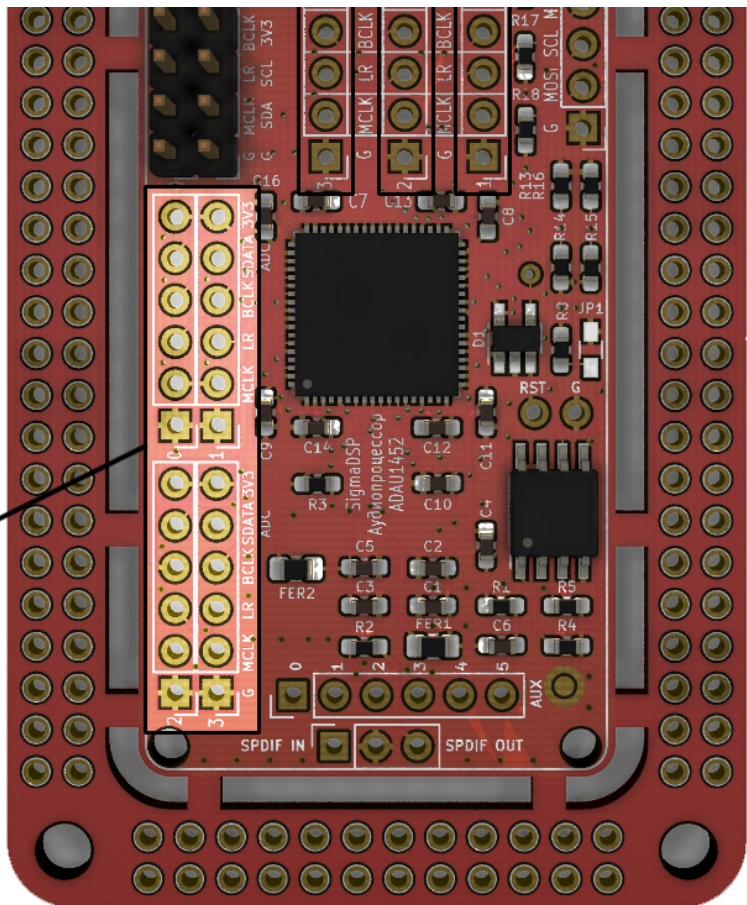
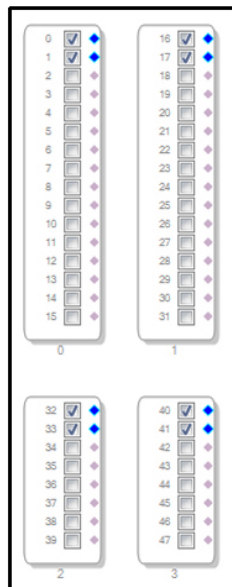
2. Создадим новый проект в SigmaStudio.

Согласно Table 41.(входные порты) и Table 44.(выходные порты) из описания на ADAU1452 соединяем входы SDATA_IN2 с выходами SDATA_OUT1.

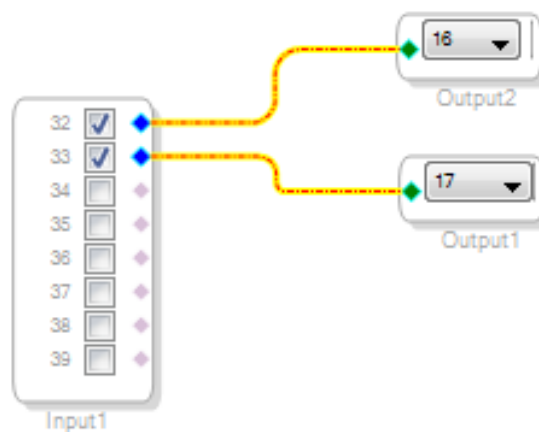
Table 41. Detailed Serial Input Mapping to SigmaStudio Input Channels¹

Serial Input Pin	Position In I ² S Stream (2-Channel)	Position In TDM4 Stream	Position In TDM8 Stream	Position In TDM16 Stream	Input Channel In SigmaStudio
SDATA_IN0	Left	0	0	0	0
SDATA_IN0	Right	1	1	1	1
SDATA_IN0	N/A	2	2	2	2
SDATA_IN0	N/A	3	3	3	3
SDATA_IN0	N/A	N/A	4	4	4
SDATA_IN1	N/A	N/A	N/A	14	30
SDATA_IN1	N/A	N/A	N/A	15	31
SDATA_IN2	Left	0	0	0	32
SDATA_IN2	Right	1	1	1	33
SDATA_IN2	N/A	2	2	2	34
SDATA_IN2	N/A	3	3	3	35

Соответствие портов входов SigmaStudio и RDC3-0027



Проект в SigmaStudio:



3. Настройка конфигурации ADAU1452

- Вверху выберите вкладку **Hardware Configuration**. Внизу перейдите на вкладку **IC 1-ADAU145x Register Controls**.
- На первой вкладке **CLOCK_CONTROL** установите параметры, как показано на картинке.

Hardware Configuration | Schematic | Block Schematic

CLOCK_CONTROL | CORE_CONTROL | ROUTING_MATRIX | SERIAL_PORTS | ASRC | POWER_CLOCKING | PIN_DRIVE

PLL ENABLE
PLL enable: Enabled

PLL CLK SRC
Clock source select: PLL clock

PLL LOCK
PLL lock flag (read-only): PLL locked

PLL CTRL0
PLL Feedback Divider: 96

PLL CTRL1
PLL input clock divider: Divide by 4

PLL WATCHDOG
Analog PLL Watchdog: PLL watchdog enabled

MCLK OUT
Frequency of CLKOUT: Base_Fs x 256 (12)

CLKOUT enable: CLKOUT enabled

CLK GEN1 M
M for Clock Generator 1: 6

CLK GEN1 N
N for Clock Generator 1: 1

CLK GEN2 M
M for Clock Generator 2: 9

CLK GEN2 N
N for Clock Generator 2: 1

CLK GEN3 M
M for Clock Generator 3: 0

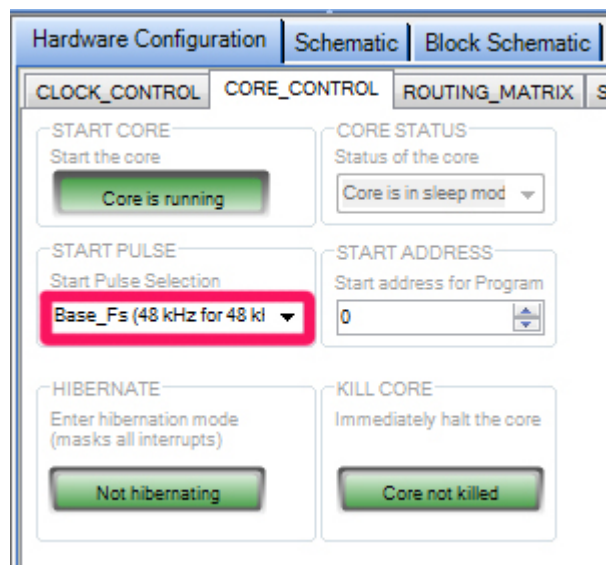
CLK GEN3 N
N for Clock Generator 3: 0

CLK GEN3 SRC
reference for the 3rd Clock Gen.
Needs N/M ratio

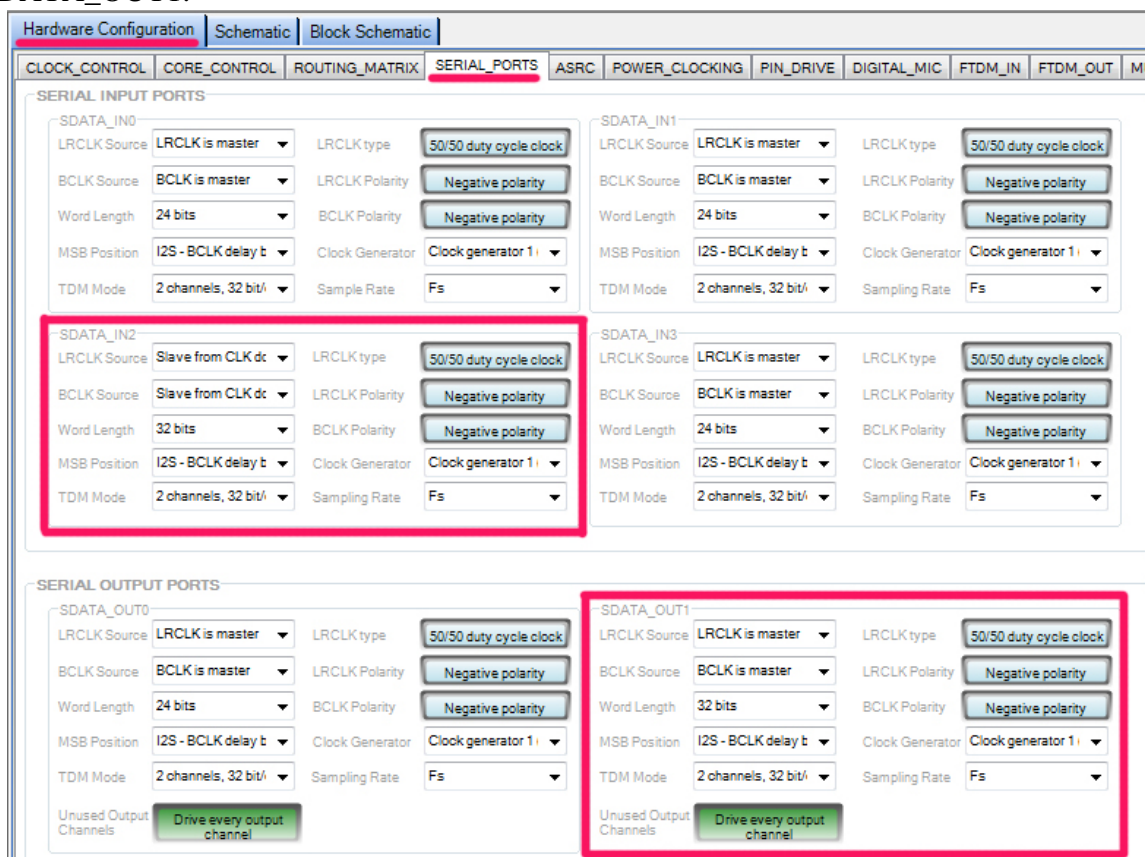
CLK GEN3 LOCK
look bit: Locked

Read All Registers

- Перейдите на вкладку **CORE_CONTROL** и выберите значение для параметра Start Pulse.



- Перейдите на вкладку **SERIAL_PORTS** и установите значения для портов SDATA_IN2 и SDATA_OUT1.



SDATA_IN2 переводим в режим ведомый:

LRCLK Source - Slave from CLK domain 2

BCLK Source - Slave from CLK domain 2

Word Length – 32 bits

SDATA_OUT1 остается в режиме ведущий:

LRCLK Source – LRCLK is master

BCLK Source - BCLK is master

Word Length – 32 bits

4. Загрузите проект в модуль.

В настройках устройств воспроизведения Windows для SUPER PRIME выбираете разрядность и частоту дискретизации:

24 бит, 48000 Гц (Студийная запись)

Слушайте HiRes записи.