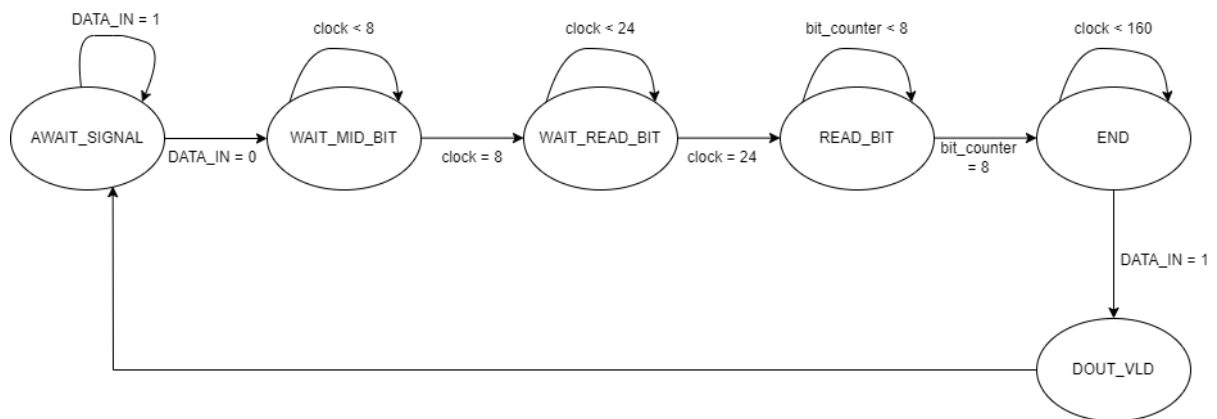


Návrh číslicových systémů

Projekt 1. část

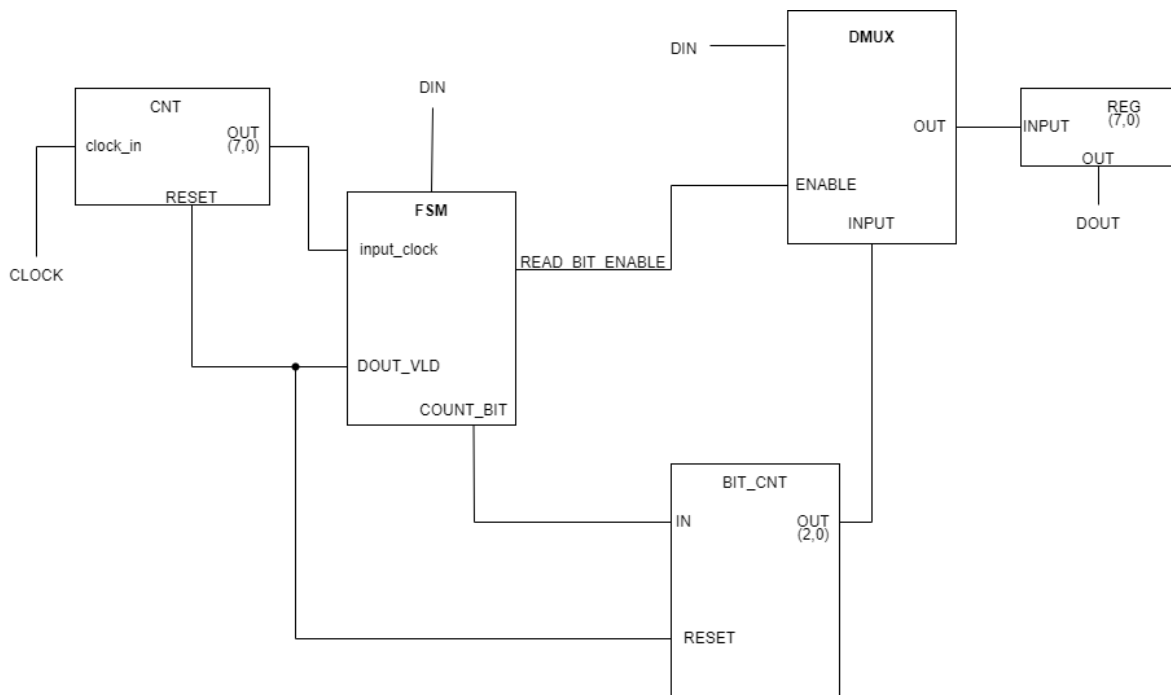
Adam Mrkva - xmrkva04

Schéma automatu – FSM



1. Stav "AWAIT_SIGNAL" - očekává začátek přenosu, logickou 0
2. Stav "WAIT_MID_BIT" - počká 8 cyklů hodin tak, aby byl uprostřed bitu, ze kterého čte hodnotu
3. Stav "WAIT_READ_BIT" - čeká dalších 16 hodinových cyklů na první bit
4. Stav "READ_BIT" - načítá postupně 8 bitů dat ze vstupu
5. Stav "END" - čeká na konec přenosu, přepíná se do stavu DOUT_VLD na 1 hodinový cyklus a následně se vrací do 1. stavu

Schéma obvodu – RTL



Moor. výstupy - READ_BIT_ENABLE, COUNT_BIT, DOUT_VLD

Signály vstupu – CLOCK (hodiny), DIN (vstup dat)

Čítače (counter) se resetují na konci načteného slova - při přechodu do stavu DOUT_VLD přes výstup DOUT_VLD