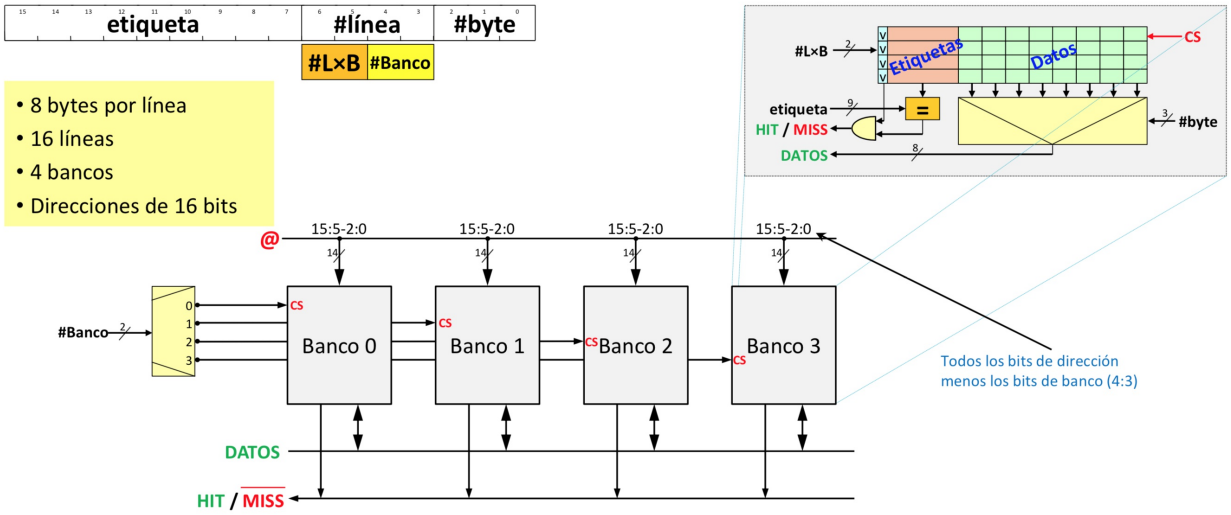
Cachés Multibanco



a. A7 **A6**

(cada 64 direcciones contiguas cambiaría de caché)

- M0 -> 0x00..0x3F
- M1 -> 0x40..0x7F
- M2 -> 0x80..0xBF
- M3 -> 0xC0..0xFF

b. A1 **A0**

(cada 1 dirección contigua cambiaría de caché)

- M0 -> @ % 4 == 0
- M1 -> @ % 4 == 1
- M2 -> @ % 4 == 2
- M3 -> @ % 4 == 3

c. A4 **A3**

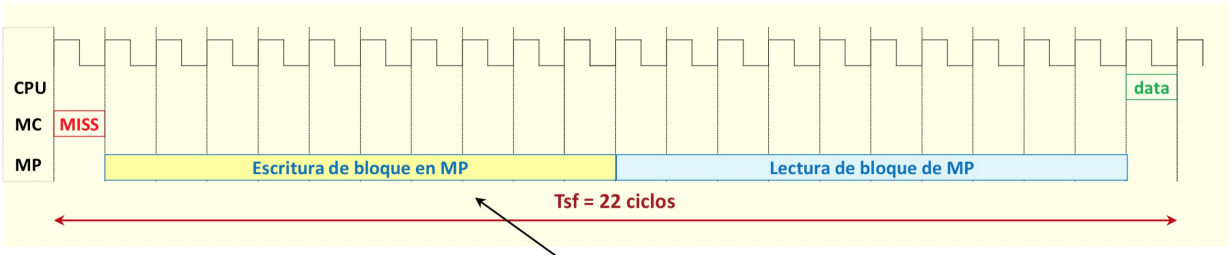
(cada 8 direcciones contiguas cambia de caché)

- M0 -> (@ >> 3) % 4 == 0
- M1 -> (@ >> 3) % 4 == 1
- M2 -> (@ >> 3) % 4 == 2
- M3 -> (@ >> 3) % 4 == 3

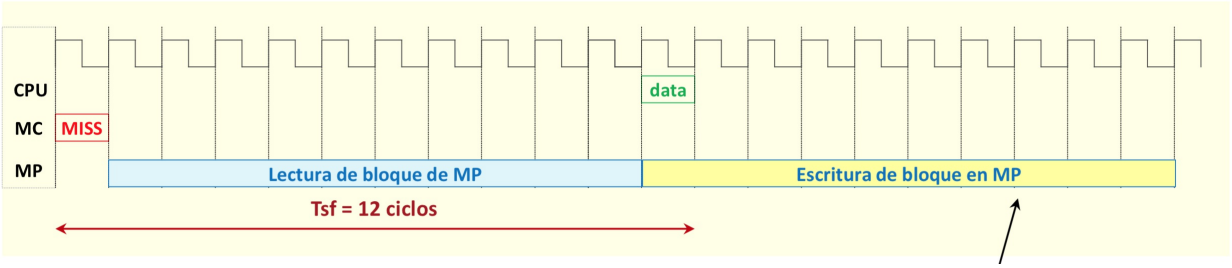
Reducir penalización por fallo

Actualizar MP después de leer a caché

> Pasamos de esto:



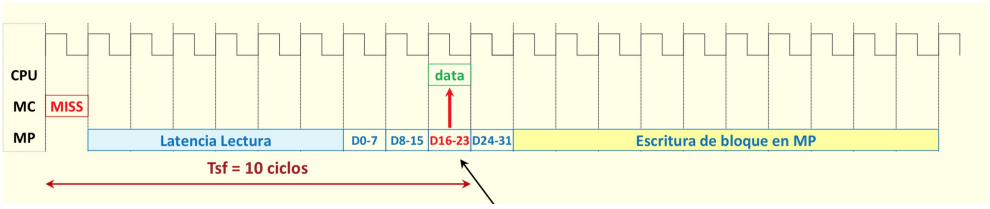
> A esto:



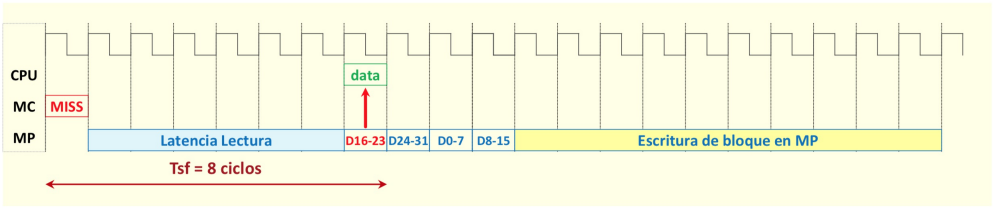
Envío antes el byte de fallo

> Continuación anticipada

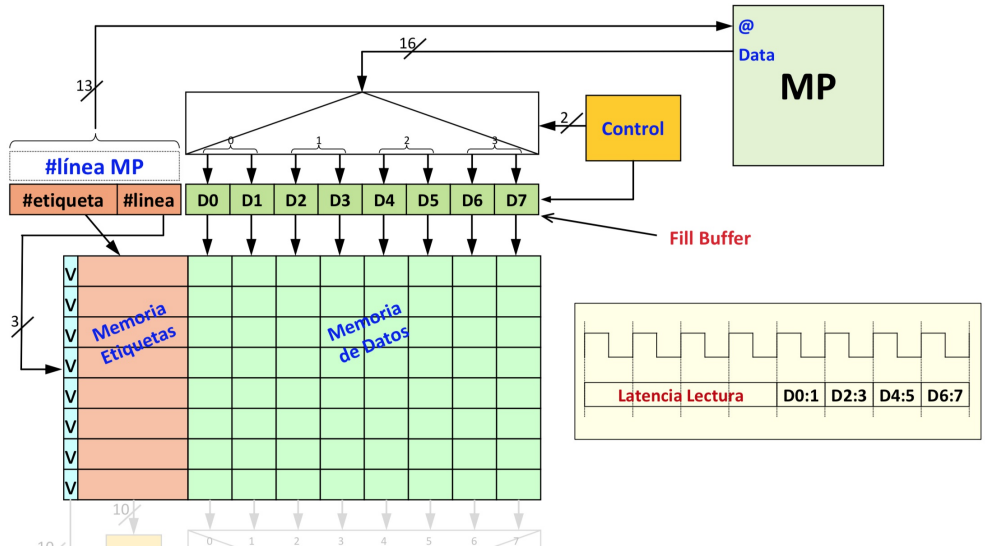
- Este es el que se usa (+ rápido).



> Transferencia en desorden + Continuación anticipada



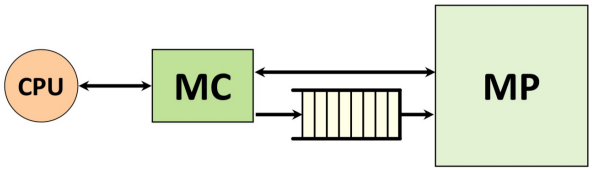
Buffer de lectura



Buffer de escritura

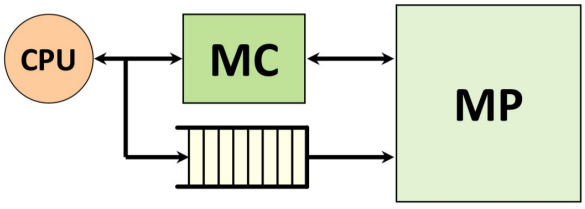
Copy-back

> Para reducir la penalización en caso de fallo hay que dar prioridad a leer el boque que contiene el dato que provoca el fallo a la escritura en MP del bloque reemplazado.



Write-through

> El coste de una escritura es el coste de escribir en Memoria Principal (no es aceptable)



Merge buffer (para el write-through)

@	V	data
100	1	M[100]
104	1	M[104]
108	1	M[108]
112	1	M[112]
116	1	M[116]
120	1	M[120]
–	0	–
–	0	–

Buffer convencional

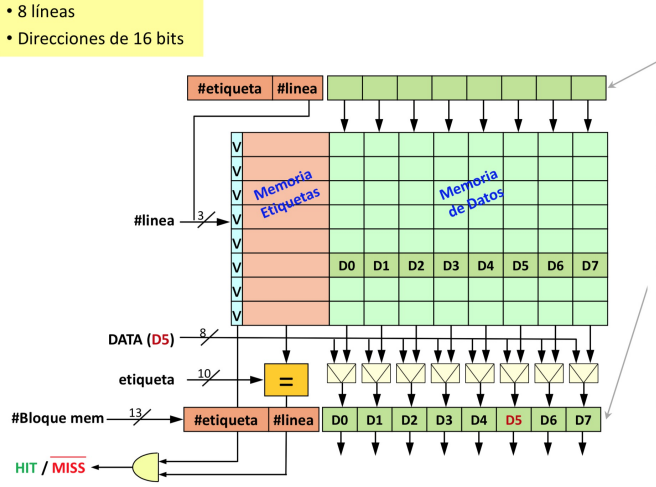
@	V	data	V	data	V	data	V	data
100	1	M[100]	1	M[104]	1	M[108]	1	M[112]
116	1	M[116]	1	M[120]	0	–	0	–
–	0	–	0	–	0	–	0	–

Merge Buffer

Se puede aprovechar el hecho de que escribir un bloque de memoria tiene prácticamente el mismo coste que escribir una palabra.

Buffer de escritura

- 8 bytes por línea
- 8 líneas
- Direcciones de 16 bits



Cuando se realiza una **lectura**, se puede **leer el dato en paralelo** con la comprobación de si es un acierto o un fallo.
Una escritura en MC no se puede realizar hasta que sabemos que es un acierto.
Si una **lectura** necesita **1 ciclo, una escritura necesita 2 ciclos:**

- **CICLO 1**: Leer datos, leer etiqueta y comprobar acierto, escribir en el fill buffer la línea completa modificando el dato que indica la escritura (**D5**).
- **CICLO 2**: En caso de acierto, escribir el contenido del fill buffer en la línea correspondiente.

> La CPU tarda 2 ciclos en leer de caché

Pero si añadimos segmentación