

Đề cương ôn tập môn học Thiết Kế Logic Số

Môn học: Thiết kế logic số

Dùng cho: sinh viên hệ đào tạo chính quy.

Giáo viên: Trịnh Quang Kiên, kien.trinh@u.nus.edu

Cập nhật lần cuối : 22/05/2019

Chương I, II

1. Cổng logic cơ bản, tham số thời gian của cổng logic tổ hợp, nêu ví dụ. Khái niệm mạch tổ hợp và cách tính thời gian trễ trên mạch tổ hợp, khái niệm đường gây trễ lớn nhất trong mạch tổ hợp (critical paths). Lấy ví dụ về các mạch CMOS cho các cổng NOT, NAND, NOR...Số lượng transistor cần thiết để tạo nên các mạch cơ bản
2. Các loại Flip-flop cơ bản, tham số thời gian của Flip-flop. Khái niệm mạch dây, cách tính thời gian trễ trên mạch dây. Các phương pháp tăng hiệu suất mạch dây. Khái niệm thiết kế kiểu đường ống cho các mạch dây(pipelined).
3. Các phương pháp thể hiện thiết kế mạch logic số, nêu và phân tích các ưu điểm của phương pháp sử dụng ngôn ngữ mô tả phần cứng HDL.
4. Nguyên lý hiện thực hóa các hàm logic trên các IC khả trình dạng PROM, PAL, PLA, GAL, cấu trúc ma trận AND, OR. Nêu ví dụ. Ưu nhược điểm của các kiến trúc này.
5. Kiến trúc và ưu điểm của FPGA so với các IC khả trình trước đó
6. Cấu trúc của thiết kế bằng VHDL, đặc điểm và ứng dụng của các dạng mô tả kiến trúc trong VHDL. Trình bày về dữ liệu kiểu BIT và STD_LOGIC.
7. Các lưu ý đối với tên người dùng, các từ khóa định nghĩa trước. Vị trí, ứng dụng của các đối tượng dữ liệu, kiểu dữ liệu.
8. Các dạng phát biểu có trong VHDL, phát biểu tuần tự, phát biểu song song, đặc

điểm phân biệt giữa các phát biểu tuần tự, câu lệnh đồng thời, ứng dụng cho từng dạng phát biểu (cần hiểu rõ chi tiết tác dụng của các câu lệnh như loop, generate.. gán tín hiệu song song...)

9. Các dạng kiểm tra thiết kế, vai trò và yêu cầu chung đối với kiểm tra thiết kế trên VHDL, trình bày về các sơ đồ các dạng kiểm tra thiết kế nhanh và tự động.

10. Phân biệt mã VHDL chỉ dùng cho mô phỏng và mã có thể tổng hợp được.

Chương III

9. Thuật toán cộng thấy trước nhớ (Carry look-ahead adder), so sánh với thuật toán cộng nối tiếp về các tiêu chí tài nguyên và tốc độ.
10. Thuật toán cộng Serial-bit-adder dùng 1 full_adder để thực hiện phép cộng N-bit, ưu nhược điểm của thuật toán này.
11. Cấu trúc thanh ghi dịch, thuật toán dịch không dùng toán tử dịch, ví dụ ứng dụng thanh ghi dịch.
12. Thuật toán và cấu trúc khối nhân cộng dịch trái cho số nguyên không dấu. Lấy ví dụ.
13. Thuật toán và cấu trúc khối nhân cộng dịch phải cho số nguyên không dấu, so sánh với khối nhân cộng dịch trái. Lấy ví dụ.
14. Thuật toán và cấu trúc khối nhân số có dấu dùng mã hóa BOOTH cơ số 2. Lấy ví dụ.
15. Thuật toán và cấu trúc khối nhân số có dấu dùng mã hóa BOOTH cơ số 4, so sánh với các thuật toán nhân thông thường. Lấy ví dụ.
16. Thuật toán và cấu trúc khối chia số nguyên không dấu có phục hồi phần dư. Lấy ví dụ.
17. Thuật toán và cấu trúc khối chia số không dấu không phục hồi phần dư. Lấy ví dụ.
18. Thuật toán và cấu trúc khối chia số nguyên có dấu. Lấy ví dụ.
19. Cấu trúc chung của khối ROM, RAM, phương pháp tăng tốc khối giải mã địa chỉ trong khối RAM. Trình bày thuật toán xây dựng FIFO trên cơ sở Dual-port RAM theo sơ đồ sau, sơ đồ của khối LIFO..
20. Biểu diễn số nguyên trong máy tính. Các phương pháp biểu diễn số thực dấu phẩy tĩnh. Chuẩn số thực dấu phẩy động ANSI/IEEE 754. Các phương pháp làm tròn số thực. Các giá trị lớn nhất, bé nhất, miền biểu diễn của số thực dấu phẩy động chuẩn IEEE 754 32-bit, 64-bit

21. Thuật toán và cấu trúc khối cộng số thực dấu phẩy động theo chuẩn IEEE/ANSI 754.

22. Trình bày về thuật toán và cấu trúc khối nhân số thực dấu phẩy động theo chuẩn IEEE/ANSI 754.
23. Trình bày về thuật toán và cấu trúc khối chia số thực dấu phẩy động theo chuẩn IEEE/ANSI 754.

Chương IV

24. Khái niệm FPGA, Các ưu điểm của FPGA so sánh với các IC khả trình trước đó, kiến trúc tổng quan của FPGA và kiến trúc của FPGA SPARTAN 3E.
25. Các yếu tố tạo nên khả năng tái cấu trúc của FPGA. Khái niệm CLB, SLICE, LUT, Wide Multiplexer và cách thức thực hiện hàm logic 4 và nhiều đầu vào trên FPGA.
26. Cấu trúc chuỗi bit nhớ (Carry Chain) và vai trò của chuỗi bit nhớ trong FPGA. Trình bày cấu trúc của các khối vào ra (IOB) trong FPGA, khối làm trễ khả trình và ứng dụng, khái niệm DDR.
27. Các dạng tài nguyên kết nối có trong FPGA. Các thành phần Block RAM, Khối nhân chuyên dụng (Dedicated Multiplier), DCM trong FPGA đặc điểm và ứng dụng.
28. Chuẩn truyền tin nối tiếp, sơ đồ thuật toán (máy trạng thái) và sơ đồ cấu trúc khối truyền nhận thông tin nối tiếp (UART).
29. Nguyên lý làm việc, sơ thuật toán và sơ đồ cấu trúc khối giao tiếp VGA, đặc điểm hoạt động ở chế độ đồ họa và văn bản.

Phần bài tập

- Dạng 1: Viết mô tả thực thể của một sơ đồ cho trước
- Dạng 2: Viết mô tả kiến trúc của một sơ đồ đơn giản cho trước: D-flip flop, khối chia tần, bộ chọn kênh...
- Dạng 3: Làm tròn số thực
- Dạng 4: Phép nhân cộng dịch phải, nhân cộng dịch trái
- Dạng 5: Cho tổ hợp đầu vào của LUT, tìm hàm tương đương, chứng minh mạch tương đương.