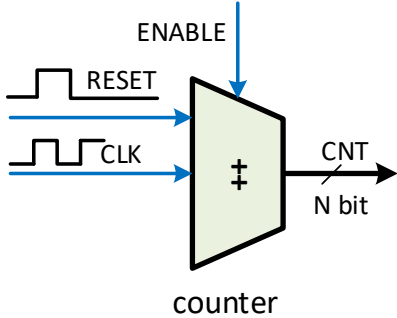
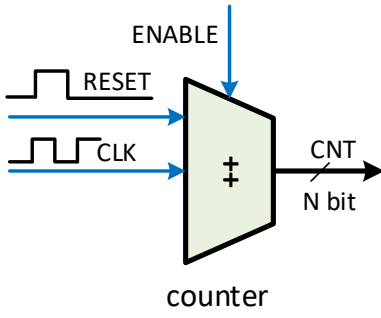
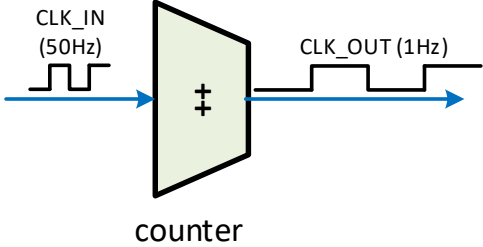
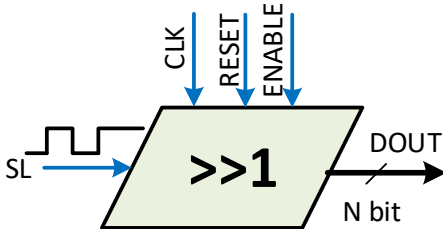


## DANH SÁCH BÀI TẬP THIẾT KẾ MẠCH DẪY

*Lưu ý: Sinh viên **dân sự** phải nộp file zip dạng Tên\_Mã\_SV.zip chứa toàn bộ phần mã nguồn và project mô phỏng nếu làm trên Xilinx ISE hoặc kèm theo file kịch bản run.do nếu mô phỏng trên Modelsim. Hạn nộp bài xem trên <http://hoctructuyen.mta.edu.vn/course/>*

<p>1. Thiết kế bộ đếm thập phân ngược, xung đếm CLK, hỗ trợ tín hiệu RESET đồng bộ tín hiệu ENABLE đồng bộ, đầu ra mã NBCD 4-bit (N= 4)</p>	 <p style="text-align: center;">counter</p>
<p>2. Thiết kế bộ đếm theo mã gray thuận với Kd = 4 (hệ số đếm bằng 4,), xung đếm CLK, RESET không đồng bộ, tín hiệu ENABLE đồng bộ, đầu ra mã Gray 2-bit (N=2)</p>	 <p style="text-align: center;">counter</p>
<p>3. Thiết kế bộ đếm chia tần số CLK_IN 50 Hz thành tần số CLK_OUT 1Hz.</p>	 <p style="text-align: center;">counter</p>
<p>4. Thiết kế thanh ghi dịch đồng bộ nối tiếp 4 bit sang bên phải, với đầu vào nối tiếp SL, hỗ trợ tín hiệu Reset không đồng bộ và tín hiệu Enable.</p>	 <p style="text-align: center;">Shift register</p>