



ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์

ภาคการศึกษาที่..... ปีการศึกษา.....

รหัสวิชา 010113026 ชื่อวิชา Digital Laboratory ตอนเรียน ..... หมายเลขโต๊ะ.....

รหัสนักศึกษา..... ชื่อ-นามสกุล.....

อาจารย์ผู้สอน..... เวลาที่ทำการทดลอง ..... วันที่.....

## การทดลองที่ 1

### คุณลักษณะทางเวลาและการทำงานของอุปกรณ์ลอจิกเกต

#### วัตถุประสงค์

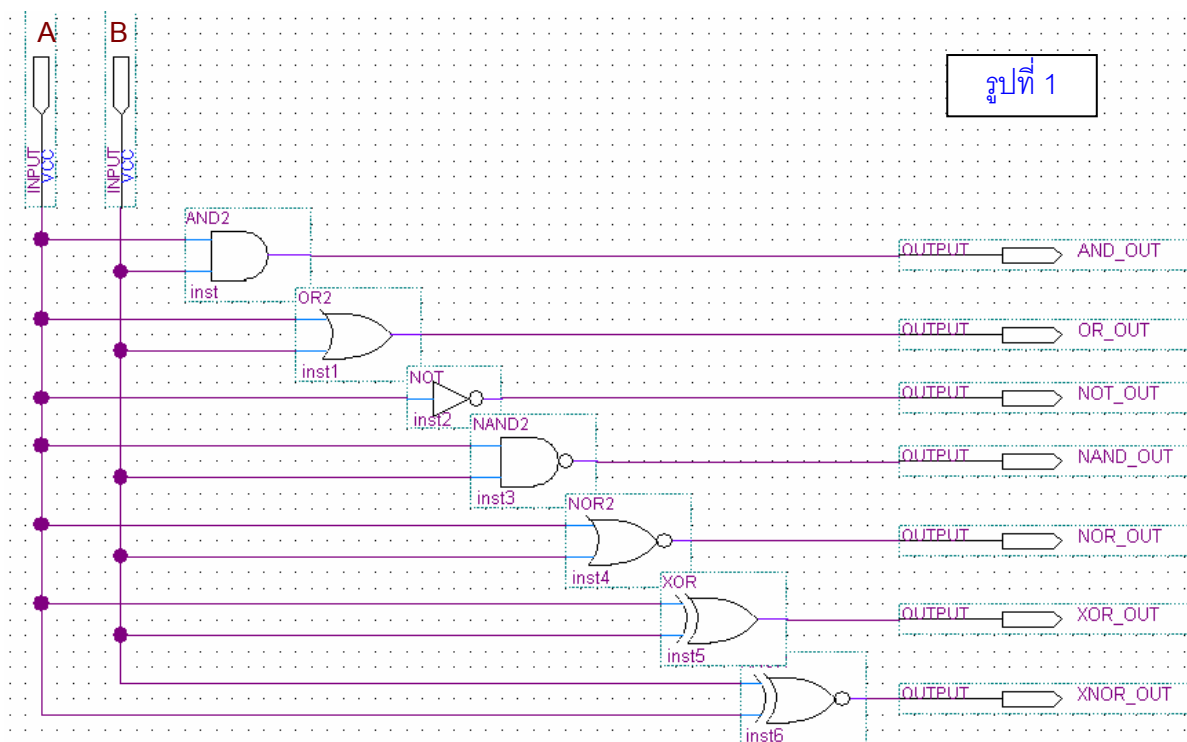
1. เพื่อให้สามารถใช้โปรแกรมคอมพิวเตอร์จำลองการทำงานของวงจรลอจิกเกต (Logic gates) ได้
2. เพื่อให้เข้าใจคุณลักษณะพื้นฐานทางเวลา ของอุปกรณ์ดิจิทัล ลอจิกเกต
3. เพื่อให้เข้าใจขั้นตอนการเขียนภาษา VHDL เพื่อแสดงคุณสมบัติของอุปกรณ์ลอจิกเกตได้

#### อุปกรณ์

1. ระบบคอมพิวเตอร์ 1 เครื่อง พร้อมติดตั้งโปรแกรม Quartus II เวอร์ชัน 8.x (Student Edition) ขึ้นไป

#### การทดลอง

1. ให้ น.ศ. สร้างโฟลเดอร์สำหรับเก็บงานโปรเจกต์ไฟล์ขึ้นใหม่เพื่อเก็บงานที่จะทดลองในการทดลองนี้
2. เขียนวงจรในรูปที่ 1 ด้วย Graphic Editor Tool ของ Quartus II ใช้ชิพ FPGA เบอร์ EP3C10E144C8 และทำการคอมไพล์ให้เรียบร้อย





3. สร้างไฟล์แสดงแผนภาพทางเวลา (Timing diagram) ด้วย Vector Waveform Editor Tool โดยให้ค่าของสัญญาณอินพุต A และ B มีค่าเป็น 00, 01, 10, และ 11 ดังรูปที่ 2 สำหรับการสร้างกราฟให้ทำดังนี้

ก) ตั้งค่าของพารามิเตอร์สำหรับแสดงผลจำลองการทำงาน (เมนู **Edit**)

End Time = 300 ns (เมนู **Edit >> End Time --> Time : 300 ns**)

Grid Size = 1 ns (เมนู **Edit >> Grid size --> Period: 1.0 ns**)

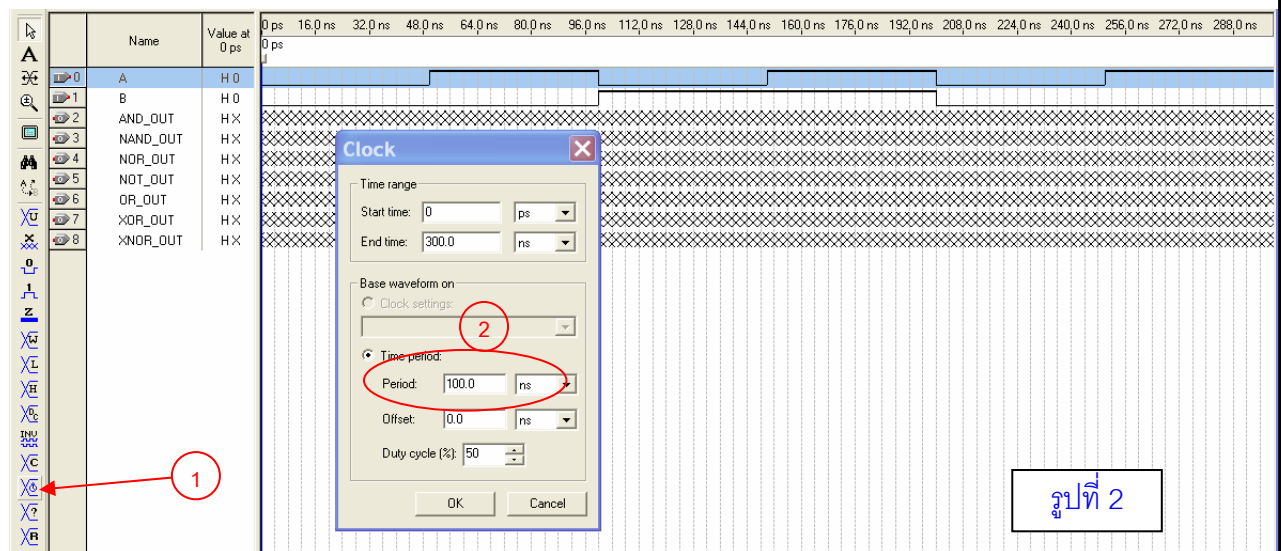
ข) สร้างสัญญาณลอจิกในรูปที่ 2 โดยใช้เมาส์กดเลือกสัญญาณ A จะปรากฏเครื่องมือช่วยสร้างรูปคลื่น

- สัญญาณลอจิก A ใช้ตัวสร้างรูปคลื่นแบบ Overwrite clock **(1)**

โดยมี Period (คาบ) 100 ns **(2)** Offset 0.0 ns Duty cycle 50%

- สัญญาณลอจิก B ใช้ตัวสร้างรูปคลื่นแบบ Overwrite clock เช่นเดียวกันกับ A

โดยมี Period (คาบ) 200 ns Offset 0.0 ns Duty cycle 50%

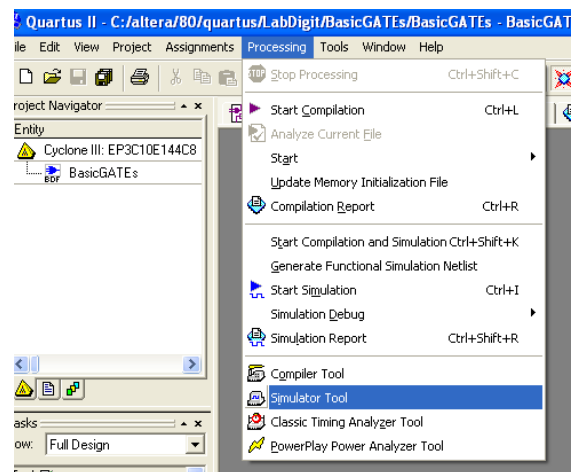


3. ตั้งค่าพารามิเตอร์สำหรับจำลองการทำงานสภาวะลอจิกให้เป็นแบบในอุดมคติ (**Functional**) โดย (การทำงานแบบอุดมคติหรือแบบไม่ใช่เวลาจริง, **Functional Simulation**)

ก) ไปที่เมนู

**Processing → Simulator Tool**

ดังรูปที่ 3



รูปที่ 3



ข) ที่หน้าต่าง Simulator Tool รูปที่ 4 ให้ทำตามลำดับขั้นตอนดังนี้

๑. ให้เลือก

Simulation mode: **Functional**

๒. จากนั้นกดปุ่ม

**Generate Functional Simulation Netlist**

เพื่อกำหนดรูปแบบประมวลผล

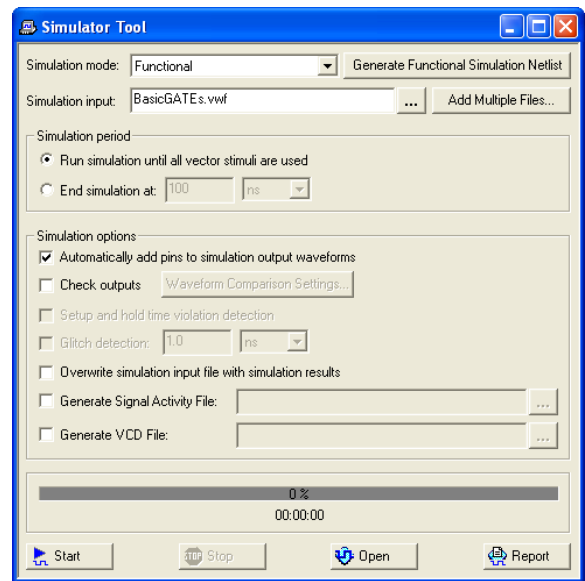
๓. กดปุ่ม

**Start**

เพื่อเริ่มต้นการจำลองการทำงาน

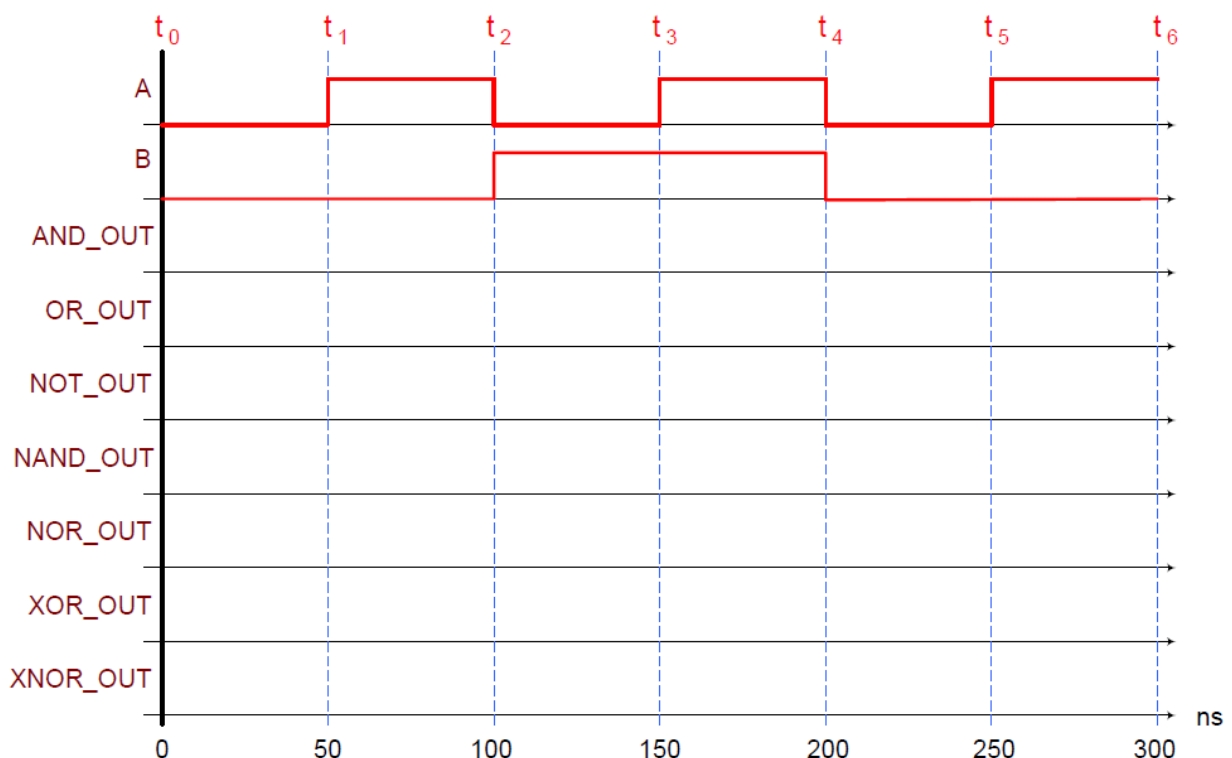
๔. กดปุ่ม

**Report** เพื่อดูผลการจำลองการทำงาน



รูปที่ 4

4. ให้บันทึกผลการจำลองการทำงานอย่างละเอียดลงในกราฟรูปที่ 5 (ใช้ไม้บรรทัดช่วยเขียนส่วนที่เป็นเส้นตรง)



รูปที่ 5



นำค่าสถานะลอจิกที่ได้จากกราฟแผนภาพทางเวลาในรูปที่ 5 มาเขียนเป็นตารางความจริง (Truth table) ที่เวลาในจุดต่างๆ ดังตาราง

**หมายเหตุ** การอ่านค่าลอจิกจากกราฟ ให้อ่านแบบ “กราฟมีความต่อเนื่องทางขวา”

โดยดูจากขอบ (ขอบขาขึ้น ↑ หรือขอบขาลง ↓) ของกราฟแล้วให้อ่านค่าลอจิกด้านขวาของขอบนั้นๆ

	A	B	AND	OR	NOT	NAND	NOR	XOR	XNOR
t <sub>0</sub>									
t <sub>1</sub>									
t <sub>2</sub>									
t <sub>3</sub>									

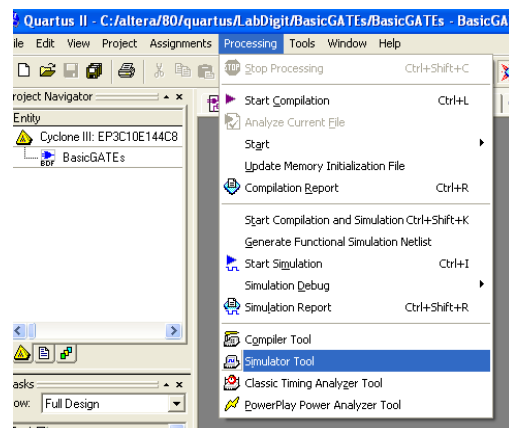
เพราะเหตุใดในตารางความจริงจึงไม่จำเป็นต้องมีการเขียนค่าลอจิกเข้าที่พุทของเกทที่เวลา t<sub>4</sub>, t<sub>5</sub>, t<sub>6</sub> เหมือนในแผนภาพทางเวลารูปที่ 5 \_\_\_\_\_

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

5. จากข้อ 3 เปลี่ยนพารามิเตอร์สำหรับการประมวลผลเพื่อจำลองการทำงานสภาวะลอจิกให้เป็นแบบตามเวลาจริง (หรือเรียกว่าจำลองการทำงานแบบ **Timing Simulation**) โดย

ก) ไปที่เมนู

**Processing → Simulator Tool**



รูปที่ 6

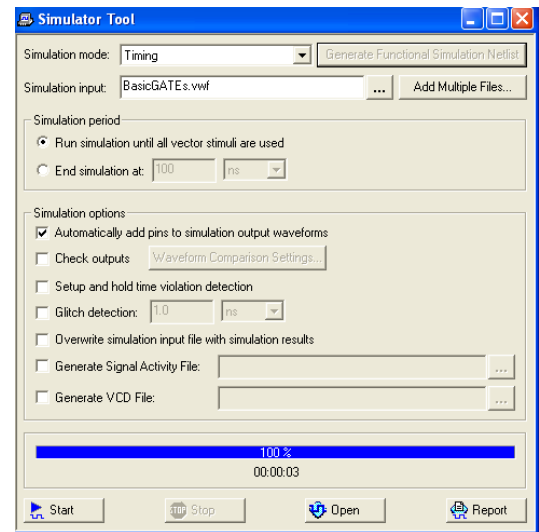


ข) ที่หน้าต่าง Simulator Tool ให้ดำเนินการ

๑. กำหนด Simulation mode: **Timing**

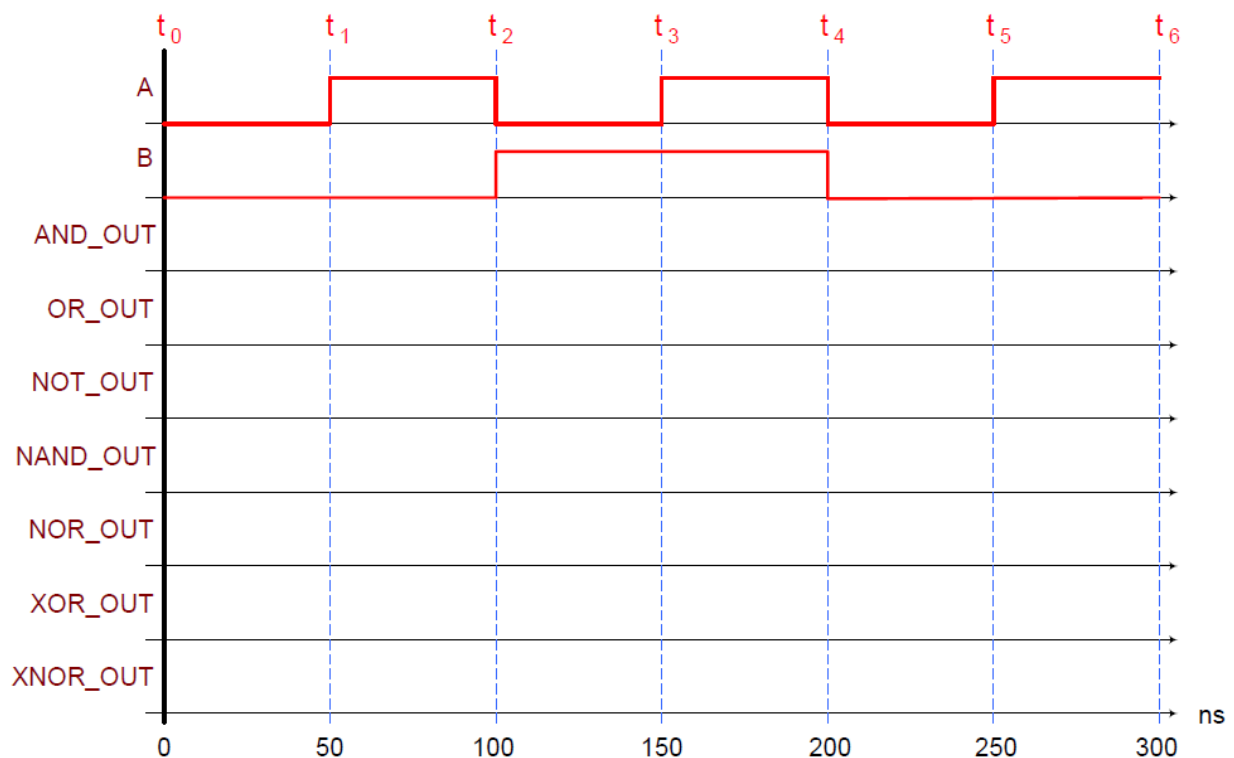
๒. กดปุ่ม **Start**  
เพื่อเริ่มต้นจำลองการทำงาน

๓. กดปุ่ม **Report**  
เพื่อดูผลจำลองการทำงาน



รูปที่ 7

6. บันทึกผลการทำงานอย่างละเอียดลงในกราฟรูปที่ 8 (ให้วาดกราฟแกนเวลาอย่างละเอียดและถูกต้อง)



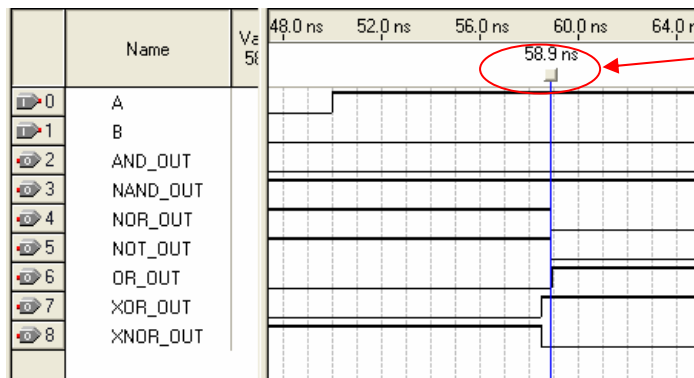
รูปที่ 8

ให้ทำการขยายกราฟ timing diagram (กดปุ่ม Ctrl ค้างไว้และหมุน wheel ที่เมาส์) จนได้ขนาดที่ชัดเจนพอเหมาะ จากนั้นใช้เมาส์กดที่ปุ่มคอร์เซอร์ (รูปที่ 9) ค้างไว้แล้วลากเลื่อนดูค่าของเวลาในจุดที่ต้องการได้

ทำการขยายดูกราฟในช่วงเวลา 49 - 60 ns และบันทึกกราฟอย่างละเอียดลงในรูปที่ 10

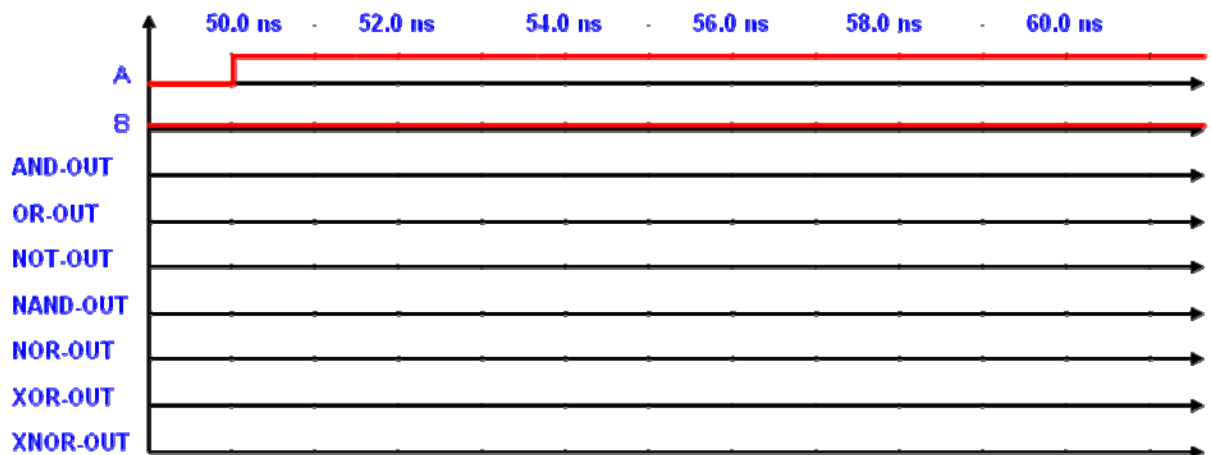
ขยายดูกราฟในช่วงเวลา 99 - 110 ns และทำการบันทึกกราฟอย่างละเอียดลงในรูปที่ 11

ขยายดูกราฟในช่วงเวลา 149 - 160 ns และทำการบันทึกกราฟอย่างละเอียดลงในรูปที่ 12

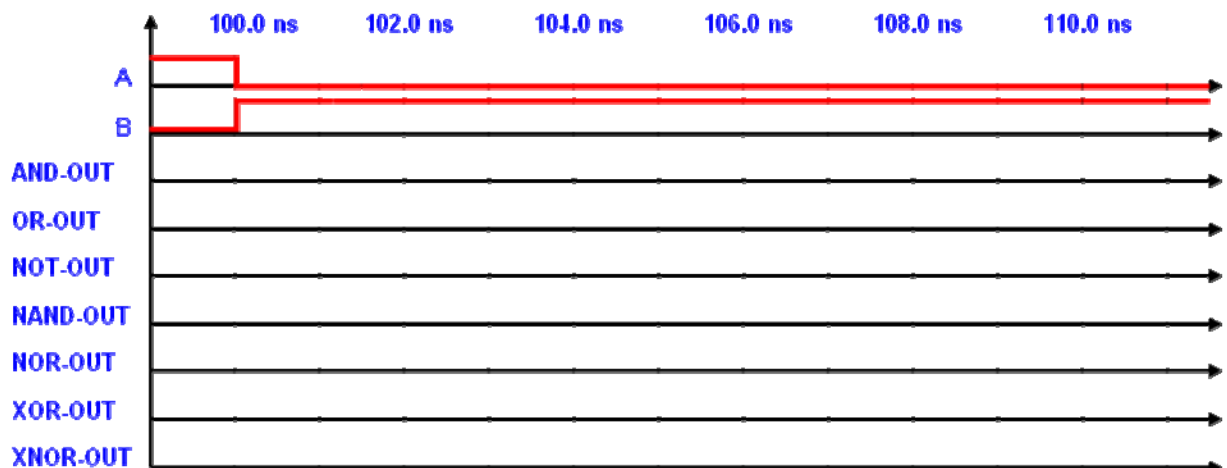


เพื่อจะได้ดูค่าของเวลาบน timing diagram ได้อย่างละเอียด ให้ใช้ปุ่มเคอร์เซอร์โดยใช้เมาส์กดที่ตรงจุดสีเหลี่ยมแล้วลากไปตามแกนนอน หรือใช้คีย์ลูกศรบนแป้นพิมพ์เลื่อนแทนเมาส์ก็ได้เช่นกัน

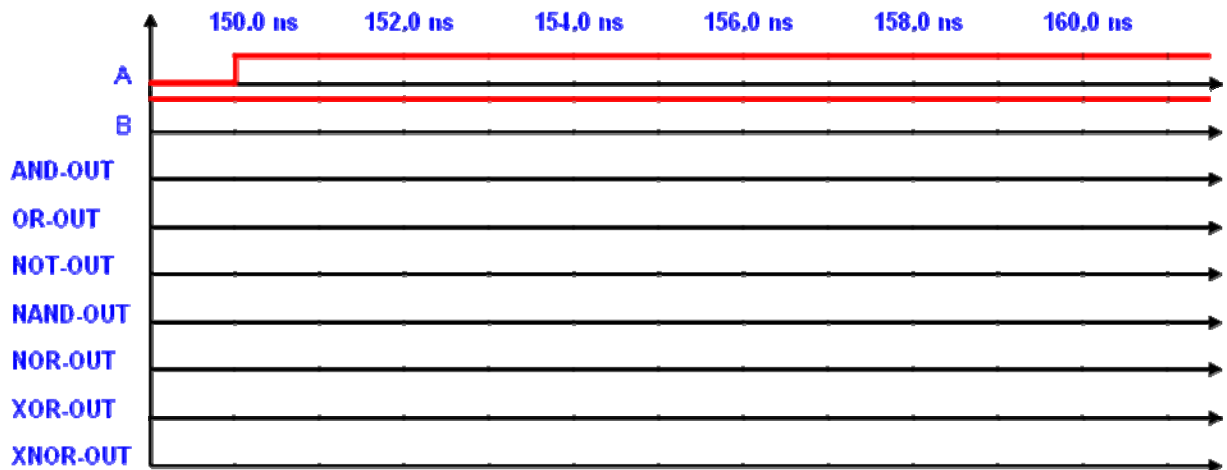
รูปที่ 9



รูปที่ 10



รูปที่ 11



รูปที่ 12

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

จากกราฟรูปที่ 10 - 12 นำค่าของเวลาหน่วง (delay time) ของสัญญาณเอาท์พุตที่เกิดขึ้นจากการเปลี่ยนค่าของอินพุต AB มาเขียนบันทึกในตาราง

ตารางบันทึกผลของเวลาหน่วง (delay time)

ที่เวลา  $t=50$  ns (เหตุการณ์ : ค่าของ A เปลี่ยนจาก 0  $\rightarrow$  1 ส่วนค่าของ B คงที่หรือเปลี่ยนจาก 0  $\rightarrow$  0)

เกท	ค่าลอจิกเอาท์พุต	เวลาที่เอาท์พุตเปลี่ยนแปลง (ns)	ค่าdelay (เอาท์พุตช้ากว่าอินพุต, ns)
AND			
OR			
NOT			
NAND			
NOR			
XOR			
XNOR			

ที่เวลา  $t=100$  ns (เหตุการณ์ : ค่าของ A เปลี่ยนจาก 1  $\rightarrow$  0 ส่วนค่าของ B เปลี่ยนจาก 0  $\rightarrow$  1)

เกท	ค่าลอจิกเอาท์พุต	เวลาที่เอาท์พุตเปลี่ยนแปลง (ns)	ค่าdelay (เอาท์พุตช้ากว่าอินพุต, ns)
AND			
OR			
NOT			
NAND			
NOR			
XOR			
XNOR			



ที่เวลา  $t=150$  ns (เหตุการณ์ : ค่าของ A เปลี่ยนจาก 0  $\rightarrow$  1 ส่วนค่าของ B คงที่หรือเปลี่ยนจาก 1  $\rightarrow$  1)

เกท	ค่าลอจิกเข้าที่พุท	เวลาที่เข้าที่พุทเปลี่ยนแปลง (ns)	ค่าdelay (เข้าที่พุทช้ากว่าอินพุท, ns)
AND			
OR			
NOT			
NAND			
NOR			
XOR			
XNOR			

พิจารณาอุปกรณ์ที่มีเพียงอินพุตเดียว( NOT gate ) เปรียบเทียบช่วงเวลาต่างๆกัน

ที่  $t_1$  ค่าอินพุตเปลี่ยนจาก 0  $\rightarrow$  1 แต่ต้องใช้เวลา ..... ns กว่าค่าของเข้าที่พุทจะเปลี่ยนจาก 1  $\rightarrow$  0

ที่  $t_2$  ค่าอินพุตเปลี่ยนจาก 1  $\rightarrow$  0 แต่ต้องใช้เวลา ..... ns กว่าค่าของเข้าที่พุทจะเปลี่ยนจาก 0  $\rightarrow$  1

น.ศ. คิดว่าสาเหตุใดที่ทำให้ค่าเวลาหน่วงของเข้าที่พุททั้งสองกรณีไม่เท่ากัน

พิจารณาอุปกรณ์ที่มีมากกว่าหนึ่งอินพุต( AND gate ) ในช่วงเวลา  $t_2$

ที่  $t_2$  ค่าของอินพุตเปลี่ยนแปลงพร้อมกันทั้งคู่ (A เปลี่ยนจาก 1 $\rightarrow$ 0 ส่วน B เปลี่ยนจาก 0  $\rightarrow$  1) ที่เข้าที่พุทเกิดปรากฏการณ์

น.ศ. คิดว่าสาเหตุที่ทำให้เข้าที่พุทของ AND gate เกิดปรากฏการณ์เช่นนี้คือ

มีอุปกรณ์ชนิดใดบ้างที่เข้าที่พุทเกิดปรากฏการณ์เช่นเดียวกันกับ AND gate และจะเกิดเมื่อค่าของอินพุตมีสถานะเช่นใด

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

7. ให้ น.ศ. สร้างโฟลเดอร์สำหรับเก็บงานโปรเจคไฟล์ขึ้นใหม่เพื่อเก็บงานที่จะทดลองในการทดลองนี้ จากนั้นให้เขียนภาษา VHDL เพื่อจำลองการทำงานของโปรแกรมในรูปที่ 13

ชื่อโปรเจค LAB01VHD

ชื่อไฟล์ LAB01VHD.vhd (ชื่อโปรเจคและชื่อไฟล์ต้องตรงกันจึงจะคอมไพล์ได้ )





```
library ieee;
use ieee.std_logic_1164.all;

entity LAB01VHD is
port
( A, B
  OR_OUT, AND_OUT   : out std_logic;
  NOT_OUT, NAND_OUT : out std_logic;
  NOR_OUT, XOR_OUT  : out std_logic;
  XNOR_OUT          : out std_logic );
end entity;

architecture rtl of LAB01VHD is
begin
  OR_OUT      <= A OR B ;
  AND_OUT     <= A AND B ;
  NOT_OUT     <= NOT A ;
  NAND_OUT    <= A NAND B ;
  NOR_OUT     <= A NOR B ;
  XOR_OUT     <= A XOR B ;
  XNOR_OUT    <= A XNOR B ;
end rtl;
```

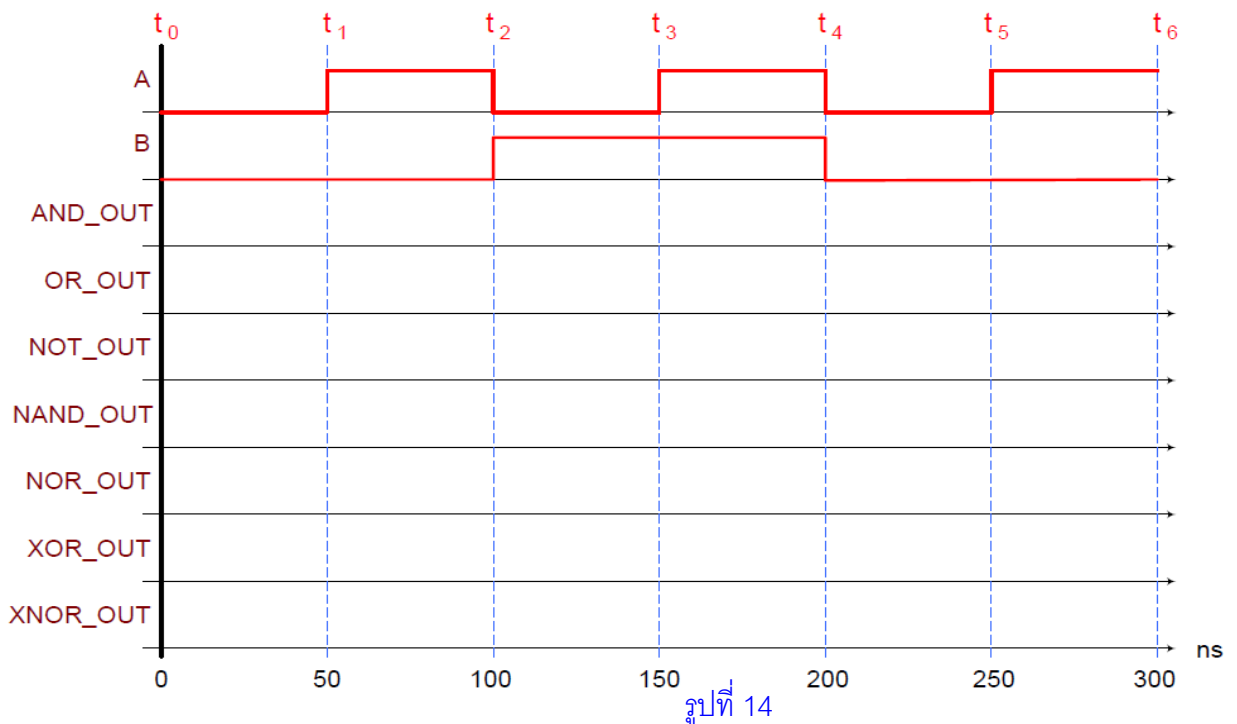
รูปที่ 13

หมายเหตุ น.ศ. ต้องเปิดโปรเจกใหม่ และตั้งชื่อโปรเจกเป็นชื่อเดียวกันกับชื่อของไฟล์และชื่อของ entity

8. ทำการคอมไพล์และจำลองการทำงานโดยกำหนดให้

- Simulation mode: Functional (ตั้งค่าเช่นเดียวกันกับในข้อ 3)
- สัญญาณอินพุต A และ B ให้มีค่าเช่นเดียวกันกับการทดลองในรูปที่ 14

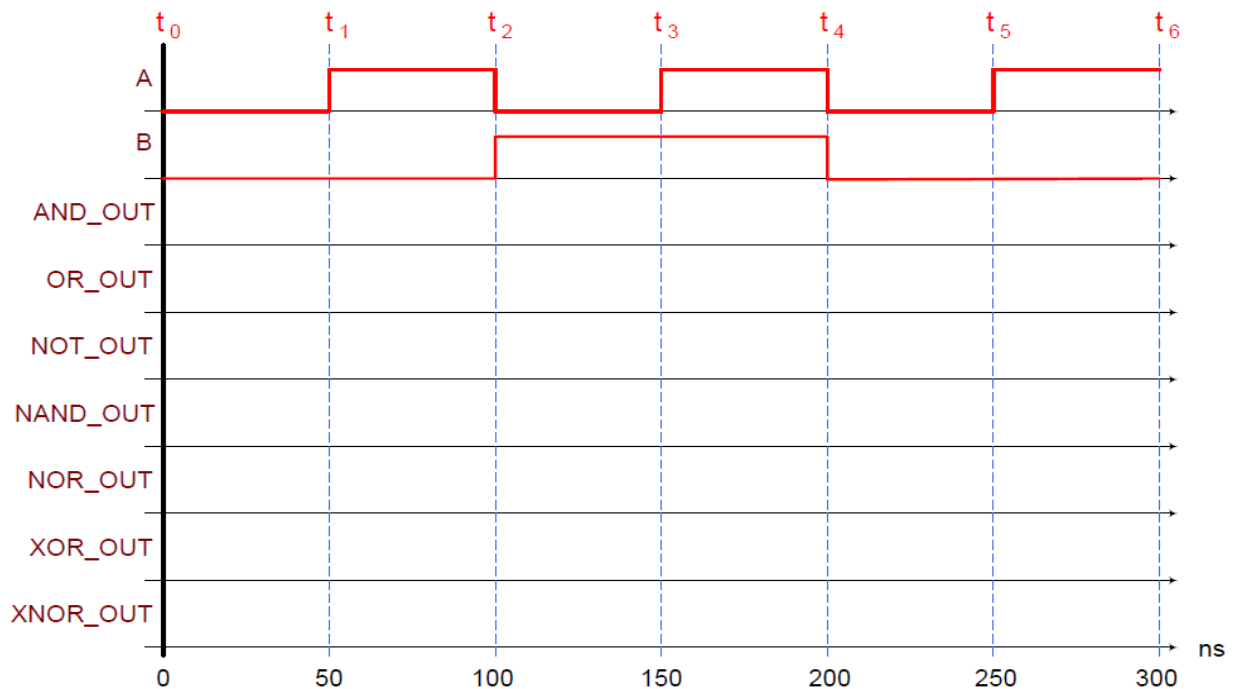
บันทึกผลการจำลองการทำงานอย่างละเอียดลงในกราฟรูปที่ 14



รูปที่ 14



9. เปลี่ยนโหมดการจำลองการทำงานให้เป็นแบบ **Timing** (ตั้งค่าเช่นเดียวกันกับในข้อ 5) และบันทึกผลการจำลองลงในรูปที่ 15



รูปที่ 15

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

ทำการซูมขยายดูกราฟในช่วงเวลา 49-60 ns ช่วง 99-110 ns และ 149-160 ns ตรวจสอบว่าเกิดปรากฏการณ์เช่นเดียวกันกับในรูปที่ 10 - 12 หรือไม่ ถ้ามี เกิดขึ้นที่เวลาใดบ้าง ค่าอินพุตมีการเปลี่ยนแปลงในสถานะใดให้อธิบาย \_\_\_\_\_

เปรียบเทียบและวิจารณ์ผลของเวลาหน่วง (delay time) ของ NOT gate ที่ได้จากการทดลองด้วยวงจรลอจิก (schematic) กับการทดลองด้วยภาษา VHDL \_\_\_\_\_

สรุปผลการทดลอง \_\_\_\_\_

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

**งานมอบหมาย** (ให้เขียนลงบนกระดาษ A4 ที่มีเส้นบรรทัดแนบท้ายเอกสารการทดลองส่งคร่าวัดไป)

1. ให้ทำสรุปความรู้ที่ได้จากการทดลองนี้
2. ให้ทำรายงานสรุปเรื่องคุณสมบัติทางเวลา (Timing Characteristics) ของเกท