



ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์

ภาคการศึกษาที่.....ปีการศึกษา.....

รหัสวิชา 010113026 ชื่อวิชา Digital Laboratory

ตอนเรียน หมายเลขโต๊ะ.....

รหัสนักศึกษา..... ชื่อ-นามสกุล.....

อาจารย์ผู้สอน.....เวลาที่ทำการทดลอง วันที่.....

การทดลองที่ 7 Registers and Counters

วัตถุประสงค์

1. เพื่อให้สามารถใช้โปรแกรมคอมพิวเตอร์จำลองการทำงานของวงจรลอจิกเกตได้
2. เพื่อให้เข้าใจพื้นฐานของอุปกรณ์ประเภท shift-register
3. เพื่อให้เข้าใจพื้นฐานของอุปกรณ์ประเภท counter
4. เพื่อให้สามารถใช้งานบอร์ดทดลอง Cyclone3-Lab01 ได้

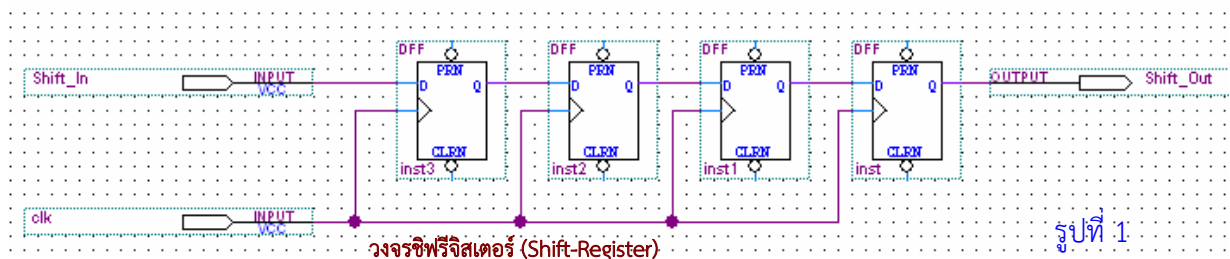
อุปกรณ์

1. ระบบคอมพิวเตอร์ 1 เครื่อง พร้อมติดตั้งโปรแกรม Quartus II เวอร์ชัน 8.0 (Student Edition) ขึ้นไป
2. บอร์ดทดลอง Cyclone3-Lab01 1 บอร์ดพร้อมคู่มือการใช้งาน
3. สาย J-TAG 1 เส้น ใช้รุ่น USB-Blaster (สำหรับเครื่อง Notebook) หรือรุ่น Byte-Blaster (สำหรับเครื่อง PC)

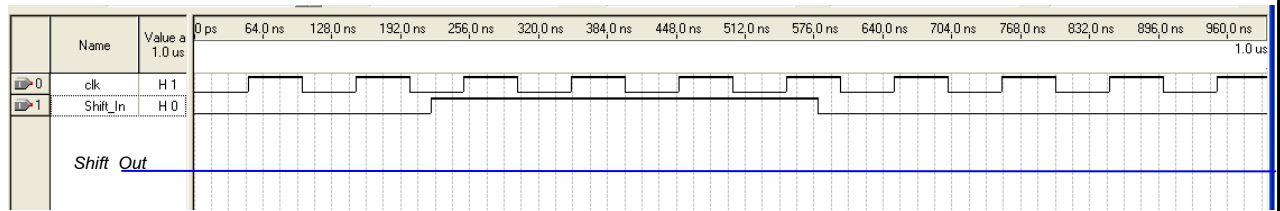
การทดลองตอนที่ 1 วงจร Shift-Register

คำสั่งการทดลอง

1. ให้สร้างไฟล์โครงการสำหรับเก็บงานการทดลองนี้ชื่อ “Lab07_Counter”
ให้สร้างโปรเจกชื่อ “ShiftRegister” ใช้ชิพ FPGA เบอร์ EP3C10E144C8



2. เขียนวงจรชิฟรเรจิสเตอร์ (Shift-Register) ในรูปที่ 1 ด้วยฟลิปฟล็อปชนิด D-FF คอมไพล์ และสร้าง symbol file ของวงจรขึ้นมาเตรียมไว้ใช้งานในขั้นถัดไป
3. สร้างไฟล์แผนภาพทางเวลา ตั้งค่าจำลองการทำงานโดยให้ End Time = 1.0 us, Grid Size = 1 ns กำหนดอินพุต clk ให้เป็นแบบสัญญาณนาฬิกาที่มีคาบ (period) = 100 ns Shift_In ให้เป็นลอจิก ‘1’ ในช่วง 220 – 580 ns นอกนั้นให้เป็น ‘0’
จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 2



รูปที่ 2

หมายเหตุ :

ความกว้างของพัลส์

หมายถึงระยะเวลาเฉพาะส่วนที่สัญญาณมีค่า = '1'



ผลการทดลอง

ก) จากกราฟรูปที่ 2

อินพุตที่ขา Shift_In = '1' ที่ช่วง $t = 220 - 580$ ns มีความกว้างของพัลส์ = ns

เอาต์พุตที่ขา Shift_Out = '1' ที่ช่วง $t = \dots$ ns มีความกว้างของพัลส์ = ns

เพราะเหตุใดความกว้างพัลส์ของสัญญาณเอาต์พุตกับอินพุตจึงมีขนาดไม่เท่ากัน.....

ข) นับจาก Shift_In = '1' สัญญาณ clk ต้องเปลี่ยนขอบ '↑' (เปลี่ยนจาก 0→1) ที่ครั้ง สัญญาณเอาต์พุต
จึงจะได้ค่าเท่ากับอินพุต.....

เพราะเหตุใด.....

ค) จากพฤติกรรมความสัมพันธ์กันระหว่างอินพุตกับเอาต์พุตในข้อ ก) และจำนวนของสัญญาณ clk ที่ต้องใช้ใน
การลำเลียงข้อมูลจากอินพุตไปยังเอาต์พุตในข้อ ข) ให้ น.ศ. สรุปความหมายของคำว่า "Shift" ว่าควรจะให้
คำจำกัดความว่าอย่างไร.....

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

4. ให้ปิดโปรเจกต์ที่สร้างมาในขั้นตอนที่ 1 - 2 ก่อนที่จะทำการทดลองต่อไป

a) ให้สร้างโปรเจกต์ขึ้นใหม่ชื่อ "ParallelAccessShiftReg" และให้เก็บไว้ในโฟลเดอร์เดิม

b) เปิดไฟล์ขึ้นใหม่สำหรับเก็บงาน designed เพื่อเขียนวงจรทดลองในรูปที่ 3

c) ใช้ชิพ EP3C10E144C8 และทำการคอมไพล์ให้เรียบร้อย

5. สร้างไฟล์แสดงแผนภาพทางเวลา กำหนดค่าแสดงผลจำลองโดย End Time = 1.0 us, Grid Size = 1 ns

อินพุต clk ให้เป็นแบบสัญญาณนาฬิกา period 40 ns, offset 0

Serial_In ให้เป็นแบบสัญญาณนาฬิกา period 500 ns, offset 0,

nShift_Load = '1' ในช่วง $t = 90-110$ ns และช่วง $t = 450-470$ ns

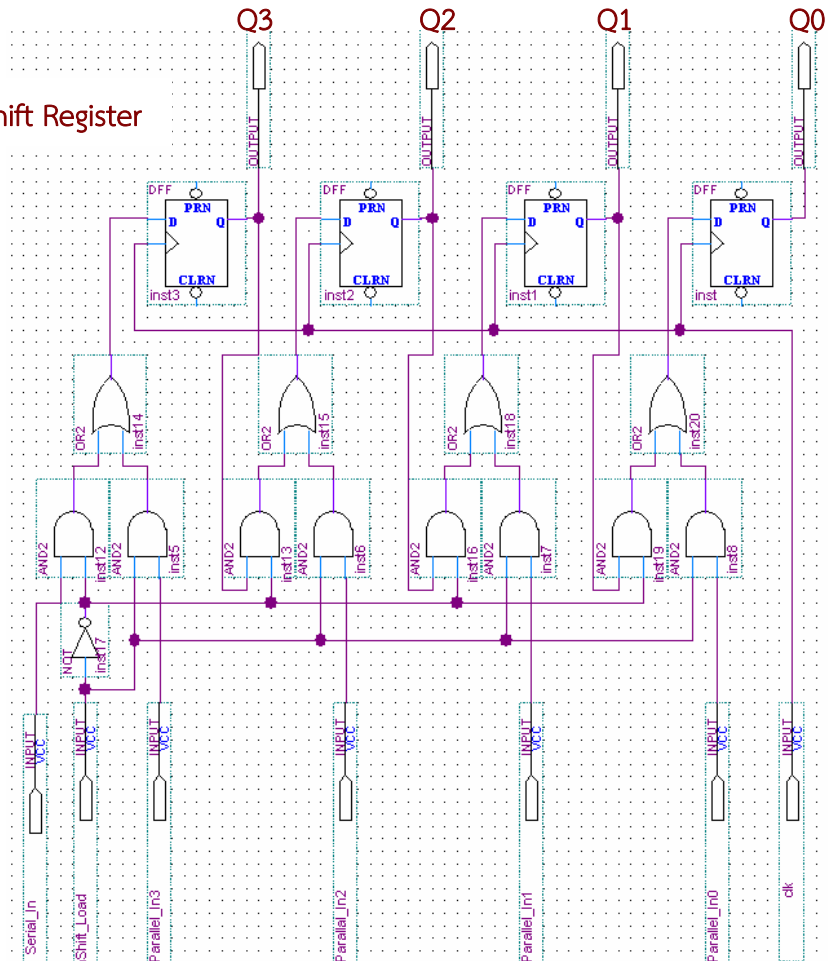
Parallel_In1 = Parallel_In2 = '1'

Parallel_In0 = Parallel_In3 = '0'

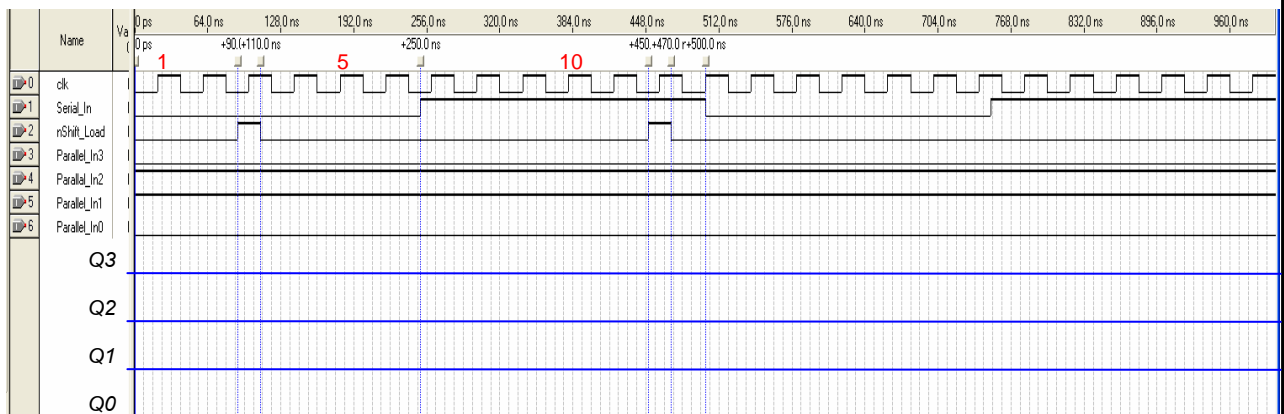


ทำการจำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 4

วงจร Parallel-Access Shift Register



รูปที่ 3



รูปที่ 4

ผลการทดลอง

- ก) เมื่อ clk เปลี่ยนขอบขาขึ้น '↑' ครั้งที่ 1 ค่าของ Q3=..... Q2=..... Q1=..... Q0=.....
 เมื่อ clk เปลี่ยนขอบขาขึ้น '↑' ครั้งที่ 3 ค่าของ Q3=..... Q2=..... Q1=..... Q0=.....
 เพราะเหตุใดค่าของ Q3,Q2,Q1,Q0 จึงเป็นเช่นนั้น.....



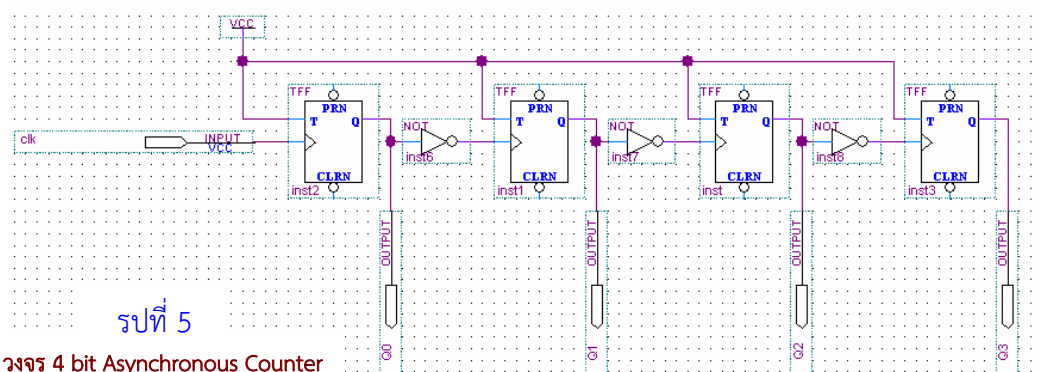
- ข) เมื่อ clk เปลี่ยนขอบขาขึ้น '↑' ครั้งที่ 4 ค่าของ Q3=..... Q2=..... Q1=..... Q0=.....
 ค่าที่ปรากฏที่ Q3 เป็นค่าที่ได้มาจาก.....
 ค่าที่ปรากฏที่ Q2 เป็นค่าที่ได้มาจาก.....
 ค่าที่ปรากฏที่ Q1 เป็นค่าที่ได้มาจาก.....
 ค่าที่ปรากฏที่ Q0 เป็นค่าที่ได้มาจาก.....
- ค) เมื่อ clk เปลี่ยนขอบขาขึ้น '↑' ครั้งที่ 5 ค่าของ Q3=..... Q2=..... Q1=..... Q0=.....
 ค่าที่ปรากฏที่ Q3 เป็นค่าที่ได้มาจาก.....
 ค่าที่ปรากฏที่ Q2 เป็นค่าที่ได้มาจาก.....
 ค่าที่ปรากฏที่ Q1 เป็นค่าที่ได้มาจาก.....
 ค่าที่ปรากฏที่ Q0 เป็นค่าที่ได้มาจาก.....
- ง) เมื่อ clk เปลี่ยนขอบขาขึ้น '↑' ครั้งที่ 7 ค่าของ Q3=..... Q2=..... Q1=..... Q0=.....
 เพราะเหตุใดค่าของ Q3,Q2,Q1,Q0 จึงเป็นเช่นนั้น.....
- จ) เมื่อ clk เปลี่ยนขอบขาขึ้น '↑' ครั้งที่ 8 ค่าของ Q3=..... Q2=..... Q1=..... Q0=.....
 เพราะเหตุใดค่าของ Q3,Q2,Q1,Q0 จึงเป็นเช่นนั้น.....
- ฉ) ความสัมพันธ์กันระหว่างอินพุต (ขา Serial_In, Parallel_In3,...,0) กับขาเอาต์พุต Q3,...,Q0 จะขึ้นอยู่กับ
 การทำงานของขาควบคุมที่ชื่อ nShift_Load ดังนั้นจากผลการทดลองในข้อ ก) ถึง ง) น.ศ. ควรจะสรุปหรือ
 ให้คำจำกัดความเกี่ยวกับหน้าที่ของขาควบคุมที่ชื่อ nShift_Load ว่าอย่างไร.....

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

การทดลองตอนที่ 2 วงจร Asynchronous Counter และวงจร Synchronous Counter

6. ให้**ปิดโปรเจกต์**ที่สร้างมาในขั้นตอนที่ 4-5 ก่อนที่จะทำการทดลองต่อไป

- ให้สร้างโปรเจกต์ขึ้นใหม่ชื่อ **"AsynchronousCounter"** ให้เก็บไว้ในโฟลเดอร์เดิม
- ให้เปิดไฟล์ขึ้นใหม่สำหรับเขียนวงจรทดลองในรูปแบบที่ 5 ใช้ชิพ EP3C10E144C8 ทำการคอมไพล์และสร้าง symbol file



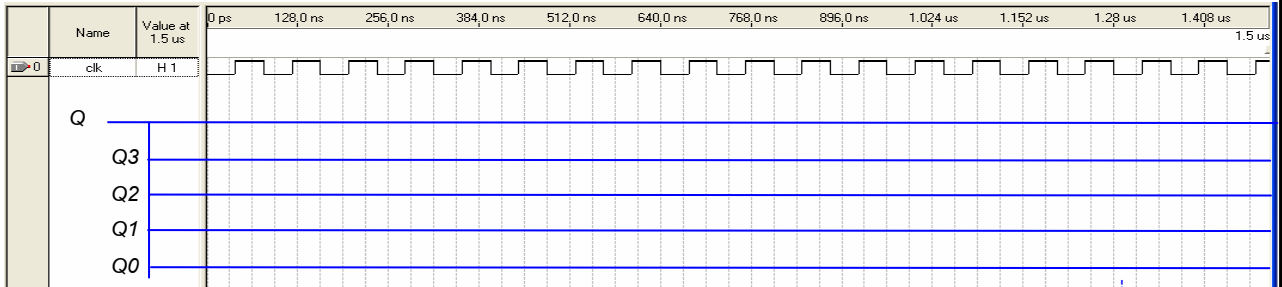


7. สร้างไฟล์แสดงแผนภาพทางเวลา (Timing diagram) กำหนดค่าแสดงผลจำลองการทำงานโดยให้

End Time = 1.5 us Grid Size = 1 ns

อินพุต clk ให้เป็นแบบสัญญาณนาฬิกา period 80 ns, offset 0

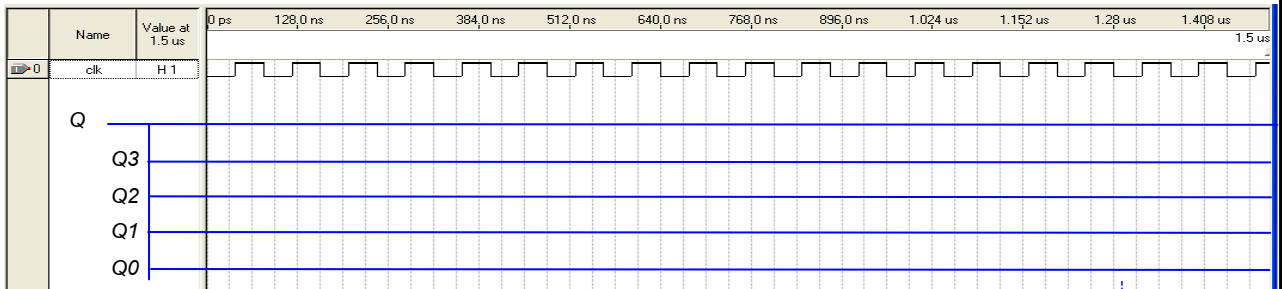
จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 6



หมายเหตุ ให้จัดสัญญาณเอาต์พุต Q3 Q2 Q1 Q0 เข้าเป็นกลุ่ม แสดงผลเป็น 4 บิตจะเห็นการเปลี่ยนแปลงค่าที่เอาต์พุตได้ดียิ่งขึ้น

รูปที่ 6

จำลองการทำงานโหมด Timing mode บันทึกผลที่ได้ลงในรูปที่ 7



รูปที่ 7

สังเกตผลการทดลอง

ก) จากรูปที่ 6 ให้สังเกตการเปลี่ยนแปลงค่าของเอาต์พุต Q เปรียบเทียบกับขอบขาขึ้น '↑' ของ clk

เมื่อ clk '↑' ครั้งที่ 1 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)

เมื่อ clk '↑' ครั้งที่ 2 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)

เมื่อ clk '↑' ครั้งที่ 3 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)

เมื่อ clk '↑' ครั้งที่ 8 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)

ข) จากรูปที่ 7 ค่าของเอาต์พุต (ผลลัพธ์ที่ถูกต้อง) โดย

ใช้เวลาน้อยที่สุดเมื่อ clk= '↑' ครั้งที่ โดย Q เปลี่ยนจากเลข.....ไปเป็นเลข.....ใช้เวลา..... ns

ใช้เวลามากที่สุดเมื่อ clk= '↑' ครั้งที่ โดย Q เปลี่ยนจากเลข.....ไปเป็นเลข.....ใช้เวลา..... ns

ให้ชুমขยายภาพดูในช่วงที่ Q เปลี่ยนระหว่าง 7↔8 และ 0↔F เอาต์พุตบิตใดที่มี delay time มากที่สุด.....

เพราะเหตุใด.....

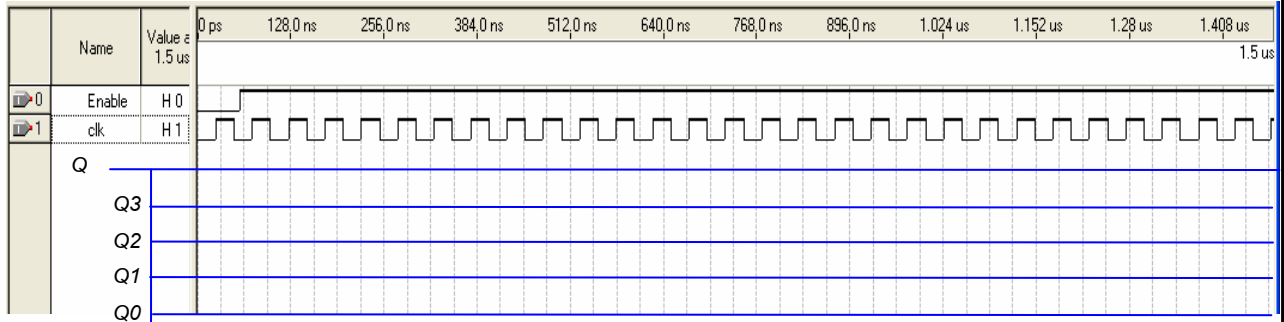
ค) จากข้อ ข) ถ้าวงจรที่ใช้ในการทดลองในรูปที่ 6 เพิ่มขนาดเป็นการนับเลข 8 บิต ค่า delay time (เมื่อเทียบกับ clk= '↑') มากที่สุดที่เกิดขึ้นในวงจร จะมีค่าเป็นอย่างไร อธิบาย.....



การทดลองที่ 7 Registers and Counters

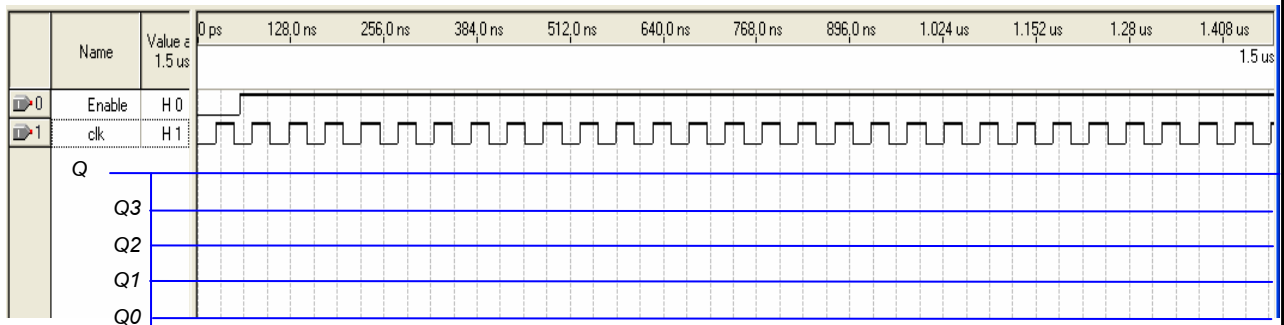
หน้า
7 / 13

มีค่า End Time = 1.5 us Grid Size = 1 ns
สัญญาณ clk ให้มีค่า period 60 ns, offset 0
Enable = '1' ตั้งแต่วันที่ 60 ns ไปจนสุดกราฟ
จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 11



รูปที่ 11

จำลองการทำงานโหมด Timing mode บันทึกผลที่ได้ลงในรูปที่ 12



รูปที่ 12

สังเกตผลการทดลอง

ก) จากรูปที่ 11 ให้สังเกตการเปลี่ยนแปลงค่าของเอาต์พุต Q เปรียบเทียบกับขอบขาขึ้น '↑' ของ clk

เมื่อ clk '↑' ครั้งที่ 1 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)
เมื่อ clk '↑' ครั้งที่ 2 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)
เมื่อ clk '↑' ครั้งที่ 3 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)
เมื่อ clk '↑' ครั้งที่ 8 ค่า Q3=..... Q2=..... Q1=..... Q0=..... Q = Q₃Q₂Q₁Q₀ = (Hex.)

ข) จากรูปที่ 12 ค่าของเอาต์พุต (ผลลัพธ์ที่ถูกต้อง) โดย

ใช้เวลาน้อยที่สุดเมื่อ clk = '↑' ครั้งที่ โดย Q เปลี่ยนจากเลข.....ไปเป็นเลข.....ใช้เวลา..... ns

ใช้เวลามากที่สุดเมื่อ clk = '↑' ครั้งที่ โดย Q เปลี่ยนจากเลข.....ไปเป็นเลข.....ใช้เวลา..... ns

ให้ชুমขยายภาพดูในช่วงที่ Q เปลี่ยนระหว่าง 7⇌8 หรือ 0⇌F เอาต์พุตบิตใดเปลี่ยนแปลงช้าที่สุด.....

เหตุการณ์นี้เหมือนหรือแตกต่างจากวงจรนับแบบ Asynchronous Counter ในรูปที่ 7 อย่างไร.....

.....

.....

เพราะเหตุใด

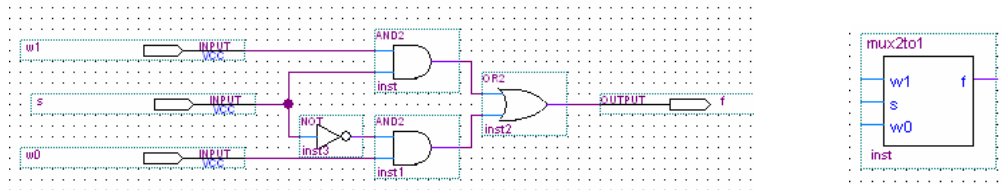
.....

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....



การทดลองตอนที่ 3 วงจร Synchronous Counter ที่สามารถตั้งค่าเริ่มต้นการนับได้

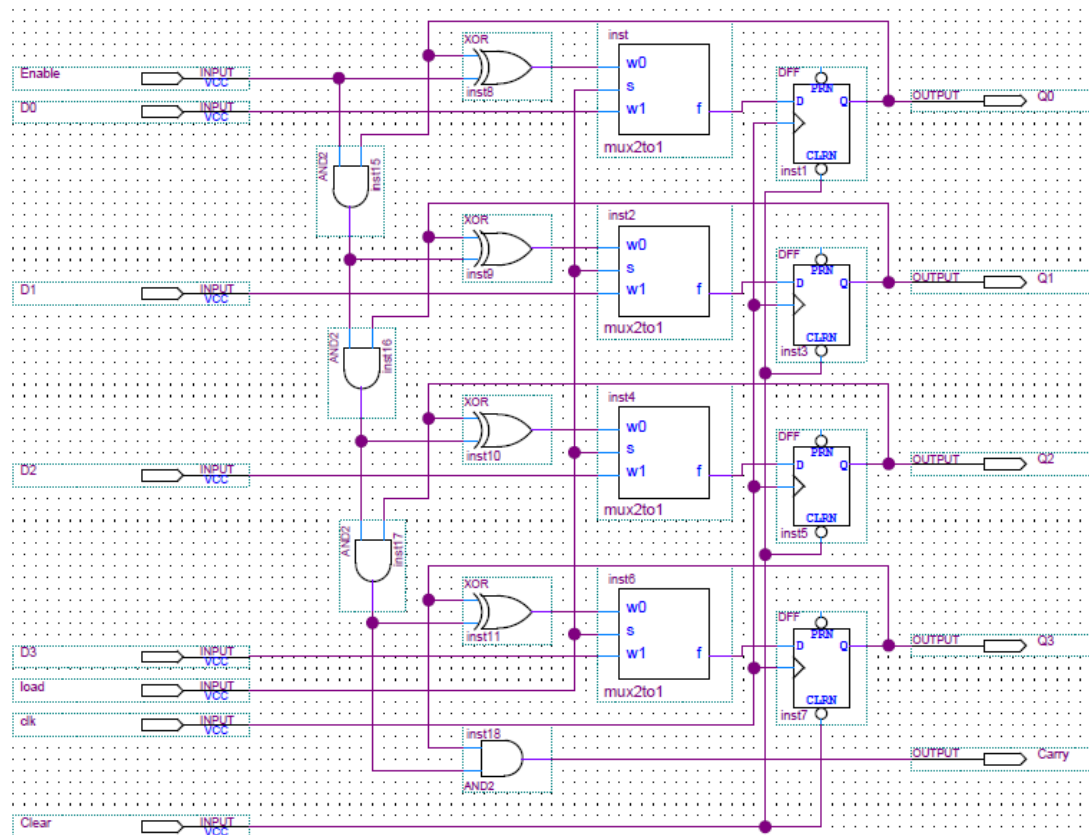
12. ให้**ปิดโปรเจกต์**ที่สร้างมาในขั้นตอนที่ 10-11 ก่อนที่จะทำการทดลองต่อไป
13. ให้สร้างอุปกรณ์ 2-to-1 multiplexer เพื่อที่จะใช้ในการทดลองโดย
 - a) ให้สร้างโปรเจกต์ขึ้นใหม่ชื่อ **“mux2to1”** และให้เก็บไว้ในโฟลเดอร์เดิม
 - b) ให้เปิดไฟล์ใหม่สำหรับเขียนวงจรในรูปที่ 13 ใช้ชิพ EP3C10E144C8 และคอมไพล์ให้เรียบร้อย
 - c) สร้าง **symbol file** เพื่อเตรียมใช้งานในขั้นตอนที่ 14 จากนั้นให้**ปิดโปรเจกต์**



วงจร multiplexer 2-to-1 (น.ศ.เคยทำมาแล้วในการทดลองที่ 4 แต่มีขนาดเล็กกว่า)

รูปที่ 13

14. ให้**ปิดโปรเจกต์**ที่สร้างมาในขั้นตอนที่ 13 และให้ดำเนินการดังนี้
 - a) สร้างโปรเจกต์ขึ้นใหม่ชื่อ **“Counter_Parallel_Load”** ให้เก็บไว้ในโฟลเดอร์เดิม
 - b) ให้เปิดไฟล์ใหม่สำหรับเขียนวงจรทดลองในรูปที่ 14 ใช้ชิพ EP3C10E144C8 ทำการคอมไพล์ และให้สร้าง **symbol** ไว้เพื่อใช้ในข้อถัดไป



คำเตือน : โปรตระวังการต่อขาของอุปกรณ์ mux2to1 ในวงจรสลับขากัน

รูปที่ 14



15. สร้างไฟล์แสดงแผนภาพทางเวลา (Timing diagram) ค่าของการจำลองแสดงผลดังนี้

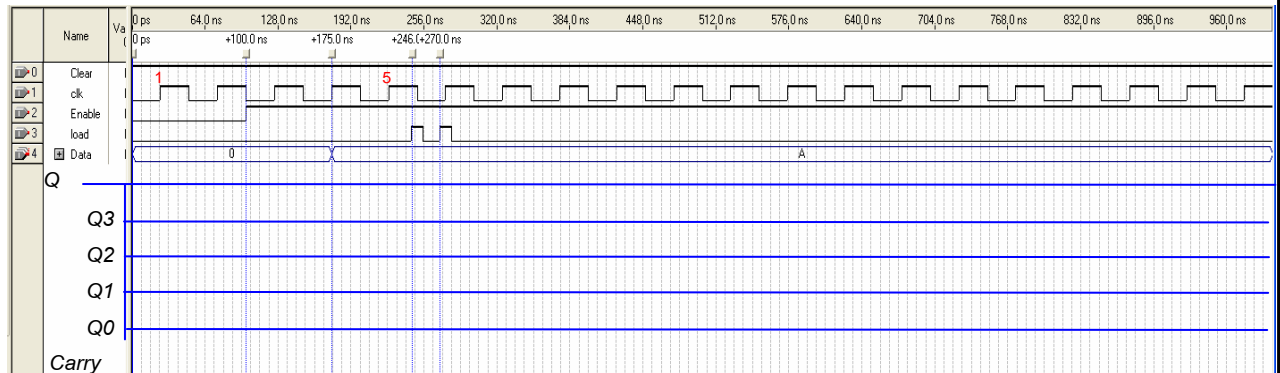
End Time = 1.0 us **Grid Size** = 1 ns **clk** = period 50 ns, offset 0

Enable = '1' ที่ช่วงเวลา t= 100ns – 1.0 us **Clear** = '1' ตลอดเวลา

Load = '1' ที่ช่วงเวลา t= 246-255ns และ t= 270-280 ns นอกนั้นให้เป็น '0'

Data (กลุ่มของ D3,D2,D1,D0) = "0000" ช่วง t= 0-175 ns และ "1010" ช่วง t = 175-1000 ns

จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 15



รูปที่ 15

การทดลอง

ก) การเปลี่ยนแปลงของเอาต์พุต Q ในช่วงที่ **Enable = '0'**

เมื่อ clk '↑' ครั้งที่ 1 ค่า Carry=..... Q3=..... Q2=..... Q1=..... Q0=..... Q = (Hex.)

เมื่อ clk '↑' ครั้งที่ 2 ค่า Carry=..... Q3=..... Q2=..... Q1=..... Q0=..... Q = (Hex.)

ข) การเปลี่ยนแปลงของเอาต์พุต Q ในช่วงที่ **Enable = '1'**

เมื่อ clk '↑' ครั้งที่ 3 ค่า Carry=..... Q3=..... Q2=..... Q1=..... Q0=..... Q = (Hex.)

เมื่อ clk '↑' ครั้งที่ 4 ค่า Carry=..... Q3=..... Q2=..... Q1=..... Q0=..... Q = (Hex.)

เมื่อ clk '↑' ครั้งที่ 5 ค่า Carry=..... Q3=..... Q2=..... Q1=..... Q0=..... Q = (Hex.)

ค) การเปลี่ยนแปลงของเอาต์พุต Q ในช่วงที่ **Enable = '1'** และค่าของ **Load = '1'**

เมื่อ clk '↑' ครั้งที่ 6 ค่า Carry=..... Q3=..... Q2=..... Q1=..... Q0=..... Q = (Hex.)

ง) ในช่วงเวลา t = 246-255 ns จะมีค่า Enable = '1' และค่าของ Load = '1'

เหตุการณ์นี้ส่งผลต่อเอาต์พุตเหมือนกับในข้อ ค) หรือไม่ เพราะเหตุใด

16. ให้เปลี่ยนค่าสัญญาณที่ขา **Clear = '0'** ในช่วง t=760-780 ns

เกิดผลอย่างไรต่อเอาต์พุต.....

สัญญาณ Clear เมื่อเปรียบเทียบกับขอบ '↑' ของ clk สัญญาณใดมีความสำคัญต่อเอาต์พุตมากกว่ากัน เพราะเหตุใด.....

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....



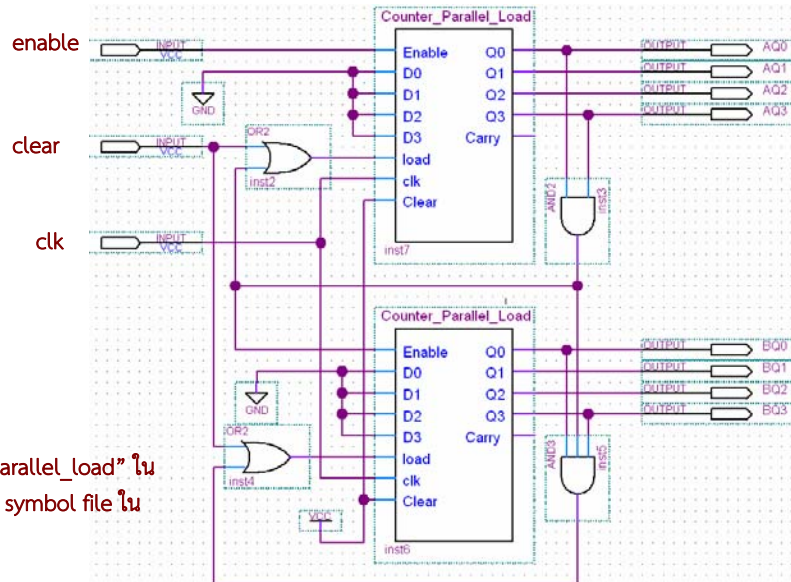
การทดลองตอนที่ 4 วงจรนับแบบ BCD Counter สำหรับนับเลขได้ตั้งแต่ 0 ถึง 99 (2 digits)

17. ให้**ปิดโปรเจกต์**ที่สร้างมาในขั้นตอนที่ 15 ก่อนที่จะทำการทดลองต่อไป

- ให้สร้างโปรเจกต์ขึ้นใหม่ชื่อ “**BCD_Counter2Digit**” เก็บไว้ในโฟลเดอร์เดิม
- ให้เปิดไฟล์ใหม่สำหรับเขียนวงจรทดลองในรูปที่ 16 ใช้ชิพ EP3C10E144C8 ทำการคอมไพล์ให้เรียบร้อย

รูปที่ 16

หมายเหตุ อุปกรณ์ชื่อ “Counter_parallel_load” ในรูป เป็นอุปกรณ์ที่ได้มาจากการสร้าง symbol file ในขั้นตอนที่ 14



18. สร้างไฟล์แสดงแผนภาพทางเวลา แสดงผลจำลองการทำงานดังนี้

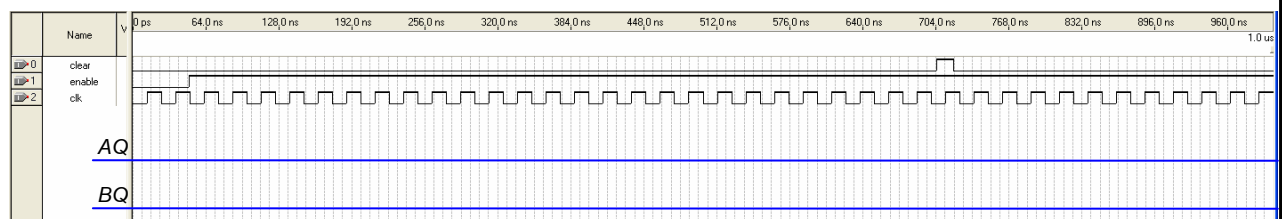
End Time = 1.0 us **Grid Size** = 1 ns **clk** = period 25 ns, offset 0

Enable = '1' ตั้งแต่ 50 ns จนสุดกราฟ

Clear = '1' เฉพาะที่เวลา t=705-720 ns

ให้จัดกลุ่มสัญญาณ **AQ** = AQ₃AQ₂AQ₁AQ₀ และ **BQ** = BQ₃BQ₂BQ₁BQ₀

จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 17



รูปที่ 17

สังเกตผลการทดลอง

ก) การเปลี่ยนแปลงของเอาต์พุต QB และ QA ในช่วงที่ **Enable = '0'**

เมื่อ clk '↑' ครั้งที่ 1 ค่า QB=..... QA=.....

เมื่อ clk '↑' ครั้งที่ 2 ค่า QB=..... QA=.....

ข) การเปลี่ยนแปลงของเอาต์พุต QB และ QA ในช่วงที่ **Enable = '1'**

เมื่อ clk '↑' ครั้งที่ 3 ค่า QB=..... QA=.....

เมื่อ clk '↑' ครั้งที่ 4 ค่า QB=..... QA=.....

เมื่อ clk '↑' ครั้งที่ 5 ค่า QB=..... QA=.....



จากผลการทดลองในข้อ ก) และ ข) ขาควคุมชื่อ enable มีหน้าที่อะไรในวงจร

ค) การเปลี่ยนแปลงของเอาต์พุต Q ในช่วงที่ Enable = '1' และค่าของ clear = '1'

เมื่อ clk ขอบขาขึ้น '↑' ครั้งที่ 29 ค่า QB=..... QA=.....

จากผลการทดลองในข้อ ค) ขาควคุมชื่อ clear มีหน้าที่อะไรในวงจร

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

การทดลองตอนที่ 5 สร้างวงจรนับ Binary Counter 8 bits ลงบนบอร์ดทดลอง Cyclone3-Lab01

ขั้นเตรียมการ

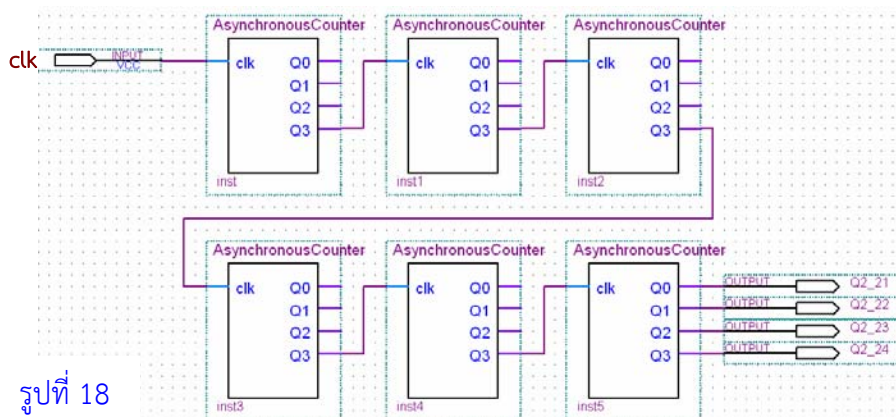
เนื่องจากบอร์ดทดลอง Cyclone3-Lab01 มีสัญญาณ clock ให้มาบนบอร์ด 20 MHz (มีการเปลี่ยนแปลงสลับกันระหว่าง '1' และ '0' 20 ล้านครั้งใน 1 วินาที) หากเรานำสัญญาณนี้มาป้อนให้กับวงจร Binary Counter 8 bits โดยตรงจะทำให้เกิดการนับที่เร็วมากเกินไปที่สายตาของมนุษย์จะอ่านค่าของตัวเลขได้ทัน ดังนั้นเพื่อให้สามารถสังเกตการนับได้ จึงต้องลดค่าความถี่ของสัญญาณ clock นี้ให้ช้าลงเหลือประมาณ 1-16 Hz

การลดค่าความถี่ของ clock ทำได้โดยการประยุกต์ใช้วงจร asynchronous counter ในรูปที่ 5 (ซึ่งเราได้สร้าง symbol file ไว้แล้วในขั้นตอนที่ 6) สาเหตุที่ใช้วงจร asynchronous counter ก็เพราะหากเราสังเกตผลการทดลองในรูปที่ 6 จะพบว่าคาบของสัญญาณ Q3 มีค่าเป็น 2 เท่าของ Q2 และเป็น 16 เท่าของ clk ที่ป้อนเข้าไป เท่ากับว่าค่าความถี่ของ Q3 จะน้อยกว่า clk อยู่ 16 เท่า ดังนั้นหากเรานำวงจรนี้มาทำการต่อ cascade กันในจำนวนที่มากพอ ก็จะสามารถลดความถี่ของ clock ให้มีค่าที่ต่ำลงได้ตามต้องการเช่นกัน

ขั้นที่ 1 สร้างวงจร clock divider ที่สามารถลดความถี่ clk ลงจาก 20MHz ให้เหลือ 1.2, 2.4, 4.8, 9.6 Hz

19. ให้ปิดโปรเจกต์ที่สร้างมาในขั้นตอนที่ 17- 18 ก่อนที่จะทำต่อไป

- ให้สร้างโปรเจกต์ขึ้นใหม่ใช้ชื่อ "ClockDivider" เก็บไว้ในโฟลเดอร์เดิม
- เปิดไฟล์ขึ้นมาสำหรับเขียนวงจร "หารสัญญาณนาฬิกา" (clock divider) ในรูปที่ 18 โดยอุปกรณ์ที่ใช้คือตัว Asynchronous Counter (จากขั้นตอนที่ 6) ให้คอมไพล์และสร้าง symbol file ไว้ในขั้นตอนถัดไป



รูปที่ 18



Node Name	Direction	Location	I/O Bank	Vref Group	I/O Standard	Filter	Pins: all
clk	Input	PIN_22	1	B1_NO	3.3-V LVTTTL (default)		
F_LCD_E	Output	PIN_54	4	B4_NO	3.3-V LVTTTL (default)		
Q0	Output	PIN_38	3	B3_NO	3.3-V LVTTTL (default)		
Q1	Output	PIN_39	3	B3_NO	3.3-V LVTTTL (default)		
Q2	Output	PIN_42	3	B3_NO	3.3-V LVTTTL (default)		
Q3	Output	PIN_43	3	B3_NO	3.3-V LVTTTL (default)		
Q4	Output	PIN_44	3	B3_NO	3.3-V LVTTTL (default)		
Q5	Output	PIN_46	3	B3_NO	3.3-V LVTTTL (default)		
Q6	Output	PIN_49	3	B3_NO	3.3-V LVTTTL (default)		
Q7	Output	PIN_50	3	B3_NO	3.3-V LVTTTL (default)		
SW7	Input	PIN_33	2	B2_NO	3.3-V LVTTTL (default)		

รูปที่ 22

หมายเหตุ การต่อพอร์ทอุปกรณ์ สามารถดูรายละเอียดของการต่อพอร์ทต่างๆ ได้จากคู่มือบอร์ด

ชื่อเอกสารคือ **4.WARRIOR CYCLONE3 Education Board User's Manual.pdf**

วงจรหลอด LED ในรูปที่ 12 (หน้า16), ตารางที่ 3 (หน้า17) วงจรสวิตช์เลื่อน F_SL_SW7 ในรูปที่ 16 (หน้า19), ตารางที่ 7 (หน้า20) วงจรสัญญาณนาฬิกา clk, clock ในหน้าที่ 31 ข้อที่ 9

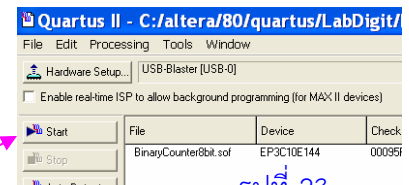
23. นำบอร์ดทดลอง Cyclone3-Lab01 มาต่อแหล่งจ่ายไฟ 12 โวลต์ เปิดสวิตช์ จากนั้นต่อสายสำหรับโหลดโปรแกรมจากคอมพิวเตอร์ลงบนบอร์ด

ใช้สาย **Byte Blaster** สำหรับเครื่องคอมพิวเตอร์ PC

ใช้สาย **USB Blaster** สำหรับเครื่องคอมพิวเตอร์โน้ตบุ๊ก

24. ดาวนโหลดโปรแกรมโดยไปที่เมนู **TOOLS >> Programmer**

จะปรากฏหน้าต่างดังรูปที่ 23 เมื่อกดปุ่ม **Start** ข้อมูลของวงจรที่ออกแบบไว้จะถูกโหลดลงบอร์ดทันที



รูปที่ 23

ผลการทดลอง หลอด LED ทั้ง 8 ดวงที่แทนค่าแต่ละบิตของ Q7...Q0 บนบอร์ดทดลอง (LED ดับ แสดงสถานะเป็นลอจิก '0')

ก) ปรับสวิตช์เลื่อน **SW7** ไปที่ตำแหน่ง high สังเกตการณ์ติด/ดับของ LED (เสมือนเป็นเลขฐานสอง)

ค่าเริ่มต้นนับจากค่าต่ำสุดคือ Q7...Q0 = (เขียนเป็นเลขไบนารี)

ข) รอเวลาประมาณสิบวินาทีจึงปรับสวิตช์เลื่อน SW7 ไปที่ตำแหน่ง low ค่า Q7...Q0 = เกิดอะไรขึ้นกับ LED

ปรับสวิตช์กลับไปตำแหน่ง high อีกครั้ง เกิดอะไรขึ้นกับ LED

การทำงานของ low หรือ high ของ SW7 ส่งผลอย่างไรต่อการนับ

ค) ถ้าจะให้การปรับสวิตช์เลื่อน SW7 โดยที่ค่าของ Q7...Q0 ยังคงค้างไว้เช่นเดิมแต่ LED ไม่ดับ จะต้องดัดแปลงวงจรอย่างไร (ทำให้ดู)

ง) ถ้าต้องการให้วงจรนับนี้ เพิ่มขาควควบคุมที่สามารถเคลียร์ค่าให้ Q7...Q0 เป็นศูนย์ได้ ต้องดัดแปลงวงจรอย่างไรบ้าง (ทำให้ดู)

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

งานมอบหมายท้ายการทดลอง (ให้เขียนลงบนกระดาษ A4 ที่มีเส้นบรรทัดและรวมใส่ท้ายเอกสารการทดลอง)

1. ให้ออกแบบวงจรนับเลขฐานสิบขนาด 4 หลัก (Digit) ที่เริ่มนับจาก 0 ไปจนถึงเลข ที่ตรงกับเลขท้ายสี่ตัวของรหัสนักศึกษา แล้วให้หยุดนับค้างไว้ เช่นรหัส 560101163101-1 จะเริ่มนับจาก 0 ไปหยุดค้างที่ 1011 โดย น.ศ.ต้องส่งให้ตรวจก่อนเข้าเรียน ครั้งต่อไป (การทดลองครั้งต่อไปจะเริ่มจากงานที่แต่ละคนออกแบบมาเท่านั้น หากไม่มีส่งจะถือว่าไม่ได้เข้าเรียนในคาบนั้นด้วย)