



ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์

ภาคการศึกษาที่.....ปีการศึกษา.....

รหัสวิชา 010113026

ชื่อวิชา Digital Laboratory

ตอนเรียน หมายเลขโต๊ะ.....

รหัสนักศึกษา..... ชื่อ-นามสกุล.....

อาจารย์ผู้สอน..... เวลาที่ทำการทดลอง วันที่.....

การทดลองที่ 6

Latch and Flip-Flops

วัตถุประสงค์

1. เพื่อให้สามารถใช้โปรแกรมคอมพิวเตอร์จำลองการทำงานของวงจรลอจิกเกตได้
2. เพื่อให้เข้าใจพื้นฐานของอุปกรณ์ที่มีความจำ และ อุปกรณ์ฟลิป-ฟลอป
3. เพื่อให้เข้าใจพื้นฐานของ D Flip-Flop , T Flip-Flop , JK Flip-Flop

อุปกรณ์

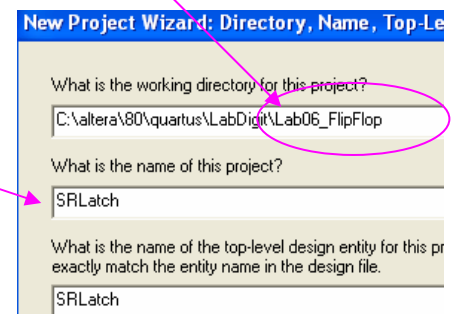
1. ระบบคอมพิวเตอร์ 1 เครื่อง พร้อมติดตั้งโปรแกรม Quartus II เวอร์ชัน 8.0 (Student Edition) ขึ้นไป

การทดลองตอนที่ 1 วงจร Latch

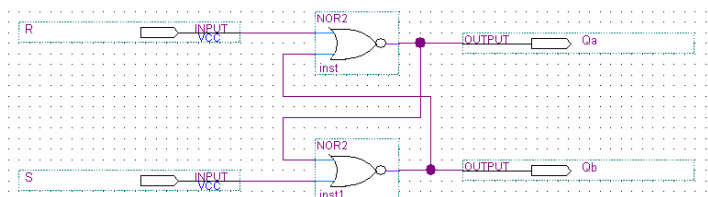
คำสั่งการทดลอง

1. ให้ น.ศ. สร้างโพลเดอร์สำหรับเก็บงานชิ้นใหม่เพื่อเก็บงานในการทดลองนี้ชื่อ “Lab06_FlipFlop” จากนั้นให้สร้างโปรเจกต์ชื่อ “SRLatch” ขึ้นดังรูปที่ 1 และใช้ชิพเบอร์ EP3C10E144C8

รูปที่ 1



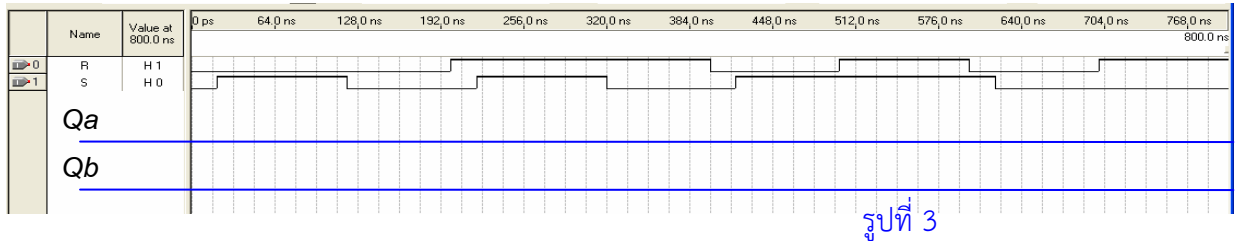
เขียนวงจรทดลองดังรูปที่ 2 ด้วย Graphic Editor Tool ของโปรแกรม Quartus II และทำการคอมไพล์ให้เรียบร้อย จากนั้นให้ทำการสร้าง symbol ของวงจรขึ้นมาเตรียมไว้ใช้ในขั้นถัดไป



รูปที่ 2

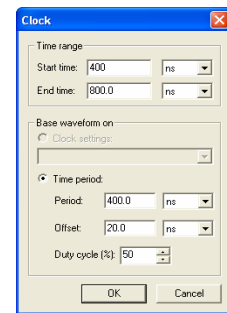
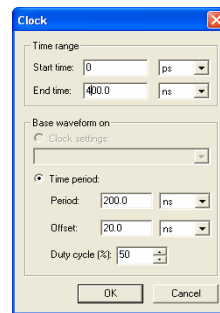
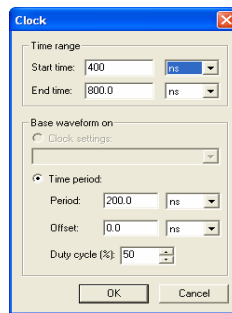
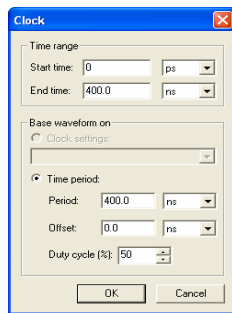


2. สร้างไฟล์แสดงแผนภาพทางเวลา (Timing diagram) ในรูปที่ 3 (ดูวิธีสร้างจากรูปที่ 4) โดยตั้งค่าสำหรับการแสดงผลจำลองการทำงานมีค่า End Time = 800 ns Grid Size = 1 ns แล้วจำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 3



วิธีสร้างรูปคลื่นของ R และ S

- ก) กำหนดอินพุต R ให้เป็นแบบสัญญาณนาฬิกา ในช่วง 0 – 400 ns ดังรูปที่ 4a
ในช่วง 400 – 800 ns ดังรูปที่ 4b
- ข) กำหนดอินพุต S ให้เป็นแบบสัญญาณนาฬิกา ในช่วง 400 – 800 ns ดังรูปที่ 4C
ในช่วง 400 – 800 ns ดังรูปที่ 4d และกลับเฟส กราฟทั้งรูป (ใช้เครื่องมือ inv)



รูปที่ 4

ผลการทดลอง

ให้สังเกตทุกจุดของเอาต์พุต Qa Qb ที่มีการเปลี่ยนแปลง

- ก) เมื่อ R = '0' S = '1' จุดที่ 1 ในช่วงเวลา t = ได้ค่า Qa = Qb =
จุดที่ 2 ในช่วงเวลา t = ได้ค่า Qa = Qb =
จุดที่ 3 ในช่วงเวลา t = ได้ค่า Qa = Qb =
- ข) เมื่อ R = '0' S = '0' จุดที่ 1 ในช่วงเวลา t = ได้ค่า Qa = Qb =
จุดที่ 2 ในช่วงเวลา t = ได้ค่า Qa = Qb =
จุดที่ 3 ในช่วงเวลา t = ได้ค่า Qa = Qb =
จุดที่ 4 ในช่วงเวลา t = ได้ค่า Qa = Qb =
- ค) เมื่อ R = '1' S = '0' จุดที่ 1 ในช่วงเวลา t = ได้ค่า Qa = Qb =
จุดที่ 2 ในช่วงเวลา t = ได้ค่า Qa = Qb =
- ง) เมื่อ R = '1' S = '1' จุดที่ 1 ในช่วงเวลา t = ได้ค่า Qa = Qb =
จุดที่ 2 ในช่วงเวลา t = ได้ค่า Qa = Qb =



การทดลองที่ 6 Latch and Flip-Flops

หน้า
3 / 9

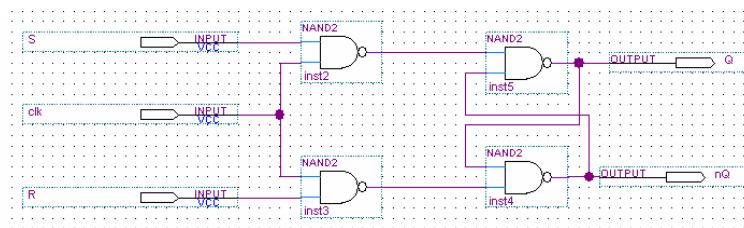
จากความสัมพันธ์กันระหว่าง S, R, Qa และ Qb ให้อธิบายสรุปหลักการทำงาน หรือคุณสมบัติของวงจร SR Latch

S	R	Qa	Qb
0	0	/	/
0	1		
1	0		
1	1		

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

3. ให้ปิดโปรเจกต์ที่สร้างมาในขั้นตอนที่ 1 – 2 ก่อนที่จะทำการทดลองต่อไป
4. สร้างโปรเจกต์ชื่อ “GatedSRLatch” ขึ้นมาและให้เก็บไว้ในโฟลเดอร์เดิมจากนั้นสร้างไฟล์ชื่อเดียวกันกับโปรเจกต์สำหรับเก็บงานวงจรในรูปที่ 5 ใช้ชิพ EP3C10E144C8 แล้วทำการคอมไพล์ให้เรียบร้อย

รูปที่ 5



5. สร้างไฟล์แสดงแผนภาพทางเวลา (Timing diagram) ให้ตั้งค่าแสดงผลจำลองการทำงานดังนี้

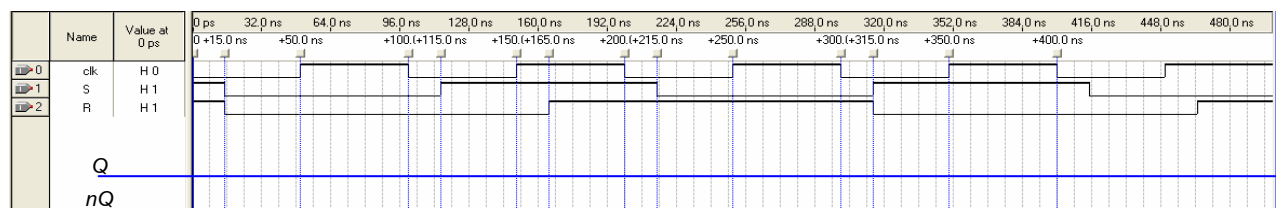
End Time = 0.5 us Grid Size = 1 ns

สัญญาณอินพุต clk ให้เป็นแบบนาฬิกา period 100 ns, offset 0

R ให้เป็นแบบนาฬิกา period 300 ns, offset 15 ns

S ให้เป็นแบบนาฬิกา period 200 ns, offset 15 ns

จำลองการทำงานโหมด “Functional mode” บันทึกผลที่ได้ลงในรูปที่ 6



รูปที่ 6

หมายเหตุ 1. สัญลักษณ์ ในกราฟของ Quartus II หมายถึงการไม่ทราบค่า (unknown)
2. การอ่านค่ากราฟในจุดที่มีการเปลี่ยนค่าจะอ่านแบบกราฟมีค่าต่อเนื่องทางขวา

ผลการทดลอง

ให้สังเกตทุกจุดของเอาต์พุต Q และ nQ (not Q, \bar{Q}) ที่มีการเปลี่ยนแปลง

- | | | | | | |
|-------------------|---------------------|-------------|-------------|-----------------------|------------|
| ก) ที่ t = 15 ns | เมื่อ clk = '0' | R = '0' | S = '0' | ค่าเอาต์พุต Q = | nQ = |
| ข. ที่ t = 50 ns | เมื่อ clk = '1' | R = '0' | S = '0' | ค่าเอาต์พุต Q = | nQ = |
| ค. ที่ t = 100 ns | เมื่อ clk = '0' | R = '0' | S = '0' | ค่าเอาต์พุต Q = | nQ = |
| ด. ที่ t = 115 ns | เมื่อ clk = '0' | R = '0' | S = '1' | ค่าเอาต์พุต Q = | nQ = |
| ฉ. ที่ t = 150 ns | เมื่อ clk = '1' | R = '1' | S = '1' | ค่าเอาต์พุต Q = | nQ = |
| จ. ที่ t = 165 ns | เมื่อ clk = '.....' | R = '.....' | S = '.....' | ค่าเอาต์พุต Q = | nQ = |



ที่ t = 200 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 215 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 250 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 300 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 315 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 350 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 400 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 415 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 450 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

ที่ t = 465 ns เมื่อ clk = '.....' R = '.....' S = '.....' ค่าเอาต์พุต Q =, nQ =

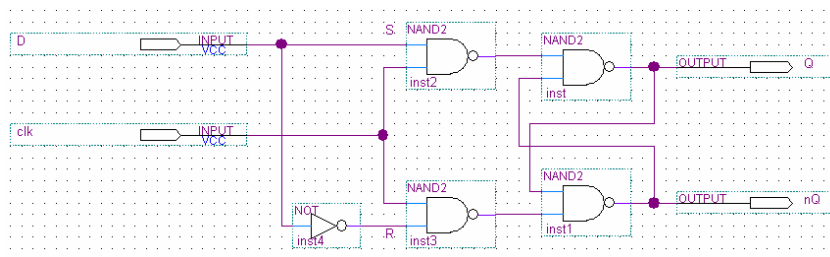
ข) จากผลการทดลองข้างต้นสามารถสรุปเป็นหลักการการทำงาน หรือคุณสมบัติของวงจร Gated SR Latch ได้คือ.....

Clk	S	R	Q(t+1)
0	x	x	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

ค) สถานะ Q(t+1) ในตารางความจริง มีความหมายว่าอย่างไร

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

- ให้ปิดโปรเจกต์ที่สร้างในขั้นตอน 4-5 ก่อนที่จะทำการทดลองต่อไป
- สร้างโปรเจกต์ชื่อ “GatedDLatch” ขึ้นมาและให้เก็บไว้ในโฟลเดอร์เดียวกันกับโปรเจกต์ที่สร้างตอนก่อนหน้านี้ จากนั้นสร้างวงจรทดลองดังรูปที่ 7 ให้ใช้ชิพ EP3C10E144C8
- ทำการคอมไพล์ให้เรียบร้อยและสร้าง **Symbol file** เพื่อเตรียมใช้งานในขั้นตอนถัดไป



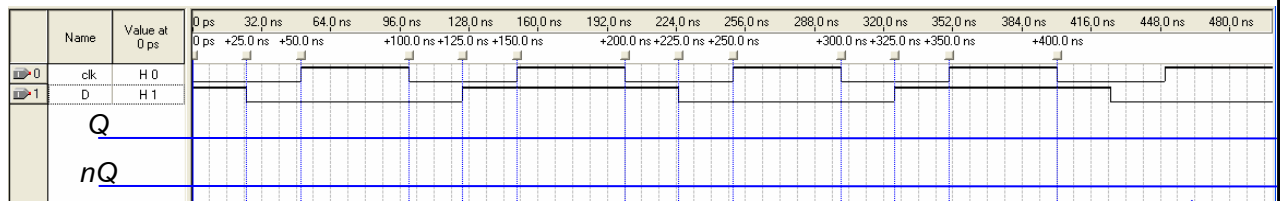
รูปที่ 7

- สร้างไฟล์แสดงแผนภาพทางเวลา ดังรูปที่ 8 กำหนดค่าสำหรับแสดงผลจำลองการทำงานโดยให้
End Time = 0.5 us Grid Size = 1 ns
สัญญาณอินพุต clk ให้เป็นแบบนาฬิกา period 100 ns, offset 0
D ให้เป็นแบบนาฬิกา period 200 ns, offset 25,
จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 8



การทดลองที่ 6 Latch and Flip-Flops

หน้า
5 / 9



รูปที่ 8

ผลการทดลอง ให้สังเกตทุกจุดของเอาต์พุต Q และ nQ (not Q , \bar{Q}) ที่มีการเปลี่ยนแปลง

ก)	ที่ t = 25 ns	เมื่อ clk = '0' D = '0'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 50 ns	เมื่อ clk = '1' D = '0'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 100 ns	เมื่อ clk = '0' D = '0'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 125 ns	เมื่อ clk = '0' D = '1'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 150 ns	เมื่อ clk = '1' D = '1'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 200 ns	เมื่อ clk = '0' D = '1'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 225 ns	เมื่อ clk = '0' D = '0'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 250 ns	เมื่อ clk = '...' D = '...'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 300 ns	เมื่อ clk = '...' D = '...'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 325 ns	เมื่อ clk = '...' D = '...'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 350 ns	เมื่อ clk = '...' D = '...'	ค่าเอาต์พุต Q =	nQ =
	ที่ t = 400 ns	เมื่อ clk = '...' D = '...'	ค่าเอาต์พุต Q =	nQ =

ข) เอาต์พุต Q จะเปลี่ยนค่าตามอินพุต D ก็ต่อเมื่อ clk มีค่าเท่ากับ
จากผลการทดลองข้างต้นสามารถสรุปเป็นหลักการทำงานหรือคุณสมบัติของวงจร Gated D Latch ได้ดังนี้

.....
.....
.....

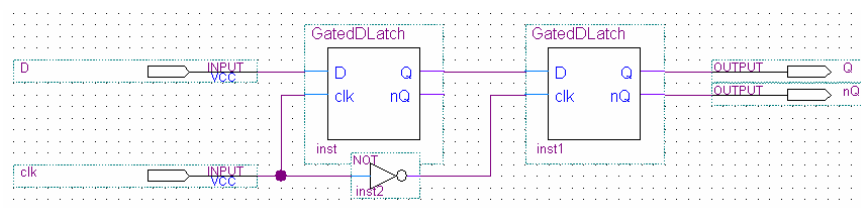
clk	D	Q(t+1)
0	x	
1	0	
1	1	

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

การทดลองตอนที่ 2 วงจร Flip-Flop

10. ให้**ปิดโปรเจกต์**ที่สร้างมาในขั้นตอนที่ 7-9 ก่อนที่จะทำการทดลองต่อไป

11. สร้างโปรเจกต์ชื่อ “**MasterSlaveDFF**” ขึ้นมาและให้เก็บไว้ในโฟลเดอร์เดิม ทำการสร้างวงจรในรูปที่ 9 โดยใช้อุปกรณ์ **GatedDLatch** จาก **symbol file** ที่ได้จากการทดลองในข้อ 7-9 ใช้ชิพ **EP3C10E144C8** จากนั้นทำการคอมไพล์ให้เรียบร้อย



รูปที่ 9



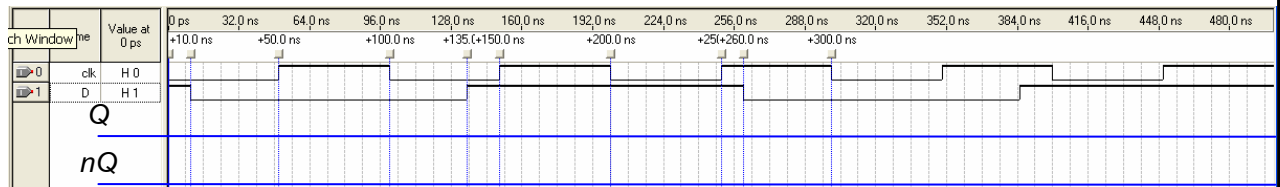
12. สร้างไฟล์แสดงแผนภาพทางเวลา กำหนดค่าสำหรับแสดงผลจำลองการทำงานให้มีค่า


End Time = 0.5 us Grid Size = 1 ns

สัญญาณอินพุต clk ให้เป็นแบบนาฬิกา period 100 ns, offset 0

D ให้เป็นแบบนาฬิกา period 250 ns, offset 10 ns,

จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 10



หมายเหตุ : 1. สัญลักษณ์ '↑' หมายถึง มีการเปลี่ยนค่า จาก 0→1 ส่วน '↓' เปลี่ยนจาก 1→0
2. สัญลักษณ์  ในกราฟของ Quartus II หมายถึงการไม่ทราบค่า (unknown)

รูปที่ 10

สังเกตผลการทดลอง

ก) ที่ t = 10 ns	เมื่อ clk = '0' D = '0'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 50 ns	เมื่อ clk = '↑' D = '0'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 100 ns	เมื่อ clk = '↓' D = '0'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 135 ns	เมื่อ clk = '0' D = '1'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 150 ns	เมื่อ clk = '↑' D = '1'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 200 ns	เมื่อ clk = '↓' D = '1'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 250 ns	เมื่อ clk = '↑' D = '1'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 260 ns	เมื่อ clk = '1' D = '0'	ค่าเอาต์พุต Q =, nQ =
ที่ t = 300 ns	เมื่อ clk = '↓' D = '0'	ค่าเอาต์พุต Q =, nQ =

ข) เอาต์พุต Q เปลี่ยนเป็นค่าเดียวกันกับอินพุต D เมื่อ clk =

ค) จากผลการทดลอง ให้สรุปหลักการทำงานหรือคุณสมบัติ ของวงจร Master Slave D Flip-Flop ได้ดังนี้

clk	D	Q(t+1)
	X	
	0	
	1	

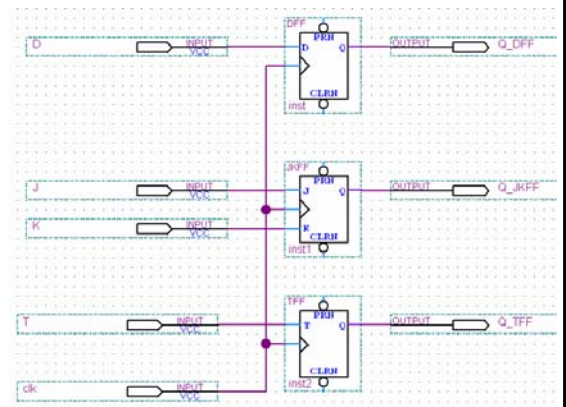
ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

13. ให้ปิดโปรเจกต์ที่สร้างมาในขั้นตอนที่ 10-12

14. สร้างโปรเจกต์ชื่อ “ALL_FLIP_FLOP” เก็บไว้ในโฟลเดอร์
เดิมสร้างไฟล์ชื่อเดียวกันกับโปรเจกต์ขึ้นมาเก็บวงจรทดลอง
ในรูปที่ 11 คอมไพล์ให้เรียบร้อย

ในไลบรารีของ Quartus II
อุปกรณ์ D Flip-Flop ใช้ชื่อเป็น dff
อุปกรณ์ JK Flip-Flop ใช้ชื่อเป็น jkff
อุปกรณ์ T Flip-Flop ใช้ชื่อเป็น tff

รูปที่ 11





การทดลองที่ 6 Latch and Flip-Flops

หน้า
7 / 9

15. สร้างไฟล์แสดงแผนภาพทางเวลา กำหนดค่าสำหรับแสดงผลจำลองการทำงานโดยให้มีค่าดังกราฟในรูปที่ 12

End Time = 1.0 us Grid Size = 1 ns

สัญญาณอินพุต clk ให้เป็นแบบนาฬิกา period 100 ns, offset 0 ns

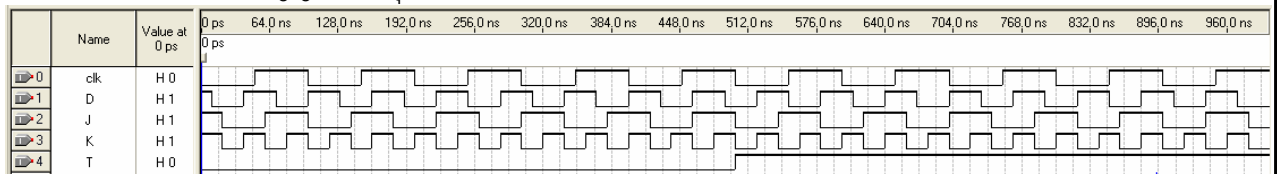
D ให้เป็นแบบนาฬิกา period 60 ns, offset 10 ns

J ให้เป็นแบบนาฬิกา period 80 ns, offset 20 ns

K ให้เป็นแบบนาฬิกา period 40 ns, offset 20 ns

T ให้เป็นแบบนาฬิกา period 1000 ns, offset 0 ns

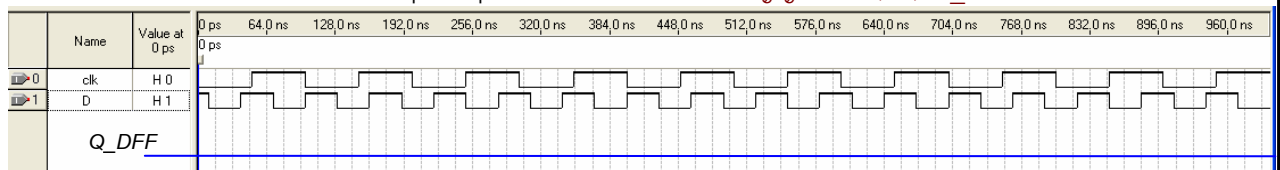
กราฟแสดงค่าสัญญาณอินพุต clk, D, J, K, T



รูปที่ 12

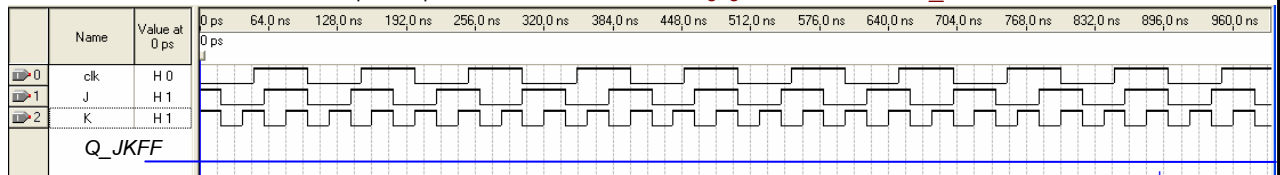
16 จำลองการทำงานโหมด Functional mode บันทึกผลที่ได้ลงในรูปที่ 13 -15

ผลจำลองการทำงานของ D Flip-Flop (เปรียบเทียบระหว่างสัญญาณ clk, D, Q_DFF)



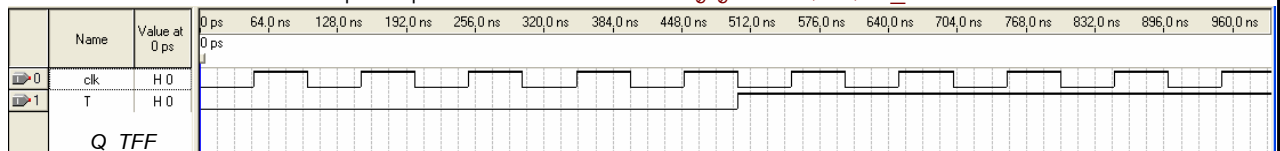
รูปที่ 13

ผลจำลองการทำงานของ JK Flip-Flop (เปรียบเทียบระหว่างสัญญาณ clk, J, K, Q_JKFF)



รูปที่ 14

ผลจำลองการทำงานของ T Flip-Flop (เปรียบเทียบระหว่างสัญญาณ clk, T, Q_TFF)



รูปที่ 15

ผลการทดลอง **หมายเหตุ :** ให้ใช้สัญลักษณ์ '↑' แทนการ มีการเปลี่ยนค่า จาก 0→1 ส่วน '↓'เปลี่ยนจาก 1→0 ในการเขียนตารางความจริง

ก) จากรูปที่ 13 ค่าของอินพุต D ไปปรากฏที่เอาต์พุต Q_DFF เมื่อ clk มีค่า.....

ข) จากผลการทดลอง สรุปหลักการทำงาน (คุณสมบัติ) หรือสมการ หรือ ตารางความจริงของวง

จร Positive Edge Trig D Flip-Flop ได้ดังนี้

clk	D	Q(t+1)
	X	
	0	
	1	



ค) จากรูปที่ 14 ค่าของเอาต์พุต Q_JKFF จะเกิดการเปลี่ยนแปลงเมื่อ clk มีค่า.....

ง) ให้เขียนความสัมพันธ์กันระหว่างสัญญาณ J K และ Q_JKFF โดยเขียนเป็น
สมการหรือ ตารางความจริง

clk	J	K	Q(t+1)

จ) จากรูปที่ 15 ค่าของเอาต์พุต Q_TFF จะเกิดการเปลี่ยนแปลงเมื่อ clk มีค่า.....

ถ้าสัญญาณ T = '0' ค่าของเอาต์พุต Q_TFF จะมีค่า.....

ถ้าสัญญาณ T = '1' ค่าของเอาต์พุต Q_TFF จะการเปลี่ยนแปลงอย่างไร.....

ถ้าสัญญาณ T = '1' คาบของเอาต์พุต Q_TFF จะมีค่าของเวลาใน 1 คาบ
คิดเป็นจำนวน.....เท่าเมื่อเทียบกับ clk

ความถี่ของ Q_TFF คิดเป็นจำนวน.....เท่าเมื่อเทียบกับ clk

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....



การทดลองตอนที่ 3 สร้างวงจร Flip-Flop ด้วยภาษา VHDL

17. ให้**ปิดโปรเจกต์**ที่สร้างมาในขั้นตอนที่ 10-16 ก่อนที่จะทำการทดลองต่อไป

18. เขียนภาษา VHDL ดังในรูปที่ 16 และ 18

a) ให้สร้างโปรเจกต์ขึ้นใหม่ สำหรับเก็บงาน Designed ของแต่ละรูป และเก็บไฟล์ไว้ในโฟลเดอร์เดิม
ไฟล์เก็บชิ้นงาน (Designed file) ให้ใช้ชื่อ *******.VHD** (ดูคำอธิบายในแต่ละรูป)

b) ทำการคอมไพล์ และจำลองการทำงานในโหมด
Functional Mode ดังรูปที่ 17 และรูปที่ 19

c) เปรียบเทียบกับผลที่ได้จากการออกแบบด้วยวิธีการ
เขียนด้วยวงจรลอจิก (การทดลองข้อที่ 1-16)

d) แจ้งอาจารย์ผู้สอนเพื่อตรวจผลการทดลอง
ให้ครบทุกอุปกรณ์

ชื่ออุปกรณ์ : D Flip-Flop
ชื่อโปรเจกต์ : DFF_VHD
ชื่อไฟล์ : DFF_VHD.vhd

```

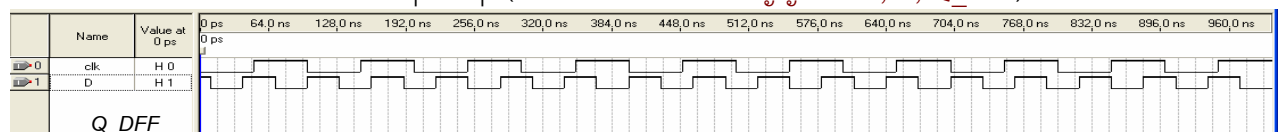
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY DFF_VHD IS
  PORT ( D, clk : IN      STD_LOGIC ;
         Q_DFF : OUT     STD_LOGIC) ;
END DFF_VHD ;

ARCHITECTURE Behavior OF DFF_VHD IS
BEGIN
  PROCESS ( clk )
  BEGIN
    IF clk' EVENT AND clk = '1' THEN
      Q_DFF <= D ;
    END IF ;
  END PROCESS ;
END Behavior ;
  
```

รูปที่ 16

ผลจำลองการทำงานของ D Flip-Flop (เปรียบเทียบระหว่างสัญญาณ clk, D, Q_DFF)



รูปที่ 17 (ให้กำหนดค่าของกราฟเหมือนในรูปที่ 13)



ชื่ออุปกรณ์ : D Flip-Flop with asynchronous clear

ชื่อโปรเจกต์ : DFFasync_VHD

ชื่อไฟล์ : DFFasync_VHD.vhd

```
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY DFFasync_VHD IS
PORT ( D, Resetn, Clock : IN STD_LOGIC ;
      Q : OUT STD_LOGIC ) ;
END DFFasync_VHD ;

ARCHITECTURE Behavior OF DFFasync_VHD IS
BEGIN
PROCESS ( Resetn, Clock )
BEGIN
IF Resetn = '0' THEN
Q <= '0' ;
ELSIF Clock'EVENT AND Clock = '1' THEN
Q <= D ;
END IF ;
END PROCESS ;
END Behavior ;
```

รูปที่ 18

บันทึกผลการทดลอง

ก) เปรียบเทียบผลการทดลองในรูปที่ 13 และรูปที่ 17

.....

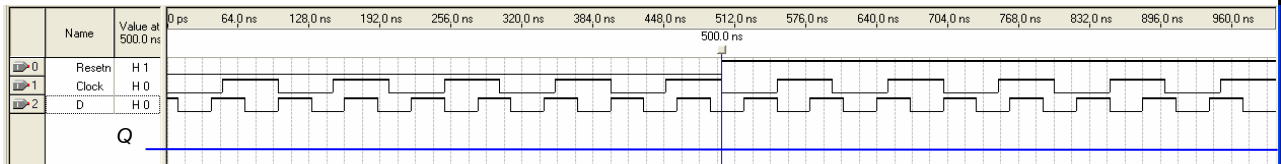
.....

.....

.....

.....

ผลจำลองการทำงานของ D Flip-Flop with asynchronous clear (clock, D, Q, Resetn)



รูปที่ 19 (ให้กำหนดค่าของกราฟ D, clock เหมือนในรูปที่ 13)

ข) อุปกรณ์ D Flip-Flop ที่มีการเพิ่มขาควบคุมชื่อ Resetn (ขาควบคุมนี้ทำงานเป็น asynchronous clear) ดังรูปที่ 18 มีการทำงานที่แตกต่างจาก D Flip-Flop ในรูปที่ 16 อย่างไร

ค) ขาควบคุมที่ทำงานแบบ asynchronous มีการทำงานอย่างไร

ง) ขาควบคุมขาใดในอุปกรณ์ D Flip-Flop รูปที่ 11 มีหน้าที่เป็น asynchronous clear เช่นเดียวกันกับขา Resetn ของอุปกรณ์ในรูปที่ 18.....

น.ศ. รู้อย่างไร ให้อธิบายวิธีการพิสูจน์ว่าขาควบคุมที่ถูกกล่าวอ้างมานั้นทำหน้าที่เป็น asynchronous clear จริงๆ

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

งานมอบหมายท้ายการทดลอง

(ให้เขียนลงบนกระดาษ A4 ที่มีเส้นบรรทัดและรวมใส่ท้ายเอกสารการทดลอง ส่งอาจารย์ผู้สอนในคราวถัดไป)

- 1) ให้สร้างอุปกรณ์ JK Flip-Flop โดยใช้ภาษา VHDL พร้อมทั้งพิสูจน์การทำงานด้วย timing diagram
- 2) ให้สร้างอุปกรณ์ T Flip-Flop โดยใช้ภาษา VHDL พร้อมทั้งพิสูจน์การทำงานด้วย timing diagram