



ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์

ภาคการศึกษาที่.....ปีการศึกษา.....

รหัสวิชา 010113026 ชื่อวิชา Digital Laboratory

ตอนเรียน .....หมายเลขโต๊ะ.....

รหัสนักศึกษา..... ชื่อ-นามสกุล.....

อาจารย์ผู้สอน.....เวลาที่ทำการทดลอง ..... วันที่.....

## การทดลองที่ 2

### Combinational and Adder circuit

#### วัตถุประสงค์

1. เพื่อให้สามารถใช้โปรแกรมคอมพิวเตอร์จำลองการทำงานของวงจรลอจิกเกตได้
2. เพื่อให้เข้าใจความสัมพันธ์ของ วงจรลอจิก ลอจิกฟังก์ชัน ตารางความจริง และแผนภาพทางเวลา
3. เพื่อให้เข้าใจพื้นฐานการทำงานของวงจรแบบ Combination-circuit
4. เพื่อให้เข้าใจพื้นฐานการทำงานของวงจร Adder circuit

#### อุปกรณ์

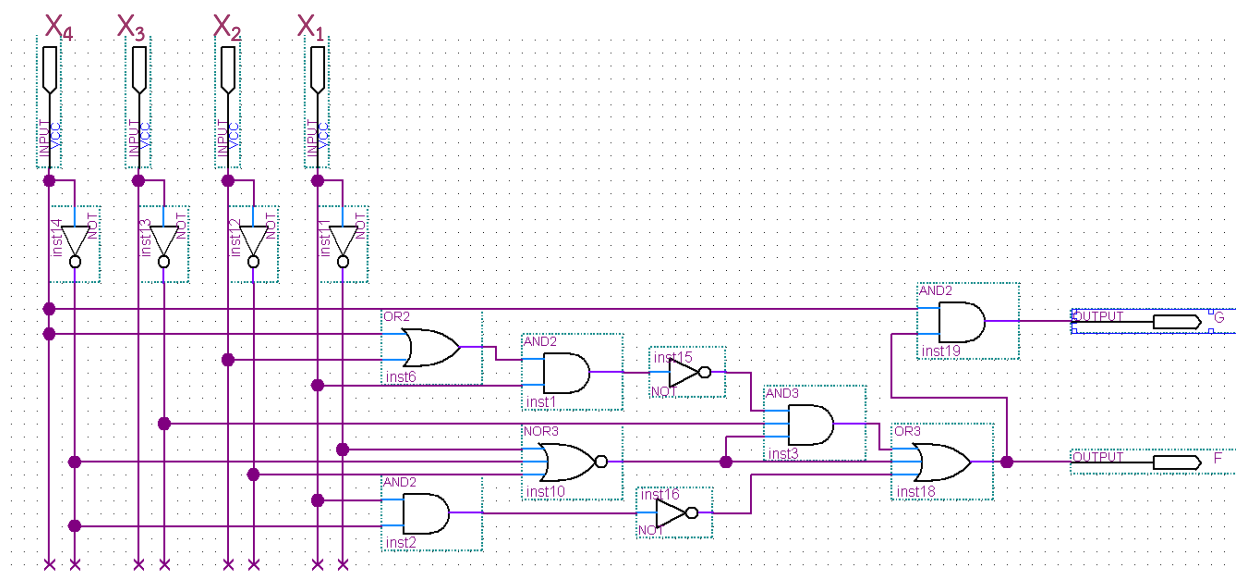
1. ระบบคอมพิวเตอร์ 1 เครื่อง พร้อมติดตั้งโปรแกรม Quartus II เวอร์ชัน 8.0 (Student Edition) ขึ้นไป

### การทดลองตอนที่ 1

วงจร Combinational: Timing, Truth-table and Logic Function

#### คำสั่งการทดลอง

1. ให้ น.ศ. สร้างไฟล์เตอร์สำหรับเก็บงานโปรเจกต์ไฟล์ ขึ้นใหม่เพื่อเก็บงานที่จะทดลองในการทดลองนี้ จากนั้นเขียนวงจรในรูปที่ 1 เพื่อจำลองการทำงานด้วยโปรแกรม Quartus II และให้ใช้ชิพ EP3C10E144C8



รูปที่ 1



2. จากรูปที่ 1 ให้เขียนสมการ ลอจิกฟังก์ชันของเอาต์พุต F และ G

$F(X_4, X_3, X_2, X_1) =$  \_\_\_\_\_

$G(X_4, X_3, X_2, X_1) =$  \_\_\_\_\_

ลดรูปสมการ (ทำ minimization สมการลอจิกฟังก์ชัน) จะได้เป็น

$F(X_4, X_3, X_2, X_1) =$  \_\_\_\_\_

$G(X_4, X_3, X_2, X_1) =$  \_\_\_\_\_

รูปวงจรลอจิกในระดับ RTL ที่ได้ เมื่อทำการคอมไพล์วงจรในรูปที่ 1 บน Quartus II

(ดูในเมนู Tools >> Netlist Viewer >> RTL Viewer)

สมการลอจิกของวงจร (RTL)

$F(X_4, X_3, X_2, X_1) =$  \_\_\_\_\_

$G(X_4, X_3, X_2, X_1) =$  \_\_\_\_\_

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

3. สร้างไฟล์แสดงแผนภาพทางเวลา (Timing diagram) ด้วย Vector Waveform Editor Tool ดังรูปที่ 2

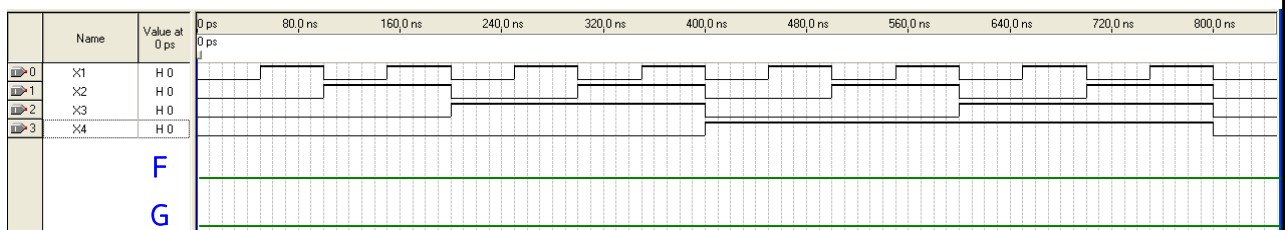
- กำหนดสัญญาณอินพุต  $X_4X_3X_2X_1$  ให้มีค่าเริ่มจาก 0000, 0001, ... , 1110, และ 1111 ตามลำดับ

- กำหนดค่าของพารามิเตอร์สำหรับแสดงผลจำลองการทำงานโดยให้มีค่าดังนี้

End Time = 850 ns (ดูที่เมนู Edit >> End Time)

Grid Size = 1 ns (ดูที่เมนู Edit >> Grid size)

3.1 กำหนดโหมดการจำลองเป็นแบบ Functional mode บันทึกผลกราฟของ F และ G ลงในรูปที่ 2



คำแนะนำ ให้กำหนด X1 มีคาบ (Period) = 100 ns

รูปที่ 2



นำค่าสถานะลอจิกของเอาต์พุต F และ G ที่ได้จากกราฟรูปที่ 2 (Functional mode) มาเขียนลงในตารางความจริงและใช้ k-map ลดรูปสมการของลอจิกฟังก์ชัน บันทึกผลการคำนวณที่ได้

Time	T	Input				Output f
		X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	
at 0 ns	T <sub>0</sub>					
at 50 ns	T <sub>1</sub>					
at 100 ns	T <sub>2</sub>					
at 150 ns	T <sub>3</sub>					
at 200 ns	T <sub>4</sub>					
at 250 ns	T <sub>5</sub>					
at 300 ns	T <sub>6</sub>					
at 350 ns	T <sub>7</sub>					
at 400 ns	T <sub>8</sub>					
at 450 ns	T <sub>9</sub>					
at 500 ns	T <sub>10</sub>					
at 550 ns	T <sub>11</sub>					
at 600 ns	T <sub>12</sub>					
at 650 ns	T <sub>13</sub>					
at 700 ns	T <sub>14</sub>					
at 750 ns	T <sub>15</sub>					

Time	T	Input				Output g
		X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	
at 0 ns	T <sub>0</sub>					
at 50 ns	T <sub>1</sub>					
at 100 ns	T <sub>2</sub>					
at 150 ns	T <sub>3</sub>					
at 200 ns	T <sub>4</sub>					
at 250 ns	T <sub>5</sub>					
at 300 ns	T <sub>6</sub>					
at 350 ns	T <sub>7</sub>					
at 400 ns	T <sub>8</sub>					
at 450 ns	T <sub>9</sub>					
at 500 ns	T <sub>10</sub>					
at 550 ns	T <sub>11</sub>					
at 600 ns	T <sub>12</sub>					
at 650 ns	T <sub>13</sub>					
at 700 ns	T <sub>14</sub>					
at 750 ns	T <sub>15</sub>					

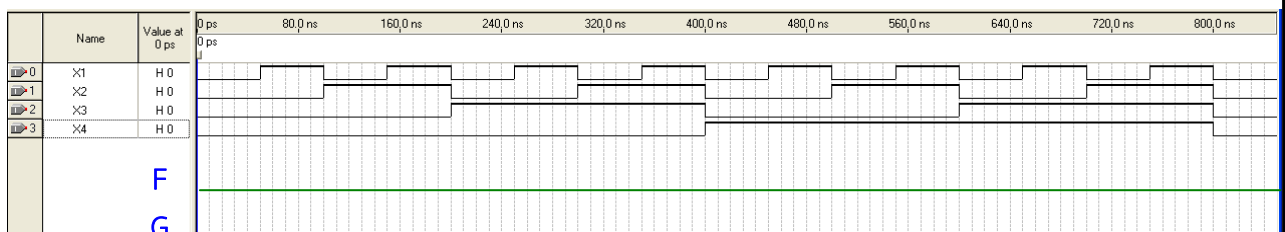
	00	01	11	10
00				
01				
11				
10				

	00	01	11	10
00				
01				
11				
10				

F = \_\_\_\_\_

G = \_\_\_\_\_

## 3.2 เปลี่ยนโหมดการจำลองเป็นแบบ Timing mode บันทึกผลกราฟของ F และ G ลงในรูปที่ 3



รูปที่ 3



จากกราฟแผนภาพทางเวลาในรูปที่ 3

ก) มีปรากฏการณ์ glitch Hazard ขึ้นที่เวลาใดบ้าง ให้ระบุ

.....

.....

.....

.....

ข) ค่าของเวลาหน่วงของ F มีค่ามากที่สุดที่เวลา  $t = \dots\dots\dots$  ns น้อยที่สุดที่เวลา  $t = \dots\dots\dots$  ns

เมื่อค่าของอินพุตเปลี่ยนสถานะจาก  $X_4X_3X_2X_1 = \dots\dots\dots$  ไปเป็น  $X_4X_3X_2X_1 = \dots\dots\dots$

ค) ค่าของเวลาหน่วงของ G มีค่ามากที่สุดที่เวลา  $t = \dots\dots\dots$  ns น้อยที่สุดที่เวลา  $t = \dots\dots\dots$  ns

เมื่อค่าของอินพุตเปลี่ยนสถานะจาก  $X_4X_3X_2X_1 = \dots\dots\dots$  ไปเป็น  $X_4X_3X_2X_1 = \dots\dots\dots$

ง) การเปลี่ยนสถานะของ  $X_4X_3X_2X_1$  ส่งผลอย่างไรต่อค่าเวลาหน่วง (delay time, propagation delay) ของวงจร.....

จ) การเกิดค่าเวลาหน่วง (delay time, propagation delay) ของอุปกรณ์แต่ละตัวในวงจรจะส่งผลอย่างไรต่อการเกิดปรากฏการณ์ glitch Hazard .....

.....

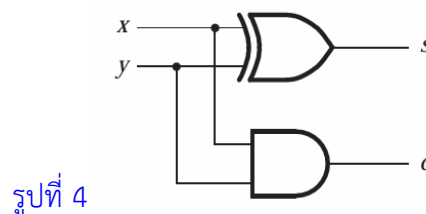
.....

.....

## การทดลองตอนที่ 2

วงจร Adder: วงจร, ลอจิกฟังก์ชัน, ผลกระทบของเวลาหน่วง

5. ให้เขียนวงจรเพื่อจำลองการทำงาน Half Adder ในรูปที่ 4 ด้วยโปรแกรม Quartus II ให้ใช้ชิพเบอร์ EP3C10E144C8 (แนะนำให้สร้างโฟลเดอร์ใหม่ ตั้งชื่อโปรเจกและชื่อของไฟล์ชิ้นงานขึ้นใหม่ทั้งหมด)



รูปที่ 4

6. สร้างไฟล์แสดงแผนภาพทางเวลา (Timing diagram) ด้วย Vector Waveform Editor Tool ดังรูปที่ 5 โดย X มีค่าของ period = 100 ns

6.1 กำหนดค่าของพารามิเตอร์สำหรับแสดงผลจำลองการทำงานโดยให้มีค่าดังนี้

End Time = 250 ns (เมนู Edit >> End Time )

Grid Size = 1 ns (เมนู Edit >> Grid size )





6.3 เปลี่ยนโหมดการจำลองเป็นแบบ Timing mode บันทึกผลการจำลองที่ได้ลงในรูปที่ 6


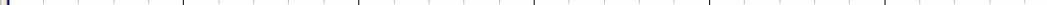

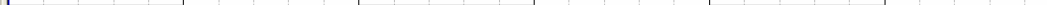
จากรูปที่ 5 ให้เขียนสมการลอจิกฟังก์ชันของเอาต์พุต s และ c

$$s(x,y) = \underline{\hspace{15cm}}$$

$$C(x,y) = \underline{\hspace{15cm}}$$

	Name	Value	0 ps	20.0 ns	40.0 ns	60.0 ns	80.0 ns	100.0 ns	120.0 ns	140.0 ns	160.0 ns	180.0 ns	200.0 ns	220.0 ns	240.0 ns	260.0 ns	280.0 ns	
	0	X	H 0															
	1	Y	H 0															
		S																
		C																

รูปที่ 5

	Name	Value	0 ps	20,0 ns	40,0 ns	60,0 ns	80,0 ns	100,0 ns	120,0 ns	140,0 ns	160,0 ns	180,0 ns	200,0 ns	220,0 ns	240,0 ns	260,0 ns	280,0 ns	
	0	X	H 0															
	1	Y	H 0															
		S																
		C																

รูปที่ 6

ที่เวลา  $t = 50$  ns ค่าของ  $x = 0 \rightarrow 1$  และ  $y = 0 \rightarrow 0$  ผลบวกที่ถูกต้องจะเกิดขึ้นช้ากว่าอินพุต = ..... ns  
 ที่เวลา  $t = 100$  ns ค่าของ  $x = 1 \rightarrow 0$  และ  $y = 0 \rightarrow 1$  ผลบวกที่ถูกต้องจะเกิดขึ้นช้ากว่าอินพุต = ..... ns  
 ที่เวลา  $t = 150$  ns ค่าของ  $x = 0 \rightarrow 1$  และ  $y = 1 \rightarrow 1$  ผลบวกที่ถูกต้องจะเกิดขึ้นช้ากว่าอินพุต = ..... ns  
 ที่เวลา  $t = 200$  ns ค่าของ  $x = 1 \rightarrow 0$  และ  $y = 1 \rightarrow 0$  ผลบวกที่ถูกต้องจะเกิดขึ้นช้ากว่าอินพุต = ..... ns  
 ที่เวลา  $t = 250$  ns ค่าของ  $x = 0 \rightarrow 1$  และ  $y = 0 \rightarrow 1$  ผลบวกที่ถูกต้องจะเกิดขึ้นช้ากว่าอินพุต = ..... ns

d) ให้พิจารณาค่าของเอนโทรปีพหุเมื่อ กรณีที่อื่นพหุ (X,Y) เปลี่ยนแปลงครั้งละหนึ่งสัญญาณ กับกรณีที่เปลี่ยนแปลงพร้อมกันทั้งสองสัญญาณ ทั้งสองกรณีดังกล่าวส่งผลต่อเวลาการเกิดผลลัพธ์ที่ถูกต้องของเอนโทรปีอย่างไร

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....



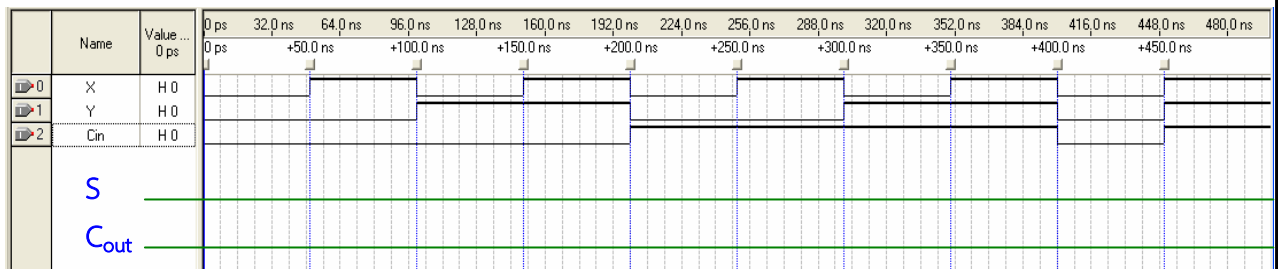
7. ให้สร้าง (ออกแบบ) วงจร full Adder จากวงจร Half Adder และเขียนวงจรที่สมบูรณ์ลงในรูปที่ 7  
(แนะนำให้สร้างไฟล์เดือใหม่ ตั้งชื่อโปรเจกและชื่อของไฟล์ชิ้นงานขึ้นใหม่ทั้งหมด)
8. ให้จำลองการทำงาน Full Adder ด้วย Quartus II และให้ใช้ชิพเบอร์ EP3C10E144C8 โดยที่กำหนดค่าของ  $C_{in}$ , X, Y ดังรูปที่ 8 และค่าของ End Time = 250 ns, Grid Size = 1 ns
  - 8.1 ทำการจำลองการทำงานในโหมด Functional Mode บันทึกผลการจำลองที่ได้ลงในรูปที่ 8
  - 8.2 ทำการจำลองการทำงานในโหมด Timing Mode บันทึกผลการจำลองที่ได้ลงในรูปที่ 9

### ผลการทดลอง

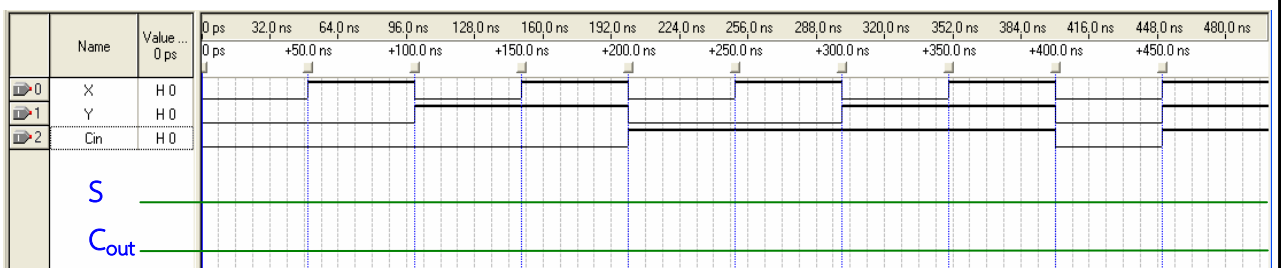
#### a) วงจร Full Adder



#### b) ผลกราฟ S และ Cout จากการจำลองการทำงานในโหมด Functional Mode



#### c) ผลกราฟ S และ Cout จากการจำลองการทำงานในโหมด Timing Mode





- d) จากรูปที่ 9 สังเกตผลลัพธ์ที่เอาต์พุตทั้ง S และ Cout เปรียบเทียบกับการเปลี่ยนสถานะของอินพุต
- |  |                                    |
|--|------------------------------------|
| ที่ t = 50 ns ค่า x = 0 → 1 , y = 0 → 0 , Cin = 0 → 0  | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 100 ns ค่า x = 1 → 0 , y = 0 → 1 , Cin = 0 → 0 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 150 ns ค่า x = 0 → 1 , y = 1 → 1 , Cin = 0 → 0 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 200 ns ค่า x = 1 → 0 , y = 1 → 0 , Cin = 0 → 1 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 250 ns ค่า x = 0 → 1 , y = 0 → 0 , Cin = 1 → 1 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 300 ns ค่า x = 1 → 0 , y = 0 → 1 , Cin = 1 → 1 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 350 ns ค่า x = 0 → 1 , y = 1 → 1 , Cin = 1 → 1 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 400 ns ค่า x = 1 → 0 , y = 1 → 0 , Cin = 1 → 0 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |
| ที่ t = 450 ns ค่า x = 0 → 1 , y = 0 → 1 , Cin = 0 → 1 | ผลบวกที่ต้องเกิดขึ้นซ้ำ = ..... ns |

ให้พิจารณาค่าของเอาต์พุต ในกรณีที่อินพุต (X,Y) เปลี่ยนแปลงครั้งละหนึ่งสัญญาณ เปลี่ยนแปลงพร้อมกันสองสัญญาณ เปลี่ยนแปลงพร้อมกันสามสัญญาณ ทั้งสามกรณีดังกล่าวส่งผลต่อเวลาการเกิดผลลัพธ์ที่ต้องของเอาต์พุตอย่างไร .....

ผลการทดลองจากข้อ d การบวกเลขในกรณีที่  $X + Y + Cin$  มีรูปแบบการบวกในกรณีใด ที่ทำให้ได้คำตอบที่ต้องซ้ำที่สุด.....

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

## การทดลองตอนที่ 3 วงจร Adder: VHDL

- ให้เขียนภาษา VHDL ดังต่อไปนี้ดังต่อไปนี้เพื่อจำลองการทำงานของโปรแกรมบน Quartus II
  - ให้สร้างโปรเจกต์ขึ้นใหม่ ชื่อ **FullAdder** (เก็บงาน Designed ของเราไว้ในโฟลเดอร์เดิมก็ได้)
  - ให้สร้างไฟล์ชิ้นงาน (Designed file) ชื่อ FullAdder.VHD ขึ้นมาและเขียนภาษา VHDL ดังรูปที่ 10

```
LIBRARY ieee;
USE      ieee.std_logic_1164.all ;

ENTITY   FullAdder IS
PORT     ( Cin , X , Y           : IN  std_logic ;
           Cout , S              : OUT std_logic );
END       FullAdder ;

ARCHITECTURE rtl OF FullAdder IS
BEGIN
    S      <= X XOR Y XOR Cin ;
    Cout   <= (X AND Y) OR (Cin AND X) OR (Cin AND Y) ;
END       rtl ;
```

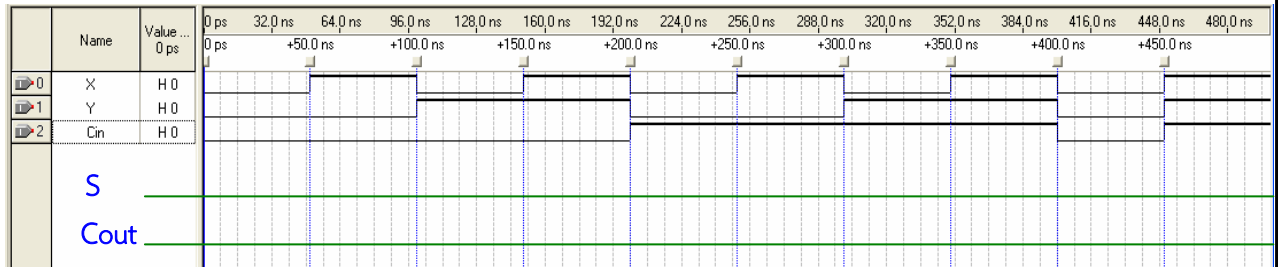
รูปที่ 10

ทำการคอมไพล์ และจำลองการทำงานในโหมด Functional Mode กำหนดสัญญาณ Cin , X และ Y ดังในรูปที่ 11 บันทึกผลการจำลองที่ได้ จากนั้นเปลี่ยนโหมดจำลองเป็น Timing Mode บันทึกผลลงในรูปที่ 12



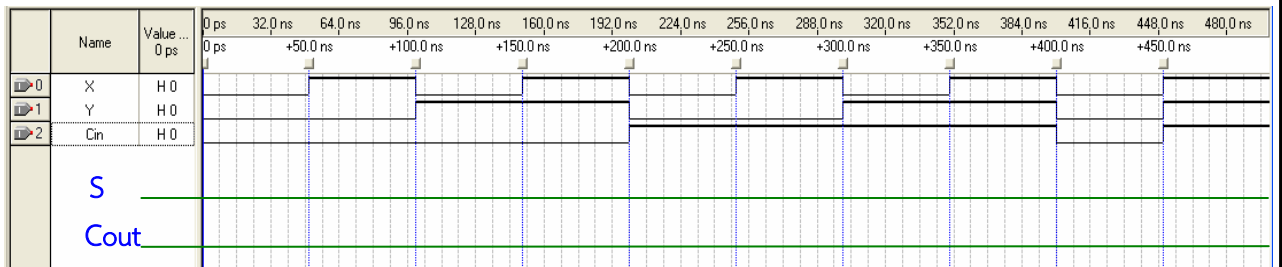
## ผลการทดลอง

a) ผลกราฟ S และ Cout จากการจำลองการทำงานในโหมด Functional Mode



รูปที่ 11

b) ผลกราฟ S และ Cout จากการจำลองการทำงานในโหมด Timing Mode



รูปที่ 12

c) จากรูปที่ 12 สังเกตผลลัพธ์ ทั้ง S และ Cout

ที่  $t = 50 \text{ ns}$  ค่าของ  $x = 0 \rightarrow 1$ ,  $y = 0 \rightarrow 0$ ,  $Cin = 0 \rightarrow 0$

ที่  $t = 100 \text{ ns}$  ค่าของ  $x = 1 \rightarrow 0$ ,  $y = 0 \rightarrow 1$ ,  $Cin = 0 \rightarrow 0$

ที่  $t = 150 \text{ ns}$  ค่าของ  $x = 0 \rightarrow 1$ ,  $y = 1 \rightarrow 1$ ,  $Cin = 0 \rightarrow 0$

ที่  $t = 200 \text{ ns}$  ค่าของ  $x = 1 \rightarrow 0$ ,  $y = 1 \rightarrow 0$ ,  $Cin = 0 \rightarrow 1$

ที่  $t = 250 \text{ ns}$  ค่าของ  $x = 0 \rightarrow 1$ ,  $y = 0 \rightarrow 0$ ,  $Cin = 1 \rightarrow 1$

ที่  $t = 300 \text{ ns}$  ค่าของ  $x = 1 \rightarrow 0$ ,  $y = 0 \rightarrow 1$ ,  $Cin = 1 \rightarrow 1$

ที่  $t = 350 \text{ ns}$  ค่าของ  $x = 0 \rightarrow 1$ ,  $y = 1 \rightarrow 1$ ,  $Cin = 1 \rightarrow 1$

ที่  $t = 400 \text{ ns}$  ค่าของ  $x = 1 \rightarrow 0$ ,  $y = 1 \rightarrow 0$ ,  $Cin = 1 \rightarrow 0$

ที่  $t = 450 \text{ ns}$  ค่าของ  $x = 0 \rightarrow 1$ ,  $y = 0 \rightarrow 1$ ,  $Cin = 0 \rightarrow 1$

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

ผลบวกที่ถูกต้องเกิดขึ้นช้า = ..... ns

d) ให้เขียนวงจรลอจิกที่ได้จากความหมายของภาษา VHDL ในรูปที่ 10 (ดูในเมนู Tools > Netlist Viewer > RTL Viewer)





### คำถาม

1. ให้สังเกตผลการทดลองในรูปที่ 12 และข้อ d) แล้วเปรียบเทียบกับรูปที่ 9 ว่ามีความเหมือนหรือแตกต่างกันอย่างไรในด้านเวลาหน่วง .....  
.....  
.....
2. น.ศ.คิดว่า การออกแบบวงจรลอจิกด้วยวิธีที่เขียนวงจร logic diagram เมื่อเปรียบเทียบกับวิธีที่เขียนด้วยภาษา VHDL มีข้อเด่นข้อด้อยต่างกันอย่างไร .....  
.....  
.....

ลายเซ็นอาจารย์ผู้ควบคุม..... /...../.....

### งานมอบหมายท้ายการทดลอง

(ให้เขียนลงบนกระดาษ A4 ที่มีเส้นบรรทัดและรวมใส่ท้ายเอกสารการทดลอง ส่งอาจารย์ผู้สอนในคราวถัดไป)

1. ให้อธิบายคำสั่งต่างๆ ของภาษา VHDL ที่แสดงในรูปที่ 10 อย่างละเอียด
2. ให้อธิบายและยกตัวอย่างประกอบ เรื่องความสำคัญของ**เวลาที่ใช้ในการบวกเลขของวงจร ADDER** ถ้าวางจรบวกเลขในรูปที่ 7 ถูกนำไปสร้างเป็นวงจรบวกเลขขนาด 4 บิตหรือมากกว่า