

# S2 6201011631188 โสภณ สุขสมบูรณ์

## 10 กุมภาพันธ์ 2565

### ปฏิบัติการที่ 3 Convolution sum in FPGA

#### การทดลองที่1 Convolution sum โดยใช้ Matlab

```

Editor - Lab3_DSP.m
Lab3_DSP.m x +
1 % MY LAST 4-STUDENT ID IS 1188
2 w=[1 1 8 8 -1 -1 -8 -8];
3 x=[8 8 1 1 -8 -8 -1 -1];
4 y=conv(x,w);
5

```

การแสดงผล

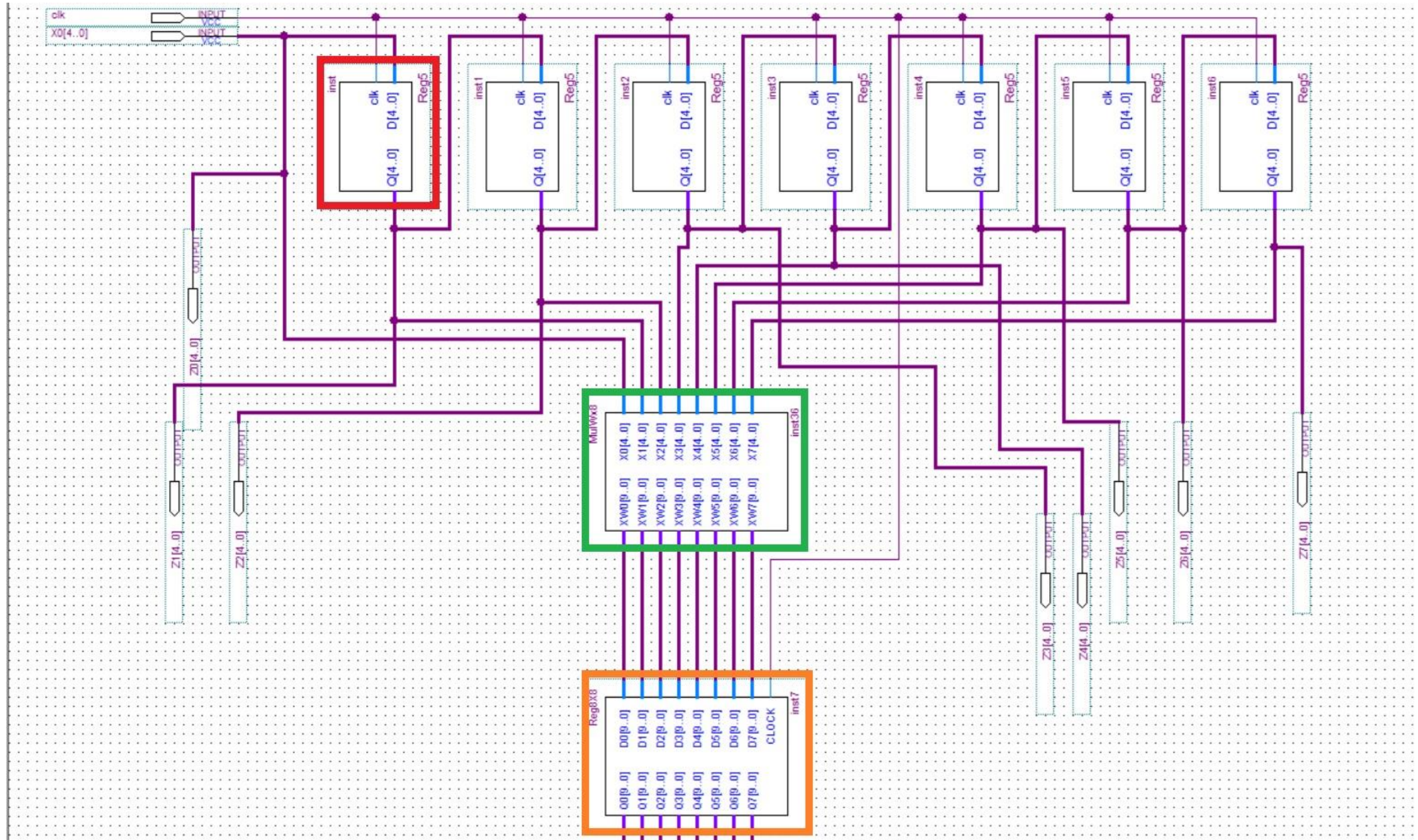
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	8	16	73	130	57	-16	-138	-260	-138	-16	57	130	73	16	8	
2																
3																

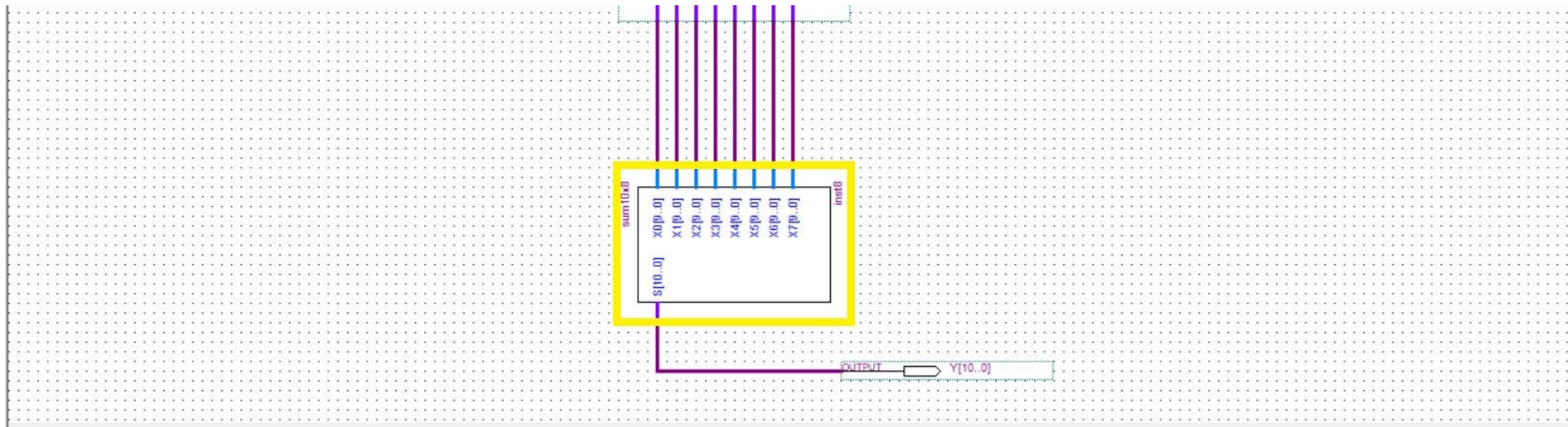
ผลลัพธ์ของการ Convolution

$y=[8,16,73,130,57,-16,-138,-260,-138,-16,57,130,73,16,8]$

## การทดลองที่2 Convolution Sum โดยใช้ FPGA

## 2.1 ภาพรวมวงจรทั้งหมด

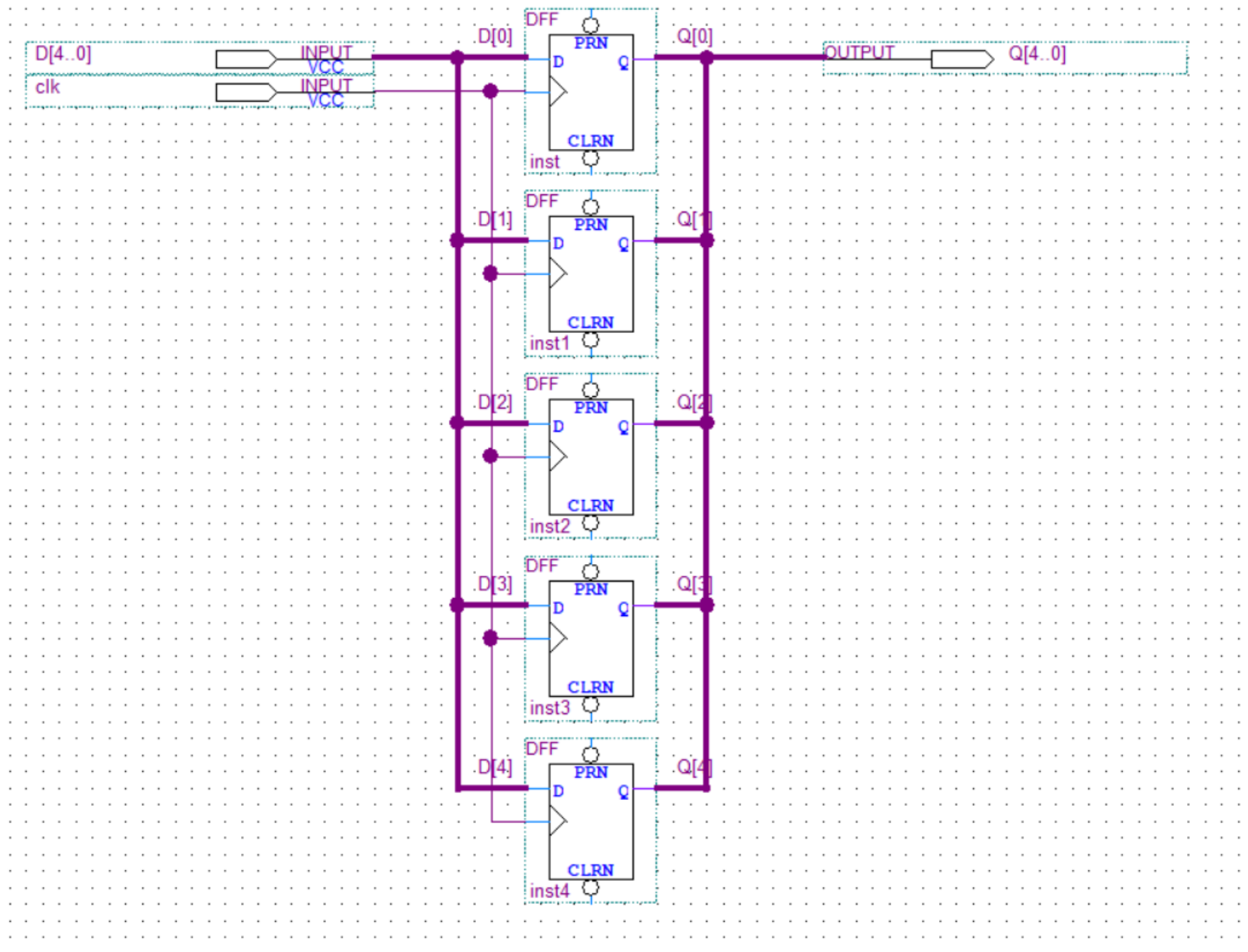






## 2.2องค์ประกอบภายในของแต่ละ Block diagram

### 2.2.1 Reg5 (กรอบสีแดง)



## 2.2.2 MulWx8 (กรอบสี่เหลี่ยม)

```

1  LIBRARY IEEE;
2  USE IEEE.STD_LOGIC_1164.ALL;
3  USE IEEE.NUMERIC_STD.ALL;
4  ENTITY MulWx8 IS
5  PORT (X0,X1,X2,X3,X4,X5,X6,X7 : IN SIGNED (4 DOWNTO 0);
6        XW0,XW1,XW2,XW3,XW4,XW5,XW6,XW7 : OUT SIGNED (9 DOWNTO 0)
7        );
8  END MulWx8;
9
10 ARCHITECTURE Behavior OF MulWx8 IS
11   SIGNAL W0,W1,W2,W3,W4,W5,W6,W7 : SIGNED (4 DOWNTO 0);
12 BEGIN
13   W0 <= "00001";
14   W1 <= "00001";
15   W2 <= "01000";
16   W3 <= "01000";
17   W4 <= "11111";
18   W5 <= "11111";
19   W6 <= "11000";
20   W7 <= "11000";
21
22   XW0 <= X0 * W0;
23   XW1 <= X1 * W1;
24   XW2 <= X2 * W2;
25   XW3 <= X3 * W3;
26   XW4 <= X4 * W4;
27   XW5 <= X5 * W5;
28   XW6 <= X6 * W6;
29   XW7 <= X7 * W7;
30   END behavior ;

```

## 2.2.3 Reg8x8 (การอบสีส้ม)

```

1  LIBRARY IEEE;
2  USE IEEE.STD_LOGIC_1164.ALL;
3
4  ENTITY Reg8X8 IS
5  PORT (D0,D1,D2,D3,D4,D5,D6,D7 : IN STD_LOGIC_VECTOR(9 DOWNTO 0);
6         CLOCK                     : IN STD_LOGIC;
7         Q0,Q1,Q2,Q3,Q4,Q5,Q6,Q7 : OUT STD_LOGIC_VECTOR(9 DOWNTO 0)
8         );
9  END Reg8X8;
10
11 ARCHITECTURE Behavior OF Reg8x8 IS
12 BEGIN
13     PROCESS(Clock)
14     BEGIN
15         IF Clock'EVENT AND Clock='1' THEN
16             Q0 <= D0;
17             Q1 <= D1;
18             Q2 <= D2;
19             Q3 <= D3;
20             Q4 <= D4;
21             Q5 <= D5;
22             Q6 <= D6;
23             Q7 <= D7;
24         END IF ;
25     END PROCESS;
26
27 END Behavior;

```

## 2.2.4 sum10x8 (กรอบสี่เหลี่ยม)

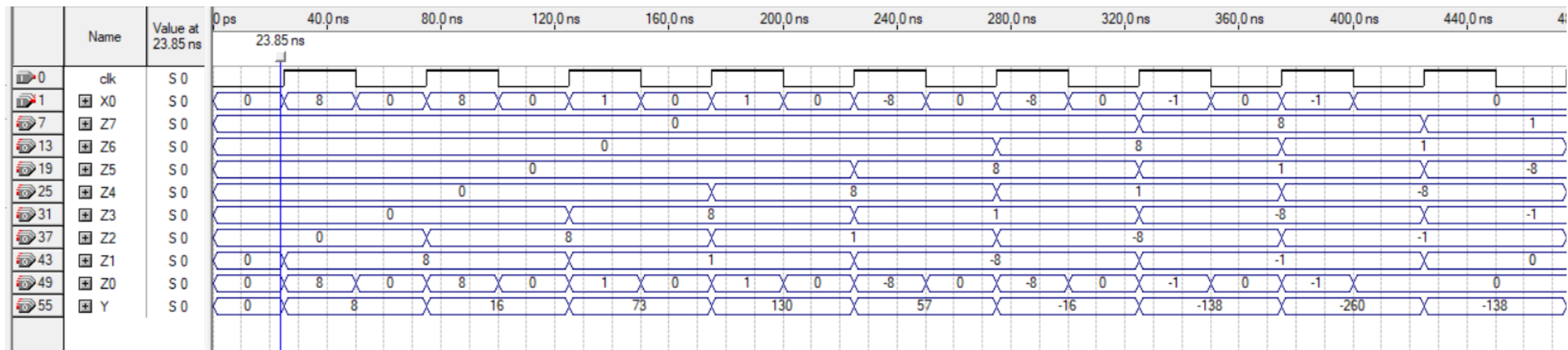
```

1  LIBRARY IEEE;
2  USE IEEE.STD_LOGIC_1164.ALL;
3  USE IEEE.NUMERIC_STD.ALL;
4
5  ENTITY sum10x8 IS
6  PORT (X0,X1,X2,X3,X4,X5,X6,X7 : IN SIGNED (9 DOWNTO 0);
7        S : OUT SIGNED(10 DOWNTO 0)
8        );
9  END sum10x8;
10
11 ARCHITECTURE Behavior OF sum10x8 IS
12   SIGNAL Y0,Y1,Y2,Y3,Y4,Y5,Y6,Y7 : SIGNED (10 DOWNTO 0);
13 BEGIN
14   PROCESS (X0,X1,X2,X3,X4,X5,X6,X7)
15   BEGIN
16     IF X0(9)= '1' THEN Y0<= '1'&X0; ELSE Y0 <='0'&X0;END IF;
17     IF X1(9)= '1' THEN Y1<= '1'&X1; ELSE Y1 <='0'&X1;END IF;
18     IF X2(9)= '1' THEN Y2<= '1'&X2; ELSE Y2 <='0'&X2;END IF;
19     IF X3(9)= '1' THEN Y3<= '1'&X3; ELSE Y3 <='0'&X3;END IF;
20     IF X4(9)= '1' THEN Y4<= '1'&X4; ELSE Y4 <='0'&X4;END IF;
21     IF X5(9)= '1' THEN Y5<= '1'&X5; ELSE Y5 <='0'&X5;END IF;
22     IF X6(9)= '1' THEN Y6<= '1'&X6; ELSE Y6 <='0'&X6;END IF;
23     IF X7(9)= '1' THEN Y7<= '1'&X7; ELSE Y7 <='0'&X7;END IF;
24   END PROCESS;
25   S <= Y0+Y1+Y2+Y3+Y4+Y5+Y6+Y7;
26 END Behavior;

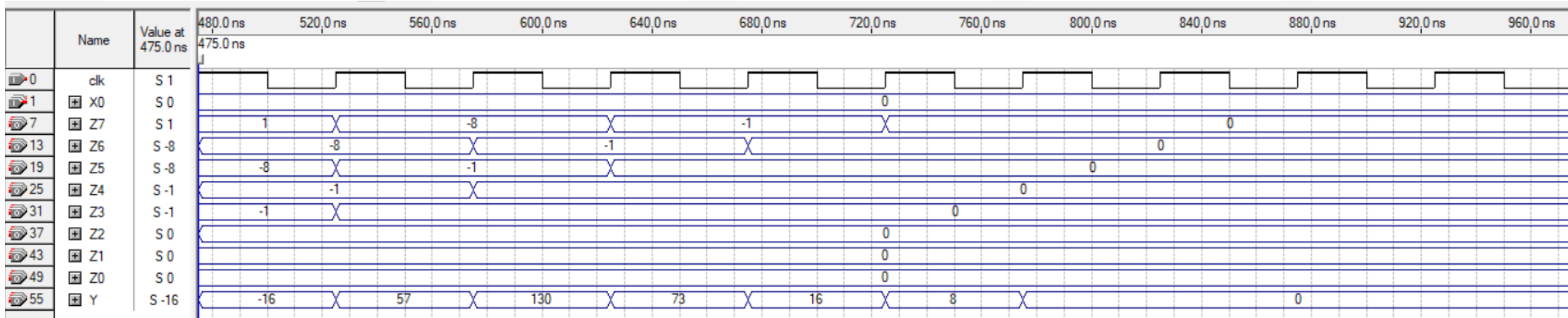
```

### 3.ผลการจำลอง timing diagram ของวงจร convolution sum จากโปรแกรม Quatus II

ช่วง 0-475 ns (Functional)



ช่วง 476-975 ns (Functional)





## คำอธิบาย

-ตัวแปร clk แทน Clockที่กำหนดการทำงานของวงจร

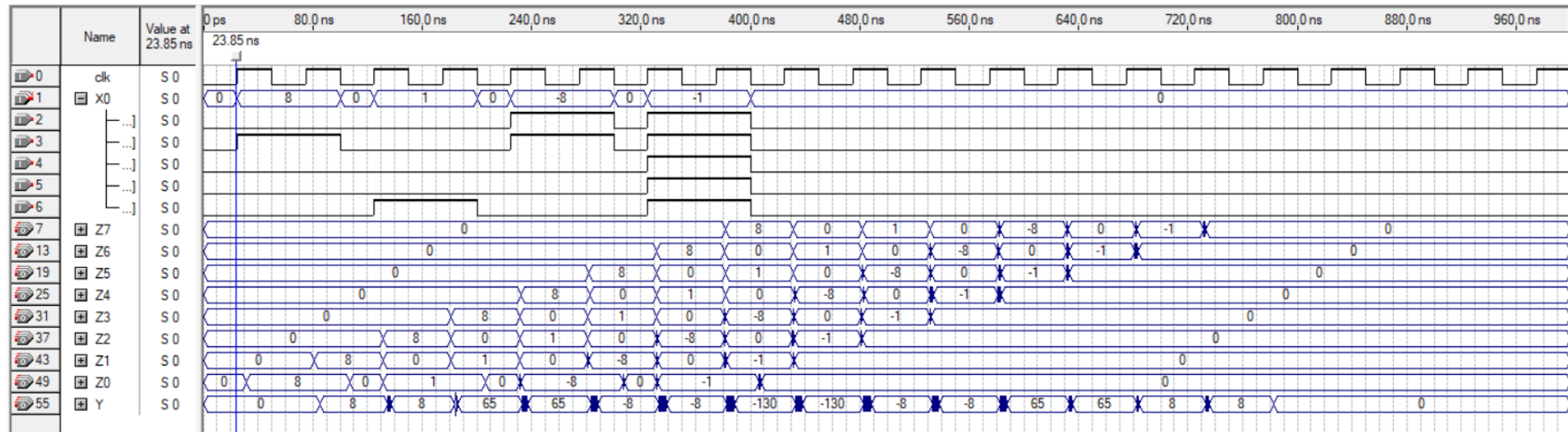
-ตัวแปร X0 คือ Input ที่เราต้องการป้อนค่าเข้าไปเพื่อทำ Convolution sum ซึ่งค่าที่ใส่เข้าไปได้แก่ 8,8,1,1,-8,-8,-1,-1

-ตัวแปร Z7..0 แทนค่า Z register ซึ่งมีทั้งหมด 8 ค่า เป็นRegisterสำหรับShiftค่าที่รับมาจากInput X0

-ตัวแปร Y คือ Output ที่เกิดจากการ Convolution sum ของค่า Input X0 ที่ผ่าน Block MulWx8 ซึ่งก็คือการนำค่า  $X0 * W$  นั้นเอง และนำมาพักที่ Reg8x8 เพื่อทำการ sum ค่าที่ต้องผ่าน sum8x8 นั้นเอง

#### 4. Latency ที่พบในการจำลอง

สำหรับกรณีนี้ ถ้าทำการ Simulation ด้วยโหมด Functional จะไม่พบ Time Delay เลย แต่ถ้า Simulation ด้วยโหมด Timing จะเกิด Delay และค่า output Y ที่ได้ก็จะเกิดค่า Error ด้วยเช่นกัน ทั้งนี้ค่า Latency ที่ได้คือ



จากภาพ Timing Diagram จะเห็นว่า Output Y เกิด Delay time 1 clock ดังนั้น ค่า Latency คือ 1 นั่นเอง